

半導体デバイスの方向性について（議論の叩き台）

コンピュータ、携帯電話、デジタルカメラなどデジタル情報通信機器の機能は年々飛躍的に進歩している（注 1）が、それは、シリコン LSI（大規模集積回路）など、半導体デバイスの微細化、高速化、高機能化の絶え間ない発展に支えられている。また 21 世紀の基幹産業となる情報通信、バイオテクノロジー、エネルギー、医療・福祉、環境等の要になるのが半導体技術である。

しかしながら、わずか十数年前の 1990 年代前半まで世界のトップにあったわが国の半導体生産シェアは 2000 年には 20% 台にまで低落し、さらに下降の一途を辿っている。

一方、現在半導体応用製品の主力分野は、パーソナルコンピュータやサーバが中心であるが、将来的にデジタルネットワーク情報家電・モバイル個人情報端末へと広がっていく大変革が始まっている。半導体でいえば、汎用プロセッサ、汎用メモリのみならず専用プロセッサ、システム LSI の需要も急速に拡大するものと予想される。デジタルネットワーク情報家電、携帯電話等のモバイル個人情報端末、自動車用エレクトロニクスなどの分野はわが国が得意としてきた分野であり、わが国半導体産業の国際競争力を回復する絶好の機会となっている。この分野では、ニーズの変化を適切に捉える競争が激しく、製品・技術のライフサイクルが一層短くなる。これに対応し、多様な分野で先進的なアプリケーション「システム」を実現するために、それに必要な「半導体」、ソフトウェア、ネットワーク、コンピューティングなどの技術を連携させて市場と競争力を意識的に共創し、同時にこれらの一体的・機動的な開発・生産を実現することが最も重要である。

このような要求に対応するためには、従来の少品種で大量生産する領域での国際競争力を強化するとともに、この新しい分野において、顧客の多様なニーズを柔軟に満たす高性能な製品を低コストで短期間に作ることが重要である。このためには、機能を柔軟に変更できるLSIの開発、少量多品種（注2）の生産にも応じることの出来る製造技術の両面が重要となる。

また、微細加工技術や材料技術などの進展により、6~7年後には45ナノメートル以下へ大幅に微細化する技術が実用化され、数十億~数百億を越えるトランジスタが集積され、0.5V以下の電源電圧で動作する超低消費電力超大規模集積システムへと発展することが予測されている。このような大規模集積システムでは、個々のトランジスタとシステム全体ともに誤動作しない高信頼性システムの確立が重要である。このためには、理論限界に極めて近いレベルで設計された製品を高歩留りかつ高い生産性で超短時間に量産する必要があるが、経験と勘に基づいた生産技術では困難となっている。ますます微細化する半導体において、理論統計的なゆらぎのみならず、製造段階で生じる変動・ゆらぎ・雑音を大幅に低減して高信頼性を確保するための理論に基づいた生産方式の開発を推進することが急務である。

45ナノメートル・ノード（トランジスタのゲート長で25ナノメートルに相当）の微細加工を実現するために、MIRAIプロジェクトによるゲートリーク電流や配線遅延の影響を低減するための材料・プロセス技術などの開発（注3） 極端紫外線（EUV）露光プロジェクトによる露光技術の開発などが進められている。これらの技術開発にLSI設計技術、低消費電力化技術（注4） フォトマスクの低コスト化などを含め、総合

的な技術のブレークスルーを図ることが必要である。

特に、LSIの大規模化、高速化に伴い消費電力が急増しており、放熱・冷却の負担増のほかに、大規模なデータセンターでは都市全体の電力消費への影響の削減、小型の携帯機器では電池による駆動時間の延長が極めて大きな課題となっており、LSIの消費電力を大幅に低減することが求められている（注4、参考3）。この低消費電力化技術では、わが国が世界をリードしており、この強みを十分に活かす必要がある。

さらに、45ナノメートル・ノードより一層の微細化を進めるためには、トランジスタの構造、LSI設計技術、配線遅延対策などについて一層の技術的なブレークスルーが必要である。

なおメモリについては、携帯機器やICカードなどの普及に伴い、電源ON時の迅速な立上げ、消費電力の低減、高速動作、小型化などの要求に対応するため、大容量の高速不揮発性メモリへの期待が高まっており、現在、強誘電体メモリ（FeRAM）や磁気メモリ（MRAM）などの開発が進められている。

（注1）これまでLSIにおけるトランジスタの集積度は、ムーアの法則（18～24ヶ月で集積度が倍増）と呼ばれる速度で向上しており、30年前には10マイクロメートル（1万ナノメートル）程度だった配線の幅が、現在実用のものは、0.13マイクロメートル（130ナノメートル）となり、パソコンのマイクロプロセッサユニット（CPU）のような複雑な構成のものでも数億個のトランジスタが組み込まれている。

（注2）少量といっても、100万個/月以上の規模が要求され、さらに微細化の進展によりマスク等のコストが上昇することが

予想されることから、ある程度の生産規模を確保できるような柔軟な LSI の開発も一方で必要となる。

より少量多品種の要求に対応するためには、設計やマスクなど初期コストの低減、迅速で柔軟性のある開発・生産技術が必要となる。LSI の開発段階のみならず、そのライフサイクルが完了するまで常に性能向上を要求される状況にも対応できるようにすることも望まれる。

(注 3) 急速な高集積化の進展とともに、配線による信号の遅延時間の影響が大きくなり、LSI の高速化が限界に近づきつつある。

(注 4) このままでは、データセンターのコストの 25% が冷却と電力に費やされる、との予測がある。米エネルギー省は 1994 年の調査で、北米のエネルギー消費量の約 10% が IT システムに使われていると推定していた。データセンターを中心に、ストレージ・システム、パーソナル・システム、ネットワーク・システムなどあらゆる分野において、低消費電力技術の開発が不可欠となっている。

またこのためには、LSI だけでなく、基板やシステム全体として総合的な低消費電力化を実現することが重要である。

1 . LSI 市場と技術の動向

近年、コンピュータ、ネットワーク、家電機器といった多様な技術がダイナミックに融合しつつあり、それらに用いられる LSI の市場も、急速に、かつてない規模で変化し始めている。

(1) メモリ

パソコンなどに用いられる揮発性のダイナミックランダムアクセスメモリ (DRAM、注 1) は、低コスト・大容量を武器に汎用 LSI 市場の中心を占めているが、将来的には、携帯情報機器や IC カードなどを中心にフラッシュメモリ、強誘電体メモリや磁気メモリ (注 2) などの不揮発性メモリの市場が拡大していくものと思われる。また、かつて DRAM は、LSI 微細化技術 (注 3) を牽引するドライバであったが、現在は他の LSI の微細化が先行しているため、その意味での重要性も小さくなっている (注 4)。LSI の多機能化と高速化のために、メモリのオンチップ化 (注 5) が進展しているため、そのようなシステム LSI で競争力を持つためには、先に述べた不揮発性メモリ技術とそのオンチップ化が不可欠となる。

(注 1) 80 年代には日本の半導体メーカーが大きな市場シェアをもっていたが、90 年代以降、世界的なコストと大規模投資の競争激化の中で、日本の半導体メーカーは急速に市場シェアを落としている。

(注 2) 強誘電体メモリについては平成 11 年度から、また磁気メモリについては平成 14 年度から研究開発プロジェクトを開始。強誘電体メモリのうち最も高集積化の図れる 1 トランジスタ型については、高品質強誘電体薄膜の形成に大きなブレークスルー

が必要となっている。

(注3) LSIの微細化は年々加速する傾向にあり、現在は90ナノメートル・ノードの実用化が進んでいる(参考1)。また、2010年頃の45ナノメートル・ノード(ゲート長25ナノメートル)の実現に向けて、露光技術、材料技術等の開発競争が国際的に激化しており、わが国も、極端紫外線(EUV)露光装置開発プロジェクトや材料開発等のMIRAIプロジェクトなどを進めている。

(注4) LSIの微細化は長くメモリがリードしてきたが、現在、CPUの微細化への要求は既にメモリをはるかに上回るレベルに達している(図1)。

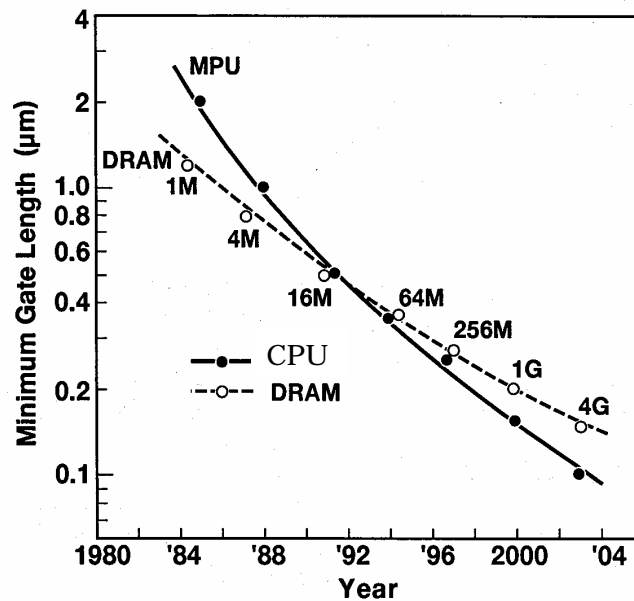


図-10 Trends of gate length

図1 CPUとメモリ(DRAM)のゲート長ロードマップ

(注5) LSIの微細加工技術の進展に伴い、CPUなどにおいても1メガバイト(MB)以上の大容量メモリと、演算回路を1チップ化し処理速度を向上させることが可能となってきた。メモリ単体でもアクセス時間やデータ転送速度はデバイスの微細化

により年々向上しているが、高度な動画処理などでは、メモリのデータ転送速度向上の要求がそれ以上に高まっており、今後大規模メモリのオンチップ化はさらに加速されるであろう。

(2) CPU

CPU についても、大きな変化がおきつつある。パソコン用 CPU は既にデファクトに近いものが確立しており、完全命令セットコンピュータ (CISC) が用いられている (注 1)。他方、サーバの一部、PDA に代表される個人用携帯情報機器、携帯電話、ゲーム機器、あるいは情報家電などの組込型 CPU といった応用分野の拡大により、それぞれの用途に応じてより低価格、より高速処理、より低消費電力を実現できる縮小命令セットコンピュータ (RISC) の利用が拡大しつつあり、現在新規の CPU 開発では RISC 型も盛んに行なわれている (注 2)。さらに、用途に応じて命令セットを一層限定することにより性能対価格比を向上させるための開発も進められている。しかし、既に PDA 用 CPU でも大きな市場シェアもつものも現れており、携帯電話や情報家電などについても、単に技術開発で終わるのではなく、デファクト化をにらんだビジネス戦略が不可欠となってきた。

(注 1) パソコンのように、市販のソフトの利用者が、そのコンパチビリティを要求するため、OS とリンクした CISC プロセッサが強い状況。一方、ワークステーションやサーバのように性能が競争の大前提となるものについては、RISC プロセッサが主に使用されている。ただし、最近ではパソコンの高性能化に伴い、サーバについてもパソコンベースのものが増えてきた。

(注 2) RISC プロセッサでは、命令セットの数を減らし、1 命令を 1 サイクルで実行することで、例外処理による遅延を低減する

とともに、高並列処理構造を比較的容易に構成できる。

(3) システム LSI

DRAM や高速 CPU などのパーソナルコンピュータ等向けの汎用 LSI に加え、携帯電話やデジタルカメラなどの普及に伴い、多様な機能を 1 つのチップに搭載したシステム LSI (注 1) の市場が急速に拡大しており、わが国の半導体メーカーは、わが国が強みをもつ携帯電話、デジタル家電、自動車エレクトロニクスなどのシステム LSI に注力しようとしている。

システム LSI で国際競争力をもつためには、わが国が国際競争力をもつデジタル家電などの「システム」(注 2) とそれに必要な「半導体 (システム LSI)」及び「組込みソフトウェア」が連携して市場と競争力を意識的に共創することが重要であり、これを加速し、より強固に連携する動きを後押しすることが必要である。

複雑で高度なシステム LSI については、90 ナノメートル・ノード以下の領域への微細化技術 (注 3) も競争力確保のための最低条件であるが、コスト面でも競争力を確保するために、多品種少量生産に適した製造工程の開発 (注 4) が進められている。

個別用途毎に設計・開発するカスタム LSI は、高速・低消費電力性に優れる一方、設計から製造に至るまでに時間がかかること、個別にカスタム LSI を開発・製造することはコストがかかるなどの問題があり、さらに、製造後に設計バグが発見された場合には巨額の負担が生じるというリスクを背負っている。また、MPEG などの信号処理方式にも新しいバージョンが次々に加わるため、多様なマルチメディア機器を開発するたびに、これらに対応した LSI を開発する必要があった。この

ため、LSI 設計技術の開発、各企業が有する設計資産（IP）が容易に組み合せられるように相互接続部分の仕様などの標準化などを進めると同時に、機能や回路構成をある程度自由に変更できる CPU、デジタル信号処理回路（DSP、注 5）や静的・動的再構成 LSI（注 6、7）の適用範囲を拡大していくとともに、カスタム LSI と同等以上の低消費電力化・低コスト化を実現するための技術開発も行なわれている。

システム LSI は、その名のとおり、システムを LSI 化するものである。したがって、ファブリーに徹しない限り、基盤的な技術はもとより、どのようなシステムを LSI 化するかが最も重要な選択であり、システムに競争力がなければシステム LSI で競争力を確保することはありえない。モバイル機器や情報家電といっても、具体的なニーズについての世界的なマーケティング力とシステム開発力、デファクトを含む国際標準化を獲得する戦略と力が最も重要なことであることを忘れてはならない。

（注 1）デジタル信号処理の分野で特に注目されるのは、マルチメディアに関連する動画の圧縮・伸張である。例えば MPEG2 復号器（デコーダ）では現在約 2 ギガオペレーション / 秒（GOPs）の処理速度、100 メガビット / 秒（Mbps）のメモリ転送速度、18 メガバイト（MB）のメモリ容量が要求されている。一方、高精細テレビ（HDTV）に対応する MPEG2 符号化器（エンコーダ）では処理速度 50GOPs 以上、メモリ転送速度 10Gbps 以上とメモリ容量 256MB 以上が必要である。

（注 2）将来的には、ロボットやセンサネットワークなどのユビキタスネットワークも注目されている。

（注 3）LSI 設計ソフトウェアについては、平成 15 年度より、90 ナ

ノメータ・ルールでの標準化に向けた取組みを開始する予定である。

(注4) 多品種少量生産に向けて、産学官連携による「HALCA」プロジェクトが進められている。

(注5) CPU や DSP は、プログラムを変更することで異なる機能や複数の機能を比較的容易に実現でき、また AD / DA コンバータ、小規模の論理回路を付加することで通信などの多様な機能も実現できる。しかし、大量に使用する場合には、チップ面積が小さくなるカスタム LSI が経済的に有利であった。また、CPU や DSP が望ましい場合でも適当な汎用品が入手できにくい状況があったが、近年、デバイス技術が進展し高機能化してきたため、CPU や DSP の汎用性も高まってきた。

(注6) 静的再構成 LSI としては、LSI に各種の回路を多数埋め込み、製造した後に必要に応じて回路間の接続を決定するフィールドプログラマブル・ゲートアレイ (FPGA) が開発されている。しかしながらこの場合、使用する可能性のある回路を全てチップ上に作り込まなければならず、結果としてチップ面積が大きくなり、配線遅延の増大を招くとの指摘もある。

(注7) 動的再構成 LSI は、まず設計対象の回路の一部だけを構成して演算を行い、その演算終了後直ちに回路を再構成して残り部分の演算を実行させる、という方法で必要な回路を実現するもの。チップ面積の増大を抑えられ、かつ配線遅延の最小化と低消費電力化が可能となる。実時間で回路構成をプログラムできるため設計の自由度が飛躍的に増大する反面、逆に回路の配置・配線が複雑になり、設計時間が増大するという問題が生じる。今後、動的再構成 LSI に適した設計自動化の研究開発を推進する必要がある。

(4) アナログ技術

ユビキタスネットワーク時代においては、ネットワークに接続するための無線回路、人間とデジタルシステムの間インターフェースとしてのアナログ回路、高速ネットワークのフロントエンドとしての高周波技術(注)などのアナログ技術の役割が急速に大きくなりつつある。これらのアナログ回路は、小型・超低消費電力で低雑音・低コストのLSIとして実現し、さらにはデジタル回路と混載することが要求される。このために必要なアナログ技術は、論理的な設計を行うデジタル技術とは全く異なる技術であり、携帯型のモバイル機器や情報家電などの競争力をも左右するものである。

しかしながら、高周波アナログ回路とデジタル回路の混載などの分野において、技術が欧米に遅れているだけでなく、技術者の数も大幅に不足している。この分野の技術開発のレベルアップとともに高周波アナログ回路技術者の育成も急務である。

(注) 超高速の信号を扱うためには、デジタル信号といえども波形の大きな乱れを考慮したアナログ的な考え方が必須となる。

2 . 研究開発の現状

(1) 65 ナノメータ・ノードの実現

国際競争力確立の観点から、当面の目標として、65nm ノード程度までの高速・低消費電力で高信頼な半導体を低コストで短期間に設計・製造する技術の確立を優先することが極めて重要である。

製造プロセス技術

デバイスの開発においては、市場の要求するコストと性能に合った製品を提供する必要がある。今後、少量多品種の半導体を短時間に低コストで開発・製造（注 1）するためには、短時間で低コストのフォトマスクを作成できる技術の開発とともに、高性能デバイスに対する性能重視と、低コストデバイスに対するコスト重視の製造プロセスを、要求に応じて柔軟に対応できるようにする必要がある。

また、微細化し、かつ電源電圧を低下させた低消費電力の LSI においては、長期の信頼性を確保することが大きな課題となる。このためには、各種雑音による統計的ゆらぎ、およびプラズマによる損傷、パターン寸法加工や膜厚のバラツキなどを抑制できる設計・製造技術を確立することが不可欠である。65nm ノード以降の LSI を実現するため、特に、しきい値電圧ばらつき、低周波雑音を抑制した製造技術が確立されようとしている（注 2、3）。さらにトランジスタ構造の自由度の増大や一層の微細化・高速化に向けて、多様なシリコン結晶面にシリコン直接窒化膜を形成しこれをトランジスタのゲート絶縁膜として用いる研究開発も進められている。

(注1) 90 ナノメータ・ノードで生産量 100 万チップ程度の半導体 (システム LSI では 1000 万チップを超える製品は希) では、フォトマスクのコストが 1 チップ当たり数百円にのぼる。電子ビームにより直接描画方式は極めて少量の生産には適するが、描画時間が長いため、短時間低コスト生産には向かないのではないかと指摘されている。

(注2) 東北大学・東京エレクトロンは、ラジカル反応ベースのマイクロ波励起高密度低電子温度プラズマ技術を開発中であり、(110)結晶面方位上のシリコンに高品質窒化膜が形成でき、動作速度 10 倍、低周波 ($1/f$) 雑音 $1/100$ の大幅な高性能化が実現している。本技術を用いた酸化・窒化装置は、既に実用化されている。また、HALCA プロジェクト (H15 年度まで実施予定) では、絶縁膜エッチング・形成装置などの実用化展開、少量多品種生産方式が開発されている。

(注3) 1 ロットウェーハ枚数を数枚に低減し半導体製造を数日の期間で行える完全枚葉生産技術は、世界に先駆けてトレンティエテクノロジーが実用化した。これに上記 (注2) の技術を組合せることにより、世界をリードするシステム LSI 低コスト短期間生産技術が実現できると期待される。

LSI 設計技術

LSI 開発の期間短縮・低コスト化・高信頼化のためには、製造プロセスの標準化だけでなく、LSI 設計作業をコンピュータの支援により効率化する CAD 技術の高度化及び標準化、設計 IP の開発・蓄積・再利用・流通を促進することが重要である。

設計 CAD (注 1) は、平成 15 年度より 90 ナノメータ・ルールについて標準化するプロジェクトが開始される予定である。また、「電子デザイン自動化 (EDA : Electronic Design Automation)」として、コンポーネントの種類を含めて自動的に生成するシステムレベルの設計・検証技術の研究が行なわれている。将来的には、さらに、並列処理も考慮した自動設計技術を開発する必要がある。さらに、LSI で実現すべき機能について、ハードウェア (回路) とソフトウェアを一体として共通の言語で記述し設計する取り組みが進んでいる。これにより将来的には、実現したい機能をもとにして、速度、コスト、実現するまでの時間などの条件を踏まえてハードウェアとソフトウェアにどう振り分けていくという新しい開発手法が実現する可能性がある。

一方、最先端プロセス技術を駆使する高性能 LSI において、その性能を最大限に引き出すためには、プロセス要素技術を最適化することも考慮した設計を行なう必要がある。しかし 90 ナノメータ・ノード以下の領域では、経験的な手法では限界があるため、これらを自動的に行う技術開発 CAD (TCAD) が開発されつつある。現在の TCAD は、実験結果に基づいて開発されている (注 2) が、今後は理論に基づいたツールへと進化させるとともに、さらに将来的には、解析だけでなく統計的ゆらぎなどを本質的に取り扱えるツールの開発、さらに上述の EDA とも統合した総合的なツールを目指す必要がある。

LSI 設計技術については、これまで欧米が大きく先行していたが、上記のような構造的な環境の変化をとらえることにより、我が国がこの分野における競争力を強化できる可能性がある。ただし、

設計技術については、IP活用の促進とともに、世界的なディファクトが形成される傾向が強くなっていることから、取り組む際には、これまでの資産の活用や、開発後の世界への普及や標準化への見通しについて慎重に検討する必要がある。

LSIのロードマップでは、65ナノメータ・ノード（ゲート長35ナノメータ）が2007年に実用化されると期待されているが、これに対応したTCADを開発するには、非常に大きなブレークスルーが必要である。さらに、2010年の45ナノメータ・ノードのためのTCADについては、全く目途がたっていない状況である。

さらに、システムLSIとして集積回路の中に混載される高周波アナログ回路についても、理論に基づいたデバイスの高精度モデリング、配線等の寄生素子の高精度抽出、基板雑音の検証と抑制などを含めた高精度設計手法と設計システムの開発が必要である。

（注1）CADは、初期のトランジスタレベルからゲートアレーレベル、さらコンポーネントレベル（レジスタ転送レベル（RTL））の設計・検証へと進化しつつある。この場合、コンポーネントの種類については、設計者が指定する必要があった。

（注2）短時間低コストを実現するため、平成13年度から、現在半導体製造メーカー毎に微妙に異なるパターン形状を標準化する90ナノメータ・ルール次世代半導体設計・製造共同研究施設整備事業が開始された。また、微細化で表現が難しくなっているパターン転写の正確性確保や信号伝達の正確性確保を実現するための設計技術の開発プロジェクトを平成15年度から開始予定。

高速化技術

これまで LSI の処理速度向上は、微細化に伴うトランジスタの高速化に依存してきた。単体のトランジスタについては、依然として高速化が進んでおり、研究室レベルでは、テラヘルツで動作するトランジスタも実現している（注 1）。これに対し、最近では、LSI の速度が、配線の長さや信号遅延に制約されるようになってきた。特にクロック周波数への影響が大きく（注 2）、次第に高速クロックをチップ全体に分配することが困難となりつつある。

このため、特定の長い配線について幅を拡大するなど、配線全体の最適化を図る多層配線技術や新しい配線材料技術の開発、同期方式のブロックの間を非同期方式で接続（注 3）するなど、様々な技術開発が行なわれている。

将来的には、システムの高速度化と消費電力低減のため、クロックを使わない非同期方式（注 4）が考えられている。ただし非同期方式は、演算のタイミングを特定することが極めて困難であり、一般に設計や信頼性の検証が大幅に複雑になるため、実用化に至っていない。大学等では非同期方式の研究開発も行なわれている（注 5）が、本格的に非同期方式の LSI を実用化するためには、従来の同期方式と比較して大幅に高速化と消費電力の低減が実現する見通しを得た上で、十分な信頼性を確保できる非同期方式の実用的な自動設計・検証ツールを開発する必要がある。

（注 1）研究室レベルでは、15 ナノメートル・ゲート NMOS トランジスタで、電源電圧 0.8V で 2.63 テラヘルツが実現

（注 2）クロック分配などのタイミング制御に多大の設計コストが必要。クロック駆動回路の消費電力も増大している。

- (注 3) 例えばインテル社の CPU ペンティアム 3 では、ブロック間のデータ転送は非同期方式で、ブロック内部は同期方式でそれぞれ実行し、高いクロック周波数を実現している。
- (注 4) クロックを使わず、データが到来したら直ちに演算を実行する。この方式では配線遅延の影響がシステム全体に及ぶことがなく、クロック駆動回路も不要となる。
- (注 5) 東大/東工大、高知工科大学、英マサチューセッツ大、米カリフォルニア工科大などで非同期型 CPU の研究が行われている。

低消費電力化技術

CPU の機能向上が一定のレベルに到達した現在、以下のような LSI の消費電力低減への努力が本格化してきた。米国防省も研究開発プロジェクトを推進しており（参考 4）、海外からのエネルギーに依存している我が国においては、一層積極的に研究開発を進める必要がある。また、後述する多値化技術、不揮発性論理技術、非同期方式なども消費電力低減の効果がある。

これらの方法は、用途や演算の種類に応じて適切に選択する必要があるため、今後、各種の方法を適宜組合せ消費電力を最小化する自動設計方法についての研究開発も重要である。

電源電圧の低減技術（注 1、参考 3）

処理を行わない時間、クロック周波数を低下させる技術

動作していないブロックへの電力供給を止めるクロックゲーティング技術（注 2、参考 3）、複数のブロックを用いて処理を並列化しブロック当たりの動作速度を低減する技術。

シリコン半導体基板への漏洩電流を低減させること（注 3）

- (注 1) 微細化技術の進展にともない、電源電圧も急速に低下し、現在では 1V 以下で動作する CPU が実用化されている。
- (注 2) 本来 CMOS 回路は直列に接続された 2 つのトランジスタの一方のみが導通する構造であるが、動作速度が上がると両トランジスタが同時に導通する過渡時間が大きくなり、消費電力が増大する。
- (注 3) SOI 構造におけるチャネル厚さの制御など。
- (注 4) この他、我が国において、将来の可能性の一つとして、超電導を用いた低消費電力型のルータ用スイッチモジュール及びサーバ用プロセッサモジュールの開発プロジェクトが進められている。

多値化技術

既にメモリでは、4 値化技術(注 1)が実用化されて大容量化が進められているが、論理回路の演算処理を多値化していくためには、多値回路を容易に設計するための回路設計・検証ツールに関する研究開発を推進する必要がある。

ただし、1V 以下で動作するような低電圧化が進むと、多値化を進めることが難しくなる側面がある。これについては、システム全体として見たときに、総合的にどのような技術の組合せが最適となるのか、十分に検討する必要がある。

- (注 1) 4 値化技術を用いると、2 ビットの情報を一度に扱うことができ、メモリの容量やデータ転送速度を 2 倍、またはトランジスタ数と消費電力を半分にすることができる。
- (注 2) チップ間のデータ転送では、ピン数と回路技術の制約から 1 ピン当たり数ギガビット / 秒程度が限界である。

不揮発性論理回路

トランジスタと不揮発性メモリを用いて記憶機能と一体化した演算機能を実現すれば、メモリと演算部間の配線遅延が生じず一層の高速化が可能となると同時に、素子数の削減、低消費電力化も達成できる。

今後は、不揮発性メモリの組込み製造プロセスや、不揮発性メモリを用いた演算回路の自動合成などの設計ツールに関する研究開発を推進することが重要である。

(2) シリコンの限界への挑戦

将来的に、45 ナノメートル・ノード及びそれ以降、ムーアの法則を維持し続けるために、シリコン半導体の限界（ゲート長で数ナノメートル程度）を目指して様々なブレークスルーを実現していく必要がある。

プロセス技術

45ナノメートル以降の超微細回路パターンをLSI上に転写するためには、新しい露光技術を開発する必要がある。電子線による露光技術を用いて微細化を進める場合、高精細なパターンニングは可能となるが、問題になるのは加工の処理速度である。また、現行の光学式と同様な極端紫外（Extreme Ultra Violet）光を用いる方法（注）では、一度に露光できるため、加工時間の問題は解決される。その反面、高エネルギーの光を照射しなければならず、光学系やフォトマスク等システム全体の寿命の問題などが生じる。これらの技術の得失を良く見極めながら、高速化と低コスト化を進めていく必要がある。

（注）極端紫外光源の開発や縮小投影するための光学系及びマスク・ウェハーステージ技術などの研究開発プロジェクトが、平

成 15 年度から本格的に開始される予定である。

材料技術

LSI の微細化に伴い薄膜化が進行する MOS トランジスタにおいては、ゲート絶縁膜の薄膜化に伴いトンネル電流が増大する（注 1）ため、絶縁膜の誘電率を大幅に高める必要がある。このため、シリコンとの親和性に優れ、良好な界面が得られる高誘電率材料の研究開発を推進する必要がある（注 2）。

また微細化は、配線間容量の増大に起因する遅延時間の増大を招き、LSI の動作速度を低下させる。このため、配線抵抗と配線層間絶縁膜の比誘電率を低減する必要がある（注 2）が、この際、十分な機械的強度を有し、不純物等によるリーク電流が十分小さな実用的な低誘電率材料開発が不可欠である。

（注 1）トンネル電流は膜厚に対して指数関数的に増大する。

（注 2）MIRAI プロジェクトでは、45 ナノメートル・ノードの微細化に対応するために HfAl 系材料を新たな製膜技術で実現し、高誘電率ゲート絶縁膜材料に用いる技術開発や、比誘電率 1.5（現行のシリコン酸化膜層間容量で約 1/3）の低誘電率層間絶縁膜材料（low-k 材料）を開発している。

トランジスタの構造

45 ナノメートル・ノード以降の領域においては、従来の平面型トランジスタの構造のまま微細化すると、漏れ電流が増大して多くの電力が必要になり、発熱量が許容できないレベルに達することになる。

このため、トランジスタの構造について、デュアルゲート、トライゲート、円柱型など、様々な提案が行なわれているが、複雑な構造の

ため製造の困難さが問題となっている。これに対して、絶縁膜の誘電率を大幅に高めるなどにより、従来の平面型トランジスタの構造を用いて微細化を進める可能性も示唆されており（注）性能、コストなどを総合的に検討して実用に適した構造を開発する必要がある。

また、配線の微細化への要求が極めて厳しくなるため、絶縁膜を含めて新材料の開発は一層重要になる。

（注）現在、ゲート長 14 ナノメートルの平面トランジスタで、動作が確認されている。

（3）システムインパッケージ

機器の小型化、低消費電力化、配線遅延の低減、多様なニーズへの柔軟な対応などの観点からは、機能を分担した複数のチップをパッケージの中で3次元的に実装する技術も有効と考えられる。このための多層化技術（注）についても、研究開発を進めていく必要がある。

（注）平成 14 年度から、多層実装技術に関する研究開発プロジェクトを開始した。

3．研究開発の推進方策

技術目標が従来のようにロードマップのみに沿った半導体開発というのはもはやありえない。日本の半導体企業が同一課題の解決に向けて横一線で競争していく時代から、個性ある企業群に転換していくことが不可欠である。このためには、業界で協力して研究開発する領域と、各企業の競争によって個性的なデバイスを開発していく領域を明確にしつつ、研究開発を進める必要がある。

このためにも、本領域の技術変化が急激に進んでいる状況を踏まえ、現在進行している半導体関連のプロジェクトについても内外の技術・市場の変化、研究開発の進展に基づき、柔軟・機動的に対応していくことが重要である。

半導体デバイスの技術力向上だけでなく、情報通信システム全体の性能・機能の向上に必要なアルゴリズム、アーキテクチャ、回路、デバイス、製造プロセス、装置、材料、ソフトウェアなどを総合的に開発し、国際競争力を強化する必要がある。これにより、システムの信頼性も向上させることが期待される。

このような、きわめて広い技術分野が関連する総合技術を融合一体化して、効率よく新技術創出・実用化・事業化・新産業創出を継続していく体制を整えるとともに、この総合技術すべてを研究開発していくことのできるリーダを養成する必要がある。

他方、半導体産業をわが国において発展させていくためには、設計・製造技術のみならず、世界の市場動向や半導体企業の動向などを十分把握しつつ、設備投資や販売力を含めて「何を作り、ビジネスを行っていくのか」を明確にして戦略的に取り組むことが不可欠である。

(参考1) ロードマップと「あすか」、「MIRAI」

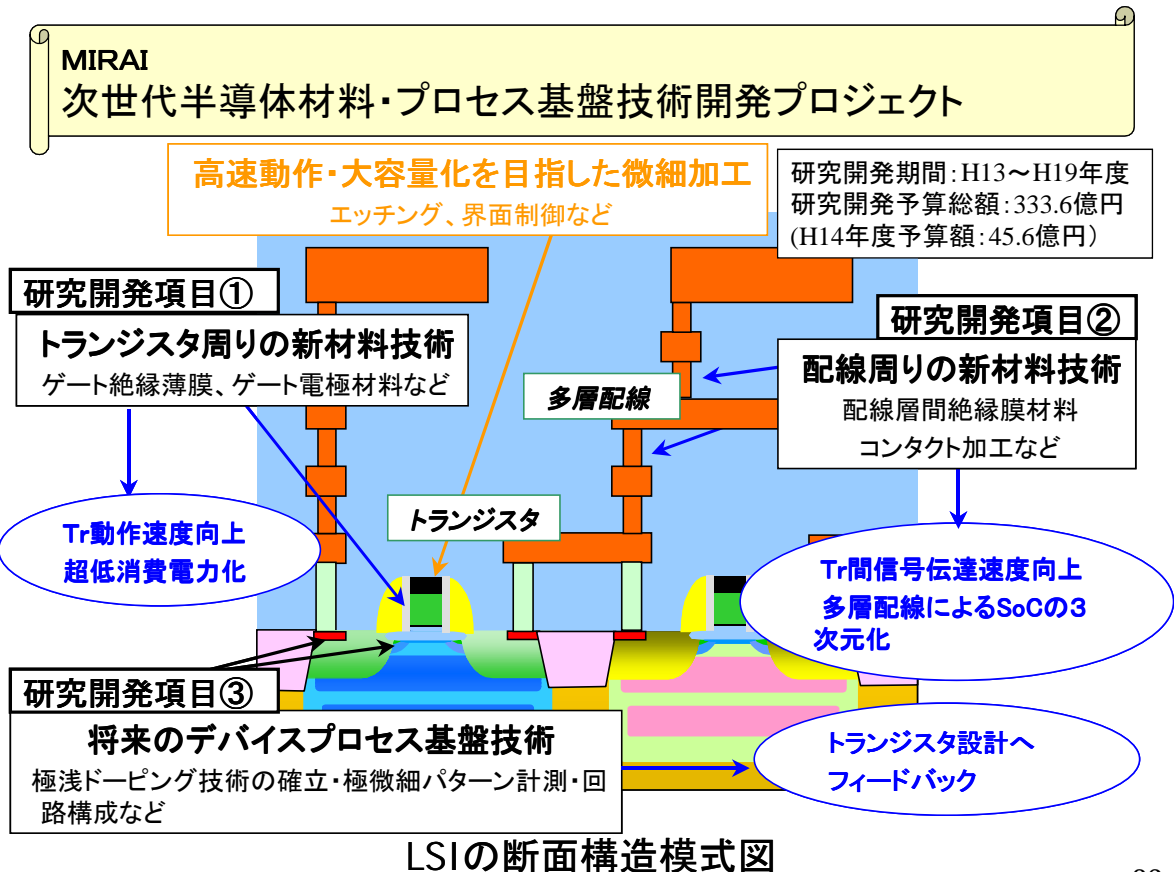
ロードマップ上の位置付け

(ITRS 2001 Editionより作成)

Year		2003	2005	2007	2010	2013
技術ノード (nm)		100	80	65	45	32
加工	MPUゲート長 (nm)	65	45	35	25	18
	ゲートCD [Critical Dimension] (nm)	3.7	2.6	2.0	1.5	1.1
材料	ゲート絶縁膜厚 (nm, SiO ₂ 換算) (High- κ)	1.6-1.1	1.3-0.8	1.1-0.6	0.8-0.5	0.6-0.4
	配線層間絶縁膜誘電率 (κ) (Low- κ)	3.5-2.9	3.0-2.5	2.5-2.0	2.0	1.9
計測	形状観察分解能 (nm, P/T=0.1)	0.45	0.32	0.25	0.18	0.13
	微粒子検出感度 (nm, 実パターン上)	45	32	25	18	13
	不純物分布空間分解能* (nm)[2次元/3次元]	7/15	5/10	4/7	3/5	2/3.5

※不純物分布空間分解能については、ITRS 1999 Editionの数値を使用

- 黒字 解決策を模索中
- 黒斜体字 解決策が知られていない
- 「あすかプロジェクト」がカバーする技術領域
- 「MIRAIプロジェクト」がカバーする技術領域

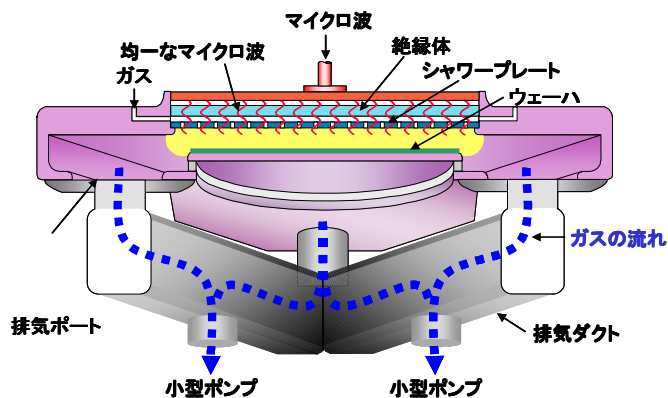


マイクロ波励起超高密度プラズマ装置技術開発

研究開発期間: H14~H16年度
研究開発予算総額: 37億円
(H14年度予算額: 12.3億円)

概要

大口径高密度プラズマ技術により、あらゆる面方位のシリコンにLSIを製造することを可能にし、半導体デバイスの3次元構造化・高集積化を実現する半導体製造装置の研究開発を行う。



本プラズマ装置の利点

- ・ プラズマ電子温度を 1eV 以下と低くすることにより、金属等の汚染物質を減少
- ・ 従来 1000 前後で行われていた分子反応ベースの半導体トランジスタ製造工程を 500 以下の低温プラズマプロセス工程にすることにより、装置の低消費電力化を実現しプラズマ励起領域とプロセス領域の完全分離により、基板表面損傷の減少が可能
- ・ マイクロ波励起超低電子温度プラズマを用いることにより均一・低損傷な成膜が可能となり、トランジスタ性能のバラツキを解決

(参考2) LSI 設計

次世代半導体設計・製造技術共同研究施設整備

90年代 我が国半導体産業の国際的競争力低下 (世界シェア52%→29%)

我が国企業の問題点(横並び垂直統合モデルの行き詰まり)

(米国、台湾等は、設計、製造を分離した適切な分業体制へ)

1 設計ルールがそれぞれ異なる

- 各社重複した設計を行い、非効率・コスト大
- 自社の設計資産しか利用できないため、複雑な高付加価値チップ製造困難

2 独自の製造プロセス

- 他社の製品が生産困難。(稼働率の低下)

現状のままでは..

- ・高成長が期待される高付加価値半導体(SoC)市場を獲得できない。
- ・韓国・台湾・中国企業の後塵を押し国際競争力低下。

次世代0.1 μ mの国際競争に勝利しなければ我が国から半導体産業がなくなる懸念あり(現在の主流は0.18~0.13 μ m)

次世代半導体設計・製造技術共同研究施設整備の必要性

設計・製造技術共同研究(標準化)の必要性

次世代技術開発は、各社が激しく競争しているものの、企業体力の一層の低下を招く。

公的研究機関である「産総研」が業界横断的な標準化作業を行う必要性あり。

- ・最先端の半導体製造に必要なクリーンルーム、0.1 μ m製造に対応した半導体製造装置等を備えた施設の整備
- 設計・製造ルールの標準化
- 共通設計ルールで設計された半導体設計回路検証
- ・標準化に向けた共同研究体制の構築

- ・産業技術総合研究所が、次世代0.1 μ mの設計・製造技術標準化のための施設整備(産総研と民間企業で共同研究)
- ↓
- ・設計・製造技術が標準化されることにより、設計のみに特化、製造部分の外部委託が可能

我が国企業の競争力向上

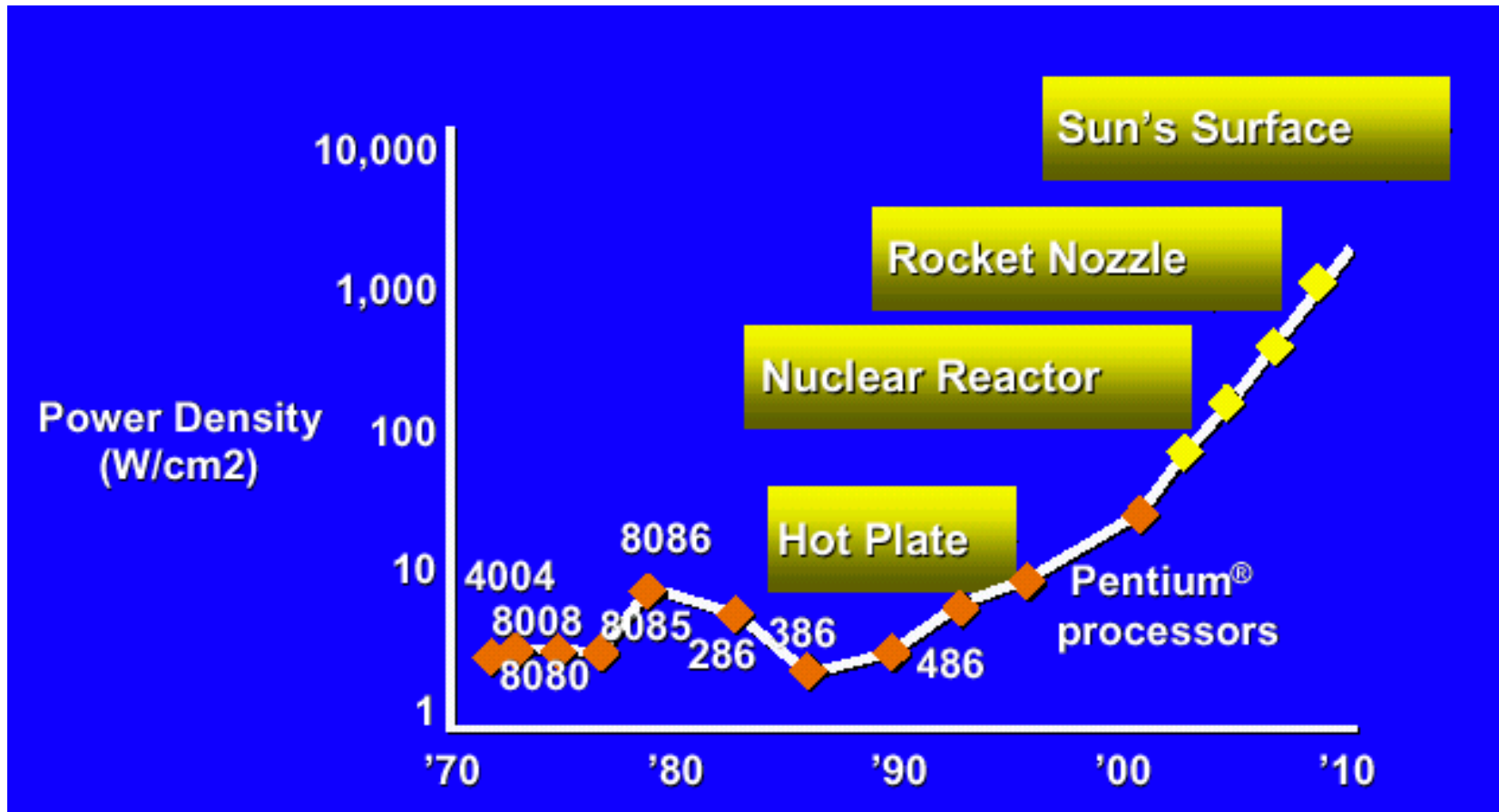
- 1 設計ルールの標準化 → 各社相互の設計回路を利用することで、それぞれの設計コスト低減
- 2 製造プロセスの標準化 → 他社の製品を自社のラインで製造可能となることによる、稼働率向上

各企業の設計・製造生産性が飛躍的に向上し、台湾、韓国、中国企業に負けない国際競争力獲得

- ・各企業の最先端SoC量産ラインの構築を促進(数千億円の投資誘発)
- ・最先端の高付加価値半導体(SoC)市場の多くを獲得可能(05年に約2.2兆円)
- ・半導体製造装置産業や素材産業への波及大

(参考3) CPUの発熱の増加(電力密度)

Pat Gelsinger (ISSCC 2001) より



(参考5) 消費電力低減技術の現状

1 . 低電圧化 : 0.1V 動作の実現

日立中央研究所とマサチューセッツ工科大学は、基板バイアス制御及び電源電圧制御の統合により、室温動作の CMOS 集積回路として世界最小の 0.1V 動作 (リングオシレータ) を実現 (2002.2)

2 . CPU 設計による低消費電力化

米インテル社の最新 CPU では、以下の技術を採用して低消費電力化を実現している。

Advanced Branch Prediction : プログラムが過去にどのような動作をしたか分析し、それを基に将来の命令を予測。

Micro-Op Fusion : 同時に実行可能な命令が複数あるとき、それらを一つの命令にまとめて性能向上および電力使用効率向上を図る。

Power Optimized Processor System Bus : 現在のシステムの多くは、使用していないコンポーネントに対しても電力を供給しているが、本システムでは、低電圧動作を可能にし、バッファ管理を厳密にすることで、電力を必要とするコンポーネントだけに電力供給を行う。

Dedicated Stack Manager : 内部の演算動作を記録する専用のハードウェアを使い、プロセッサが割込みなしにプログラムを実行できるようにする。

3 . 米国防省 DARPA / IBM

DARPA (Defense Advanced Research Projects Agency) は、低消費電力技術として、「Power-Aware Computing and

Communications (PACC)」という官民共同プロジェクトを進めており、必要な電力を適切な時に適切な場所だけに供給する JIP (Just In time Power) を実現するための研究開発を行っている(注)。

(注) その一環として、IBM の Low Power Center に資金援助などを行う。その成果は、2003 年にプロトタイプとして BAE Systems の軍用機器に組み込まれ、IBM 内部でも電力効率の高い製品開発に用いられる。

(参考7) 不揮発性回路 (メモリ混載 LSI)

1. テキサスインスツルメンツ社

90 ナノメートル・ルールから強誘電体メモリ (FeRAM) を集積する方針。2004 年には FeRAM を混載した論理 LSI の量産を始める計画。単体メモリではなく、DSP などの論理 LSI に混載する目的で FeRAM を位置付けている。

最初の段階では、混載・単体フラッシュメモリを置き換える。フラッシュメモリは標準 LSI プロセスに 6 枚～8 枚の追加マスクが必要になるが、FeRAM では 2 枚の追加マスクで済み、低コスト化につながる。90 ナノメートル・ルール LSI の量産開始時点から数メガビットの FeRAM を混載させる。

書換可能回数を 10^{15} 回以上に高めた後、DSP などに内蔵される SRAM を置き換える。

最終的には、不揮発性論理回路により、DSP などの回路変更を低コストで行えるリコンフィギュアラブルな論理 LSI を実現する。

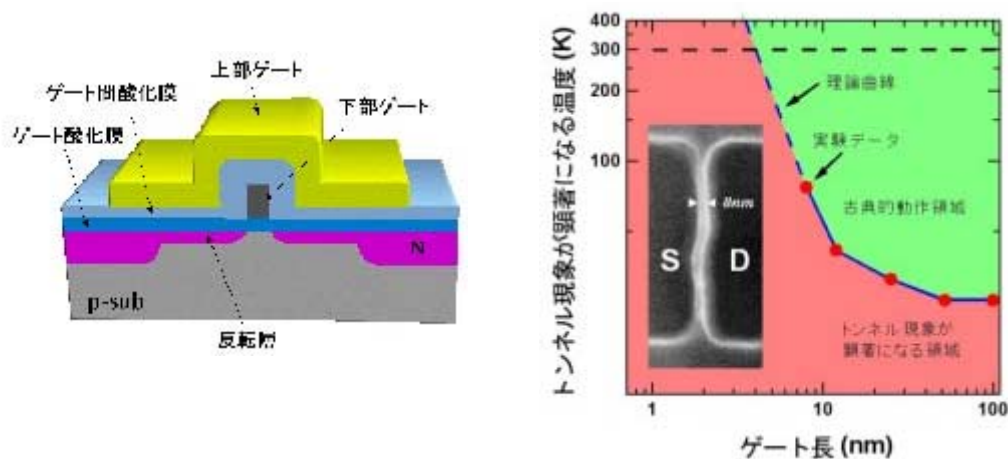
(参考8) シリコンの限界を目指した微細化

1. ゲート長8ナノ (NEC)

半導体デバイスの動作限界とそこに現れる物理現象を調べるため、EJ-MOSFET 構造により電氣的な極浅ソース・ドレイン形成を実現し、世界最小ゲート長8ナノメートルのシリコン MOSFET 構造を作製し、液体窒素温度以下でソースドレイン間トンネリング現象を世界で初めて確認し、この現象が室温で顕著になるのは、ゲート長5ナノメートル以下の領域であることを明らかにした。この観測結果から、室温におけるシリコン MOSFET の微細化限界が5 nm程度であることが明らかとなった。

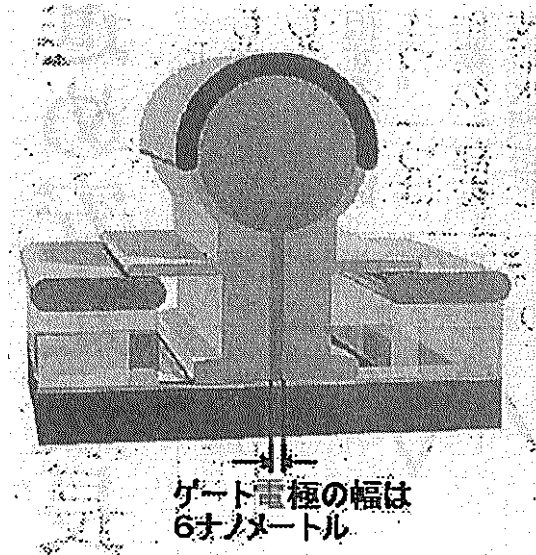
これにより、2020年頃まで素子微細化が可能であることが判明。

(注) EJ-MOSFET : Electrically variable shallow junction metal-oxide-semiconductor field-effect transistor



2 . ゲート長 6 ナノ (IBM : 2002.12)

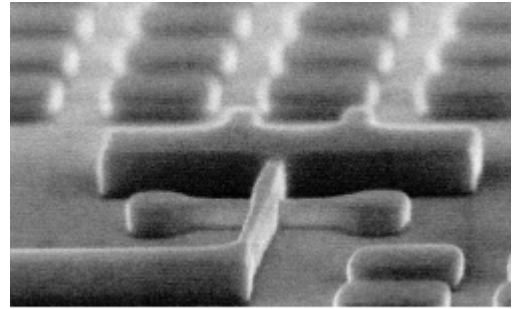
図のような特殊なトランジスタ構造を用い、ゲート長 6 ナノメートルを実現。



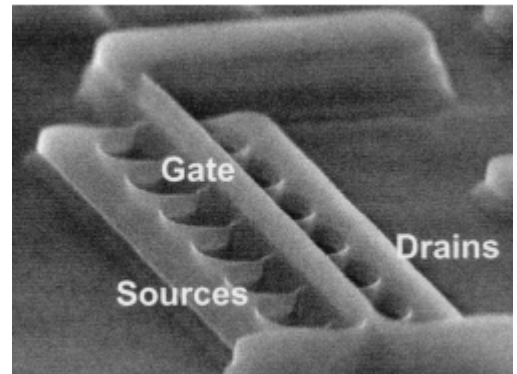
(参考9) トランジスタの構造の研究

1. トライゲート・トランジスタ (米インテル社)

平面上に垂直な壁を持つ“台地”を設けて3次元構造を作成。これにより、トランジスタの上部に加え、台地の壁の部分にも電気信号を通すことが可能になる。基板の面積を広げることなく、電気信号を通す面積を3倍にした。(2002.9)



同時に、同程度のゲート長で比較した場合、トライゲート・トランジスタの方がプレーナ型トランジスタより20%多くドライブ電流を流せ、トランジスタの動作も高速になる。



SOI 構造を用いることにより、漏れ電流を低減させ、消費電力を大幅に削減すると同時に、トランジスタのオンとオフの切り替え速度を高速化している。

さらに、ソースとドレインの構造を高くすることで抵抗値を下げ、より少ない電力でトランジスタを動作できる。

この構造は、将来漏れ電流をさらに削減する目的で高誘電率ゲート絶縁膜を採用する際にも利用できる。

(注1) 数百ナノメートルの酸化シリコン絶縁層の上に薄いシリコンの層をもつ SOI (Silicon on Insulator) 構造

その上のシリコン層は100ナノメートル以下である。

シリコン層を薄くしていくと、ゲートの下のシリコンが完全に空乏化し Floating Body が無くなり、Floating Body の電位

