

革新的研究開発推進プログラム（ImPACT）

終了時評価報告書（平成30年度）

「無充電で長期間使用できる究極のエコIT機器の実現」

平成30年12月28日

PM 名：佐橋 政司

PM補佐名：北原 直行

：久留島守広

目次

0. 目次	1
1. 研究開発プログラムの全体計画	3
(1) 研究開発プログラムの構想	3
(2) 研究開発プログラムの達成目標	8
(3) 研究開発プログラムの全体構成図	11
(4) 具体的な取り組み	13
(5) 研究開発プログラムの全体ロードマップ	14
(6) 研究開発プログラムのマイルストーン	15
(7) 研究開発プログラムの実施期間	16
2. 研究開発プロジェクト毎の実施状況及び成果	17
(1) 大野社会実装分科会/スピントロニクス集積回路プロジェクト	17
①プロジェクトの計画	17
②プロジェクトの体制	19
③プロジェクトの進捗状況、獲得成果及び目標達成への貢献度	20
④競合する技術・アプローチに対するベンチマーク	25
(2) 湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクト	26
①プロジェクトの計画	26
②プロジェクトの体制	30
③プロジェクトの進捗状況、獲得成果及び目標達成への貢献度	30
④競合する技術・アプローチに対するベンチマーク	49
(3) PM 直轄：新規 MRAM 開発のための計算科学支援チーム	52
①計算科学支援チーム構成	52
②計算科学支援チームの獲得成果及び目標達成への貢献度	52
(4) 平成28年度の経過措置後に退場になったプロジェクト	53
①プロジェクト名と体制	53
②その後の取り組み進捗、獲得成果及び目標達成への貢献度	53
3. 研究開発プログラムの全体成果	54
(1) 目標達成の状況	54
(2) 参考指標	58
全体に亘っての参照論文	64
4. 研究開発プログラム予算の推移	72

5．研究開発プログラムの推進体制	73
6．研究開発プログラムの実施管理状況	75
(1) 研究開発プログラムのガバナンス	75
(2) 研究成果の展開に向けた取り組み	78
7．PM の自己評価	81
(1) PM が実施管理を行った研究開発プログラム（研究成果）に関する評価	81
(2) PM 自身の活動（プログラム・マネージメント）に関する評価	89
(3) その他、IMPACT プログラム全体に対する所感・提言（自由記載）	103

研究開発プログラムの全体計画

(1) 研究開発プログラムの構想

① 解決すべき社会的課題

『生活様式を変える革新的省エネ・エコ社会「地球との共生」』の実現のためには、ネットワーク社会の要となっているデジタル情報機器のすべてを**揮発性の半導体エレクトロニクスから不揮発性のスピントロニクスへと変革し、「無充電で長期間使用できる究極のエコ IT 機器の実現」**を達成する必要がある。すなわち、電源をオフにすると記憶情報が消えてしまう現在の半導体エレクトロニクスで構成されているコンピュータ(デジタル情報機器)の演算処理部、ロジック回路部、メモリ部に不揮発性を導入し、電源がオフでも記憶情報が失われない「ノーマリーオフとインスタントオンを可能にする」究極のエコ IT 機器を実現する必要がある。

現在の IT 機器の基盤であるメモリ（ダイナミックランダムアクセスメモリ、スタティックランダムアクセスメモリなど）やトランジスタ（CMOS）は、リーク電流や Refresh も含めて、全て動作時あるいは待機時の消費電力が大きく、省電力化には本質的な限界がある。その結果、スマートフォンなどのモバイル IT 機器では、頻繁な充電が必要となり、家庭やオフィス内では、コンセントに繋ぎっぱなしの充電器が増えるなど、電力消費の増加と利便性の低下を引き起こしている。さらに、東日本大震災後の長期間停電時には、緊急情報へのアクセスが不能になるなどの問題が発生した。

加えて、第 4 次産業革命とも言われ、近年動きが活発化している IoT/IoE (Internet of Every Thing)や AI (Artificial Intelligence)の進展は、**我々の生活様式のみならず、産業構造にも大きな変革をもたらすことが期待され、我々を取り巻く環境は予測出来ないくらい大きく変わる可能性がある**。しかし、ビッグデータの分析・利活用、実世界とサイバー空間との結合(Cyber Physical System)などは、近い将来に情報爆発を現実のものとし [2020 年までには 35ZB(ゼットバイト:EB の 1000 倍)に達するとの予測]、**データセンター等の情報量と消費電力の爆発的な増大は将来解決すべき大きな社会的課題**となって来ている。

これらの課題を根本的に解決するために、本プログラムでは革新的なスピントロニクス技術を用いて、メモリのみならず演算処理部までを不揮発化・超省電力化し、「**無充電で長期間使用できる究極のノーマリーオフ/インスタントオン IT 機器および分散型 IT システム**」を実現し、生活様式および産業構造を大きく変える革新的省エネ・エコ社会の実現を目指すものである。

② 上記の社会的課題を解決し、産業や社会のあり方に大きな変革をもたらす PM の構想および出口目標と出口に至るシナリオ

上記課題を根本的に解決するためには、世界最小の磁石である電子スピンの持つ不揮発性を活かした「革新的なスピントロニクス技術」を用いて、メモリのみならず演算処理部までを不揮発化・超省電力化し、「無充電で長期間使用できる究極のノーマリーオフ/インスタ

ントオン IT 機器および分散型 IT システム」を実現する必要がある。本プログラムでは、**現行の揮発性エレクトロニクスから成るコンピュータ技術を、不揮発性スピントロニクスを駆使した不揮発性コンピュータ技術へと技術革新すべく、その根幹を成す、一度充電したらその後無充電で長期間使用可能な [1]「低電力消費と高速処理性能(高い演算性能)を合わせ持った不揮発性マイコン」と [2] IT 機器の超省エネルギー化に資する「待機時電力ゼロに加えて1ビット書込みに必要なエネルギーを究極まで低減可能とする電圧駆動の磁気ランダムアクセスメモリ(MRAM)(キャッシュ/メイン)」の開発を行う。**[1] と [2] の到達すべき目標は以下の通りである。

[1] 低電力消費と高速処理性能(高い演算性能)を合わせ持った不揮発性マイコン

スピントロニクス集積回路(磁気トンネル接合 MTJ)を CMOS 集積回路に内蔵させた新しい集積回路アーキテクチャ)からのブレークスルー技術であるロジックインメモリ技術を構築し、消費電力 100 μ W 以下(エナジーハーベスティング電力供給でも駆動可能なレベルで、無充電でも長期間の使用を可能とする低消費電力)でかつ高速処理性能(100~200MHz の演算処理性能)を持つ不揮発性マイコンの実現を目指す。あらゆるところにセンサが張り巡らされ(センサネットワーク)、モノがインターネットにつながる IoT/IoE 時代には、**演算の分散処理、セキュリティの観点から低消費電力でかつ高速処理性能(高い演算性能)を持つマイコンが強く求められている。**

[2] 待機電力ゼロに加えて1ビット書込みに必要なエネルギーを究極まで低減可能とする電圧駆動の磁気ランダムアクセスメモリ(MRAM)(キャッシュ/メイン)

エンデュランス特性(データ書換え耐性)とリテンション(データ保持)に大きな利点を持つ不揮発性の磁気ランダムアクセスメモリ(MRAM)を、これまでの電流駆動から電圧駆動へと技術革新し、高速性(数 ns 以下)と究極の超低消費エネルギー(1fJ/bit 以下)でのメモリ駆動の実現を目指す。

この実現は、センサやスマートフォンなどの IoT 端末やモバイル端末の頻繁な充電を不要とし、家庭やオフィス内でコンセントに繋ぎっぱなしの充電器を一掃するなど、我々の生活様式を大きく変えることが期待される。また、この電圧駆動 MRAM 技術は、[1] への応用展開も可能であることから、IoT/AI による第4次産業革命(日本では Society 5.0)の基盤技術ともなり、社会的課題であるエネルギー消費の増大への根本的解決策になると同時に社会に大きな変革をもたらすものとなる。

これらの技術の ImPACT 実施期間を超えての社会実装のレベル設定は、各 MRAM 技術、すなわち電流駆動(STT:スピントランスファートルク、SOT:スピン軌道トルク)と電圧駆動(VT:電圧トルク)の特徴的な性能(書込み速度、消費電力、集積度)と本プログラムが追求する不揮発性マイコン(速度重視)と超低消費電力不揮発性メモリ(集積度・密度重視)の要求性能への到達度によって、**図1に示す出口戦略に則った事業化・実用化計画の実行となる。**

図1の出口戦略に則った事業化・実用化計画の実行については、AI/Deep Learning などのコンピュータの変革とも連動することから、超低消費電力不揮発性メモリにおいても高速

性を重視する揮発性の Embedded SRAM/DRAM 代替も視野に入れたメモリ階層の変革も重要な出口戦略となる。

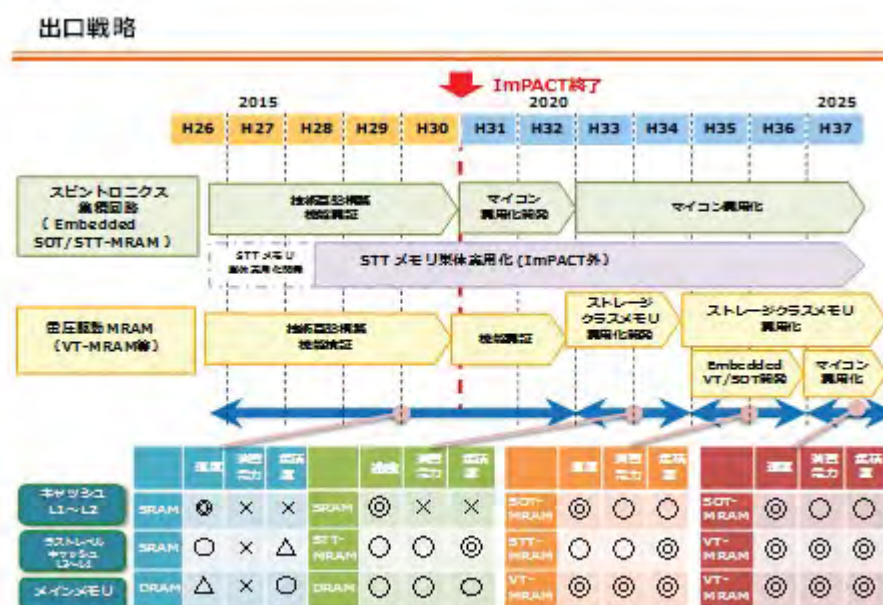


図1 ImpACT 佐橋プログラムの出口戦略と各 MRAM 技術の特徴的性能
コンピュータロジック/メモリ階層への応用展開
(不揮発性コンピュータの実現と社会変革)

③ 解決のための発想・アイデア及びブレークスルーのポイント

◇ 従来では越えられなかった技術等の壁は何か

現在のコンピュータのほとんどすべてが採用しているノイマン型は、プログラムをデータとしてメモリに記憶・格納し、これを順番に読み込んで実行するもので、論理演算を司るロジック部から順に L1、L2、L3、L4 キャッシュメモリ、次いでメインメモリがワーキングメモリとして重要な役割を担っている。そしてロジック部である上位のキャッシュメモリには速度が、下位のラストレベルキャッシュメモリ/メインメモリには容量が要求される。しかし、現状の最大の問題点・課題は、これらのすべてのメモリが揮発性のエレクトロニクスから構成されていることであり、電源をオフにするとデータの記憶が失われてしまい、待機時においても電力を消費し続けること、電気容量を用いてデータを記憶していることから、動作時においてもリーク電流やキャパシタから時間とともに放電される電流による電力消費が大きいことである(25mW 程度はある)。現在メインメモリとして多用されている DRAM(ダイナミックランダムアクセスメモリ)では、データの記憶保持のため秒単位で繰り返し行われるリフレッシュにより、電力消費はさらに深刻なものとなっている(100mW に及ぶ)。したがって、コンピュータがこのような揮発性のエレクトロニクスから構成されている限り、ますます増大し続ける情報量の処

理・記憶に伴う消費電力の爆発的な増大といった社会的課題の根本的解決にはなり得ない。

◇ どのような発想・アイデアにより、その壁を突破しようとしているのか

本プログラム構想では、このように重要な社会的課題となって来ている「IT 機器の省電力化」に対する根本的解決法を開発する。そのため、この世に存在する最小の磁石(不揮発)である電子スピンの示す諸々の物理現象を活用する。具体的には、**不揮発性を最大の特徴とする革新的スピントロニクスを駆使した「スピントロニクス論理集積回路」の開発と、完成すれば究極の省電力技術となり得る電子スピンを電圧で操る先進の電圧スピントロニクスを駆使した世界初の電圧制御メモリの実現を目指す「電圧駆動 MRAM」の開発を行う。**論理集積回路は高速化を、電圧駆動 MRAM は高集積化を研究開発ターゲットに据えて、究極の省電力技術となる「不揮発性エレクトロニクス」の構築とそのデバイス・システムへの応用展開に、国内屈指のトップ研究者である東北大学の大野英男教授と産業技術総合研究所の湯浅新治博士が陣頭指揮を執って、それぞれのターゲットの実現を目指す。またその進め方は、不揮発性を最大の特徴とするスピントロニクスにおける最先端の研究成果の創出とその活用と応用、省電力システム開発への新展開を基軸にした取組みを行う。本アプローチは、**高速性と書換えサイクル寿命(Endurance)、データ保持期間(Retention)において、他の技術の追従を許さない電子スピンをベースにした取組みであり、かつ最先端の研究成果のスピーディな取り込みを行なうもので、SRAM(スタティックランダムアクセスメモリ)並みの高速動作と DRAM を超える高集積を不揮発性のエレクトロニクスであるスピントロニクスで実現するもので、完成の暁の優位性は計り知れないものがあるが、それ故に実現のためには言うまでもなく、多くの困難を乗り越える必要がある。**

◇ その飛躍の程度・難易度・失敗の可能性はどのくらいか

本プログラムは、第4次産業革命(日本では Society 5.0)とも言われるモノのインターネットである IoT/IoE や人工知能 (AI)、Big Data の利活用などで、ますます取り扱うデジタル情報のデータ量が膨らみ、深刻さを増す電力消費を根本から低減することを可能とする不揮発性エレクトロニクスから成るコンピュータを開発し、「無充電で長期間使用できる究極のエコ IT 機器」を実現するものであり、半世紀もの長きに亘り、コンピュータのメモリ階層を形成してきた揮発性の SRAM/DRAM をコストの面でも凌駕して、不揮発化を図ることは容易なことではないが、遠くない何れかには必ず不揮発性化が達成されるものと考えられ、本プログラムはそれを先取りしたものである。したがって、挑戦が時期尚早であることはあっても試みに失敗はなく、何れかは実を結ぶものである。AI が開花するトリガーとなったビッグデータ時代を切り拓いたテラバイト級の大容量 HDD 実現の鍵となった垂直磁気記録の生みの親である岩崎俊一先生の 30 年説もあながち間違いではない。舩岡さんの NAND フラッシュもまさに 21 世紀に入ってから開花したものであるが、舩岡さんの発明を東芝で声高に聞いたのは、1990 年ごろである。また、一度壁にぶつかった HDD の大容量化も IBM が 20 年以上開発を継続してきた異方性磁気抵抗効果を使った MR ヘッドの開発があつてこそ、巨大磁気抵抗効果を使った GMR へ

ッドの実用化がわずか 10 年足らずでなされ、HDD の容量を 100Mbit/inch² から一気に 100Gbit/inch² まで押し上げインターネット時代を切り拓いたのが、この GMR ヘッドであることは記憶に新しい。これもまさに 30 年説に当てはまる。研究は“**継続は力なり**”とはこのことである。

一方、技術面での難易度としては、不揮発性であれば何でも良いということではないことです。不揮発性のメモリを使えば、確かに待機時の電力は不要であるが、一般的に情報の書込みにはより大きなエネルギーバリアを超える必要があるため、この書込み電力を極限、言い合えれば揮発性の SRAM/DRAM まで下げる必要がある。これが容易なことではない訳です(図 2)。

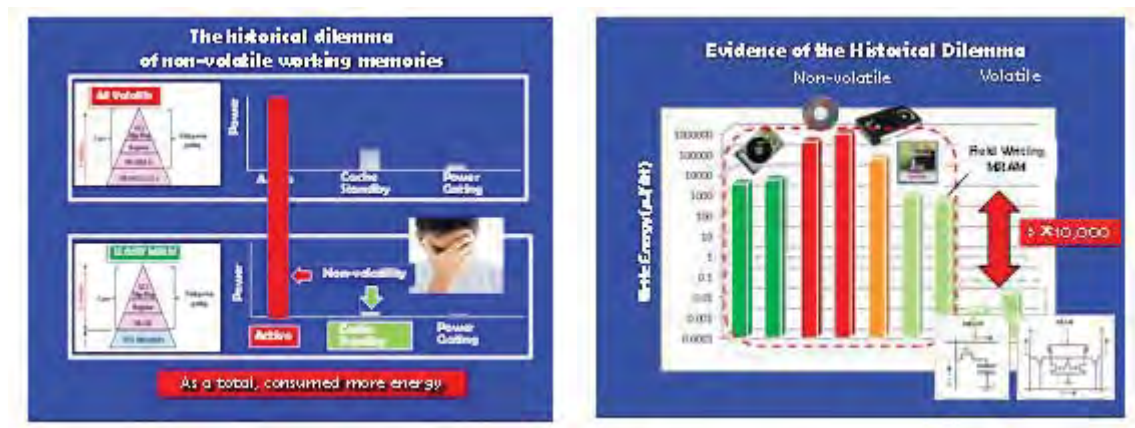


図 2 不揮発性メモリの歴史的ジレンマ (資料提供：株式会社 東芝)

したがって、頻繁に書込みと読出しを繰り返すワーキングメモリ用途では、不揮発性メモリの書込み電力を桁違いに小さくし、揮発性の SRAM/DRAM 並みにすることが出来れば、大きく成功に踏み出したことになる。

加えて、モノのインターネットである IoT/IoE 時代には、自動車や工場などあらゆる場所に張り巡らされたセンサからのデジタルデータ情報が、モバイル機器、集中コンピュータ(クラウド)、分散コンピュータシステム、マイコンなどで処理・記憶されることになるが、本プログラムで開発する不揮発性であるスピントロニクスをベースにしたコンピュータが実現されれば、電源がオフでも記憶情報が失われない、動作時でも電力消費が極端に小さい究極のエコ IT 機器を実現することが可能となり、一度充電すれば、充電なしで使えるマイコンや長期間無充電で使えるモバイル機器、家庭やオフィス内からのコンセントに繋ぎっぱなしの充電器の一扫など、家電のスマート化、ヘルスケアのパーソナル化、自動車の自動運転、スマートファクトリー、再生可能エネルギー・自然エネルギーの活用と分散型エネルギー等 ICT の利活用に革命的インパクトを与えるものである。

(2) 研究開発プログラムの達成目標

出口目標とImPACT期間終了時の達成目標と見直し		
平成29年2月16日 内閣府革新的研究開発推進プログラム有識者会議資料		
プログラム承認時	平成28年度以降	変更理由
メモリ事業やマイコン事業など五つの各プロジェクトが指向するマーケットで、先導的かつ圧倒的差別化技術の創出により市場を席巻し、生活様式を一変し超る超絶的研発開発成果を創出、その組み合わせで究極のエコIT機能実現への道筋をつける。	世界初の省電力マイコンを目指して、300mmウェハ試作による「1nsを切る高速動作スピン軌道トルク(SOT)-MRAMの機能実証」とその不揮発性マイコンへの展開 選択的双方向制御を含む電圧駆動MRAM集積回路設計開発の完了とそのメモリ/ストレージへの展開	市場動向、技術開発動向の調査に基づき、出口目標を省電力不揮発性マイコンと不揮発性メモリ/ストレージ産業分野に絞り込み、リソースを重点特化

○大野社会実装分科会・スピントロニクス集積回路プロジェクト
情報処理の高速化/読み出しが可能な超高速の電圧駆動MRAM(SOT-MRAM)を、LSI内部メモリに適用(200MHz演算性能)のマイコンの実現に向け、Embedded STT-MRAMマイコン(100MHz)とSOT-MRAMの機能実証を行う。Embedded SOT/STT-MRAMマイコンの200MHz演算性能実証はシミュレーションにてデモを行う。

○湯浅先端技術開発分科会・電圧駆動MRAM開発タスクフォースプロジェクト
新たに書き込み速度とEndurance(書き換え耐久性)の両立を研究開発軸に加え、低消費電力高速・大容量AIメモリなどの実現とSRAM代替、ストレージクラスメモリへの応用展開を目指す。超高速の電圧駆動MRAM技術である超高速タイナミクス制御電圧駆動MRAMとImPACT発新概念メモリであるVoCSMの基礎技術を開発し、メモリ/ストレージを兼用したデバイス開発設計を主として60nmクラスMRAMメモリ全トランジスタ開発設計(コア20nm,周辺28nm設計ルール)を行う。機能実証デモ等インパクトのある成果を推進

※ VoCSM: Voltage Controlled Spintronic Memory(コア20nm,周辺28nmトランジスタ開発設計/VCHAとSHBを利用)

図3 出口目標とImPACT終了時の達成目標

IoT時代を睨んだ分散処理系については、エネルギーハーベスティング電力供給でも駆動可能なレベルで、無充電でも長期間の使用を可能とする低消費電力と高速処理性能(高い演算性能)を合わせ持つ世界初の省電力マイコンの実現と、その更なる高性能化を目指した、300mmウェハ試作による「省電力不揮発性マイコンの機能実証」、および「1nsを切る高速動作スピン軌道トルク(SOT)-MRAMの機能実証*」とその不揮発性マイコンへの展開を、大野社会実装分科会/スピントロニクス集積回路プロジェクトの達成目標とし、SRAM並みの高速動作と超省電力書き込みが可能な究極の不揮発性メモリの開発による無充電で長期間使用可能なモバイルIT機器の実現については、選択的双方向制御を含む電圧駆動MRAM集積回路設計開発の完了とそのメモリ/ストレージへの展開**を、湯浅先端技術開発/電圧駆動MRAM開発タスクフォースプロジェクトの達成目標とする。

*300mmウェハ試作の全体的な遅れを反映して、不揮発性マイコンの機能実証試作は、当初目標の通りSTT-MRAM混載とし、H28年度より更なる先導性を持たせるべく新たにプロジェクトに組み込んだSOT-MRAMについてはMRAMの機能実証試作に止めることにした。

**ImPACT発の新概念メモリVoCSMの提案を受けて、H28年度以降の開発目標には、起爆剤としての魅力ある性能を示す高速型VoCSMの混載メモリへの展開を湯浅先端技術開発/電圧駆動MRAM開発タスクフォースプロジェクトの出口展開目標に組み込んだ。

具体的な達成目標は以下の通りである。

○大野社会実装分科会/スピントロニクス集積回路プロジェクト

情報の高速書込み/読出しが可能な独自の電流駆動 MRAM(SOT-MRAM)を、LSI 内部メモリに適用：200MHz 演算性能のマイコンの実現に向け、Embedded STT-MRAM マイコン(100MHz)と SOT-MRAM の機能実証を行う。Embedded SOT/STT MRAM マイコンの 200MHz 演算性能実証はシミュレーションにてデモを行う。

○湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクト

新たに書込み速度と Endurance(書換え耐性)の両立を研究開発軸に加え、低消費電力高速・大容量 AI メモリなどの実現と SRAM 代替、ストレージクラスメモリへの応用展開を目指し、独自の電圧駆動 MRAM 技術である磁化ダイナミクス制御電圧駆動 MRAM と ImPACT 発新概念メモリである VoCSM*の基礎技術を確立：バラつきを考慮したデバイス回路設計をもとに Gb クラス MRAM メモリ全トランジスタ回路設計(コア 20nm, 周辺 28nm 設計ルール)を行ない、日本発の次世代メモリ技術の実現に向けた機能実証デモ等インパクトのある成果を発信し、実用化への道を拓く。

*VoCSM: Voltage Control Spintronics Memory

[二つのスピントロニクス物理、Voltage Control Magnetic Anisotropy (VCMA) と Spin Hall Effect(SHE)を利用]]

尚大野社会実装分科会/スピントロニクス集積回路プロジェクトの達成目標は、スピン軌道トルク(SOT: Spin Orbit Torque)高速磁化反転原理の実験検証に成功したことを受けて、当初 Embedded STT-MRAM マイコンの機能実証であったものを、SOT-MRAM の機能実証も含めたものに変更。

また、湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクトの達成目標は、電圧トルク高速磁化反転の物理に基づく電圧駆動回路の開発及び磁気異方性の電圧制御を利用した新たなアーキテクチャ、素子構造の開発と書込み方式の開発を受けて、当初日本発の基礎研究成果を基に日本発の次世代の究極の省電力メモリの基盤技術の構築としていたものを、電圧駆動 MRAM 集積回路設計開発の完了とそのメモリ/ストレージへの展開に変更。

(1) のシナリオに対して、本研究開発プログラムで到達を目指す開発目標 (図 4、5)

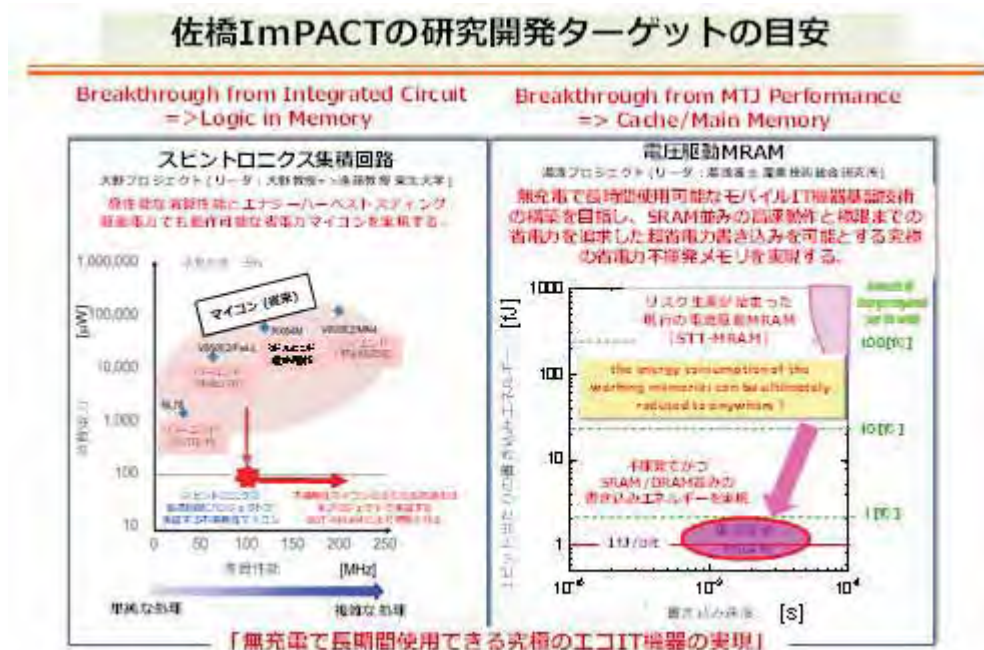


図 4 ブレークスルーを通して、到達を目指す開発ターゲットの目安

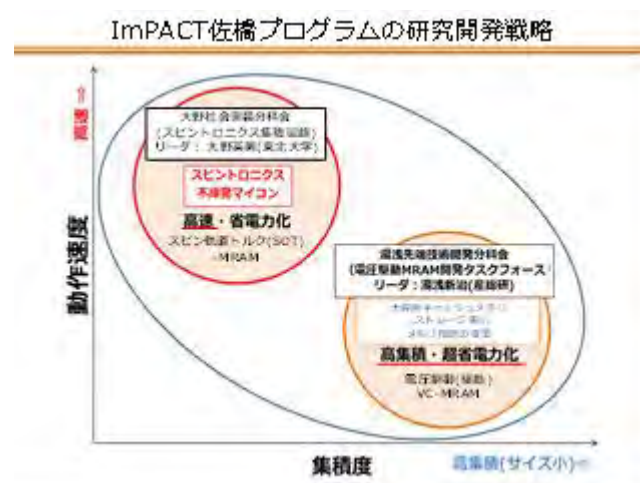
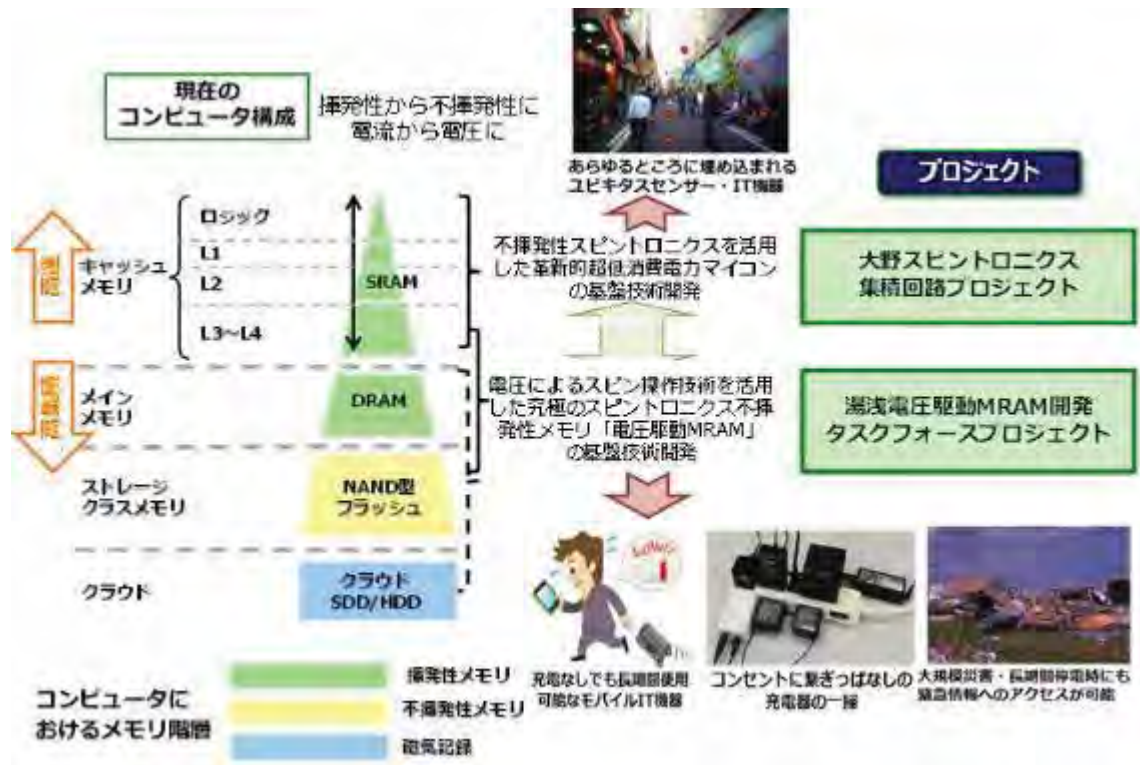
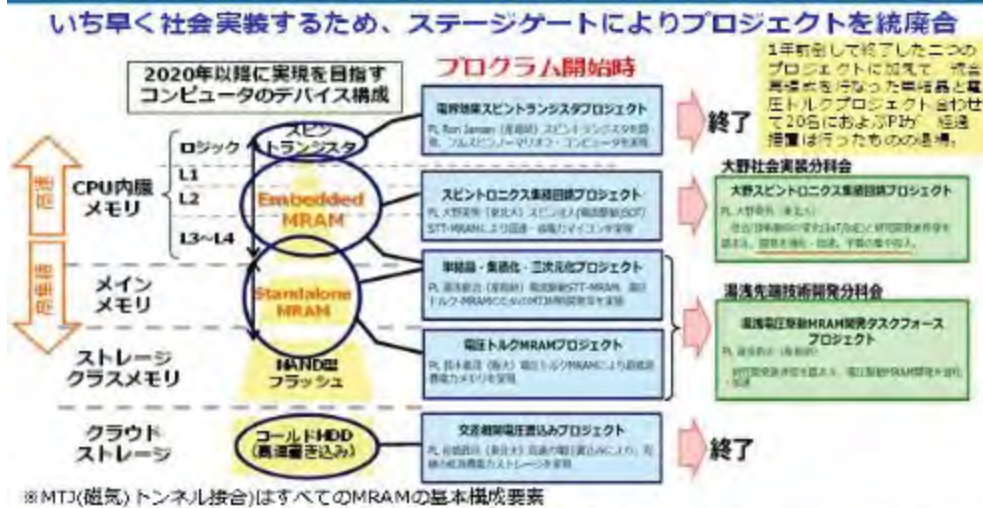


図 5 ImPACT 佐橋プログラムの研究開発の狙い

(3) 研究開発プログラムの全体構成図



研究開発プロジェクト体制（プログラム開始時と平成28年度以降の見直し後）



日本が世界と戦える分野として、社会を変える情報インフラ機器の革新に注力

内閣府 革新的研究開発推進会議資料(平成28年3月24日)

図6 プログラムの構成とプロジェクト(要素)



図7 プログラムの研究開発体制

○ 各プロジェクトの実施時期（プログラム全体のロードマップ）

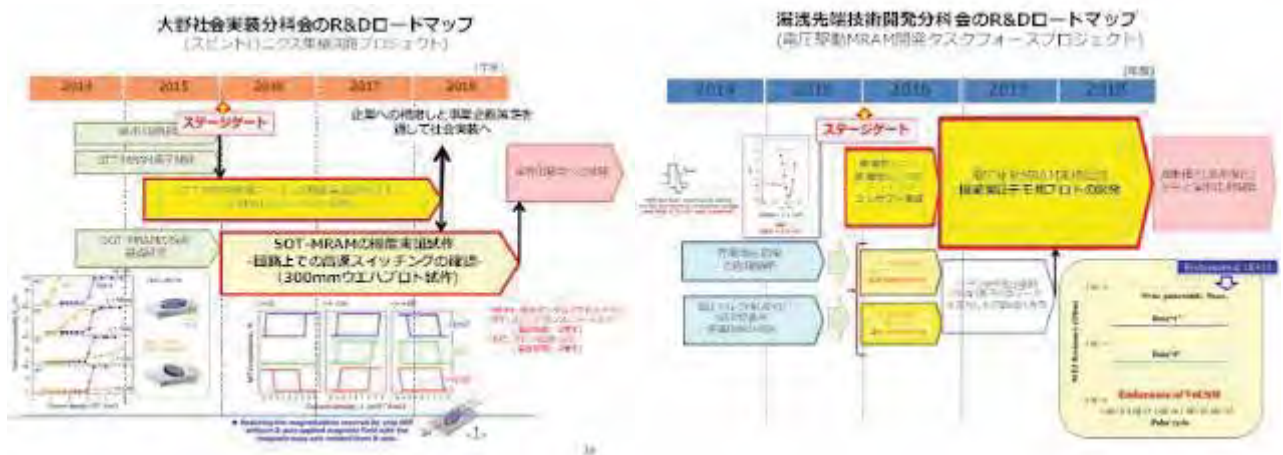
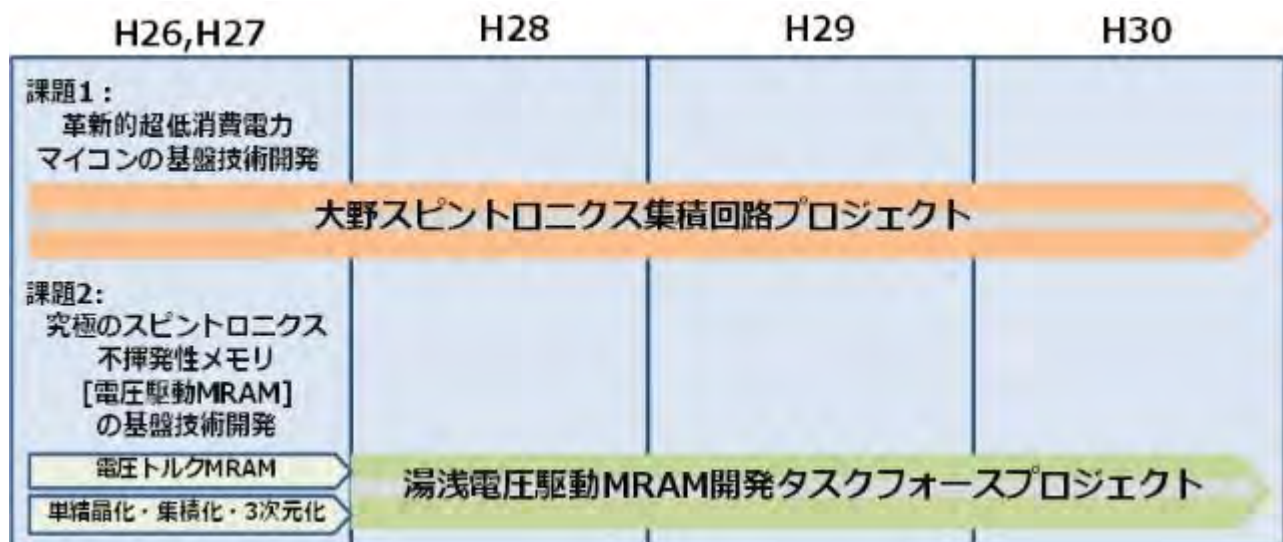


図8 プログラム全体のロードマップ(マクロ)

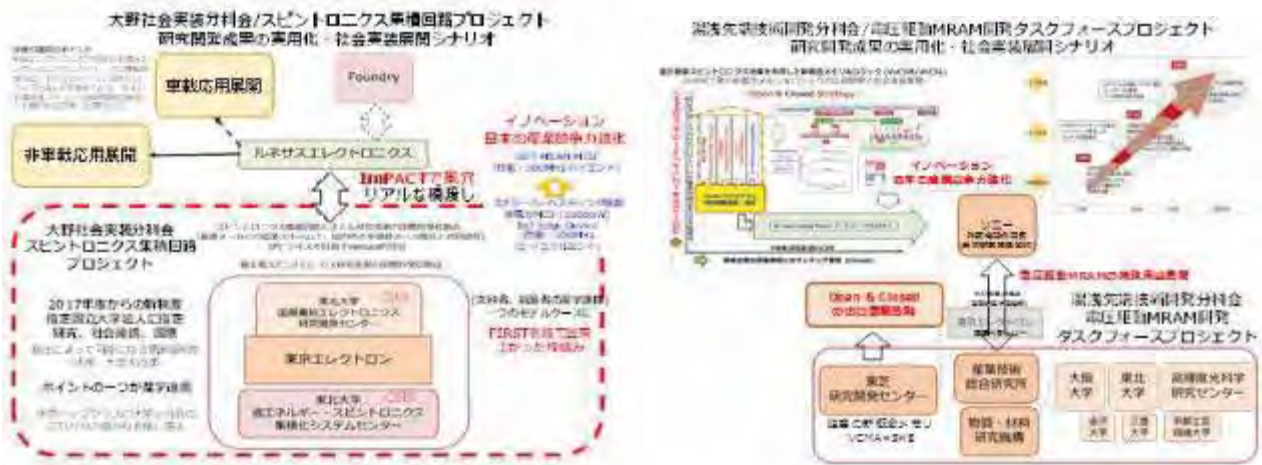


図 9 研究開発成果の実用化・社会実装展開シナリオ

(4) 具体的な取組み

① プロジェクト 1: 大野社会実装分科会/スピントロニクス集積回路プロジェクト

i) 研究開発の概要

分散型 IT システムへの応用展開に向けて、スピントロニクス技術を活用したエネルギーハーベスティングで駆動する革新的超低消費電力マイコンの基盤技術を開発する。

ii) 成果目標

スピントロニクス技術を活用したエネルギーハーベスティングで駆動する省電力情報処理集積回路向け材料・素子技術、回路・アーキテクチャ技術ならびに集積プロセス技術の開発に取り組み、革新的材料・素子技術と世界最先端 300mm 集積プロセスとの高度な技術融合により、分散型 IT システムに向けた、従来比で 5 倍以上[比較対象: FIRST 成果(ISSCC2014、20MHz)の演算性能、ならびに 1/20 以下[比較対象: FIRST 成果(A-SSCC2013、1.8mW)の消費電力を達成する 50 万素子規模の革新的超低消費電力マイコンの基盤技術を開発する。

② プロジェクト 2: 湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクト

i) 研究開発の概要

「無充電で長期間使用可能なモバイル機器の実現」など、安全・安心かつ利便性の高い、持続可能な高度知的エコ社会の実現に向けて、電圧によるスピン操作技術を活用した究極の超省電力駆動不揮発性ワーキングメモリとなり得る「電圧駆動 MRAM」の基盤技術を開発する。

ii) 成果目標

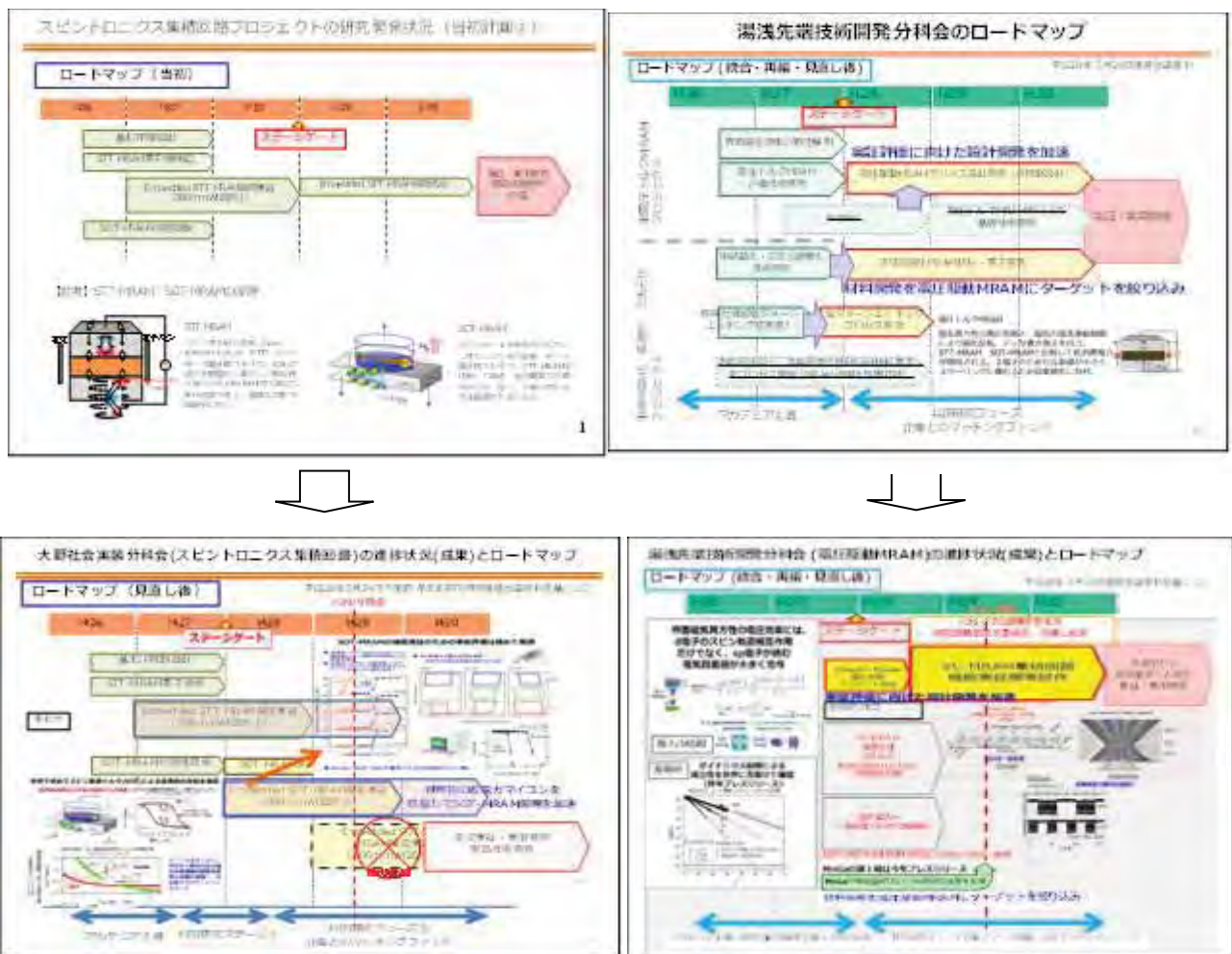
電圧駆動 MRAM 実現に必要な諸特性を得るための新材料 MTJ 素子を開発するなどの材料・素子目標[高密度・高集積の実現には 300%を超える磁気抵抗(MR)比、1000fJ/Vm 以上の電圧効果、2~3mJ/m²の磁気異方性エネルギー]に加えて、H28 年度より研究開発を強化・推進してい

る超省電力電圧駆動型メモリデバイスの開発目標[5ns以下の書き込み速度と1fJ以下のビット当たりの書き込みエネルギー、 10^{15} 回以上の書換え耐性(Endurance)]を追加し、電圧駆動MRAMの書き込み・読出し回路設計開発を含めた集積回路チップによる新概念の電圧駆動MRAMアーキテクチャおよび方式の機能実証を行ない、その有用性を示す。

加えて、現在はCoFeB/MgOに限られているMTJ素子材料の選択の幅を広げることを可能とすべく、CMOSシリコン基板上への単結晶MTJ素子の積層を可能とするエピタキシャル薄膜成長技術、ウェハ接合技術、および3次元積層集積化プロセス技術を開発し、CMOSシリコン基板上への単結晶MTJ素子製造技術の確立を図る。また、さらなる電圧効果向上の指針を得るべく、放射光などを用い、電圧誘起磁気異方性変化の物理機構を解明する。

そしてプロジェクト終了時までには、電圧駆動MRAMの基盤技術を開発し、企業主導の実証/実用化開発へと橋渡しする。尚橋渡しについては、ImpACT発Startup Ventureへの展開も含めて検討する。

(5) 研究開発プログラムの全体ロードマップ (図10 各分科会単位で)



(6) 研究開発プログラムのマイルストーン

本プログラムにおいては、それぞれの出口戦略を考慮して、東北大学 大野英男教授 (⇒ 遠藤教授)が牽引する大野社会実装分科会/スピントロニクス集積回路プロジェクトと産業技術総合研究所の湯浅新治博士が牽引する湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクトを、それぞれプログラム運営会議のもとに設置する社会実装分科会(分科会長：大野英男教授⇒遠藤哲郎教授)と先端技術開発分科会(分科会長：湯浅新治博士)内のプロジェクトと位置付けて実施する。そのうえで、プログラム運営会議/全体会議の中で可能な限り成果の共有化を図り、プログラム全体としての目標である「不揮発性コンピュータの実現」、「無充電で長期間使用可能な究極のエコ IT 機器」の実現を目指し、ImPACT 期間内での事業化/実用化への橋渡しを果たすことをプログラムのマイルストーンとする。

また、プロジェクト1であるスピントロニクス集積回路プロジェクトのマイルストーンは、以下の通りである。

I. スピントランスファートルク磁化反転方式磁気トンネル接合 (STT-MTJ) を用いた不揮発性マイコンを開発し、50 万素子規模で従来比 1/20 以下の消費電力を達成し、企業の本格参入を呼びこむ。

II. スピン軌道トルク方式(SOT)のデバイスを用いた高性能(高速演算処理性能)不揮発性 MRAM 集積回路を世界に先駆けて開発し、SOT 技術の高速動作性を回路上で実証する。

一方、プロジェクト2である電圧駆動 MRAM 開発タスクフォースプロジェクトのマイルストーンは、以下の通りである。

I. H28 年度末までのプログラム期間の前半では、電圧効果 500 fJ/Vm 以上の磁気トンネル接合(MTJ)素子の開発、書込みエラー率 $WER10^{-5}$ 以下の電圧トルク MRAM の実験検証、Si 基板上への単結晶 MTJ 薄膜のエピタキシャル成長技術の確立、低ダメージ・エッチング法を用いた直径 20 nm の MTJ 素子の作製技術の確立、面内磁化 MTJ 素子において面積抵抗(RA)が 10~100 $\Omega \mu m^2$ で、かつ磁気抵抗比(MR)が 300%以上の新材料 MTJ 素子の開発など、主に「材料・素子要素技術開発」を行なうとともに、H28 年度より強化したデバイス開発において「電圧駆動 MRAM 独自の新規回路方式の開発を含めたデバイスアーキテクチャ、書込み・読出し方式の検討を含めたデバイス基礎技術開発」の推進を図る。

II. H29 年度以降最終年度までの後半には、電圧駆動 MRAM 独自の新規回路方式の開発を含めたデバイスアーキテクチャ、書込み・読出し方式の開発を中軸に据えた電圧駆動 MRAM 機能実証試作開発に注力する。併せて、1 mJ/m² 以上の垂直磁気異方性と 300 fJ/Vm 以上の電圧効果を両立させた MTJ 素子の開発とベリファイを含めた書込みシーケンスの開発による $WER<10^{-15}$ の電圧トルク MRAM への道筋の提示、Si 基板上にエピタキシャル成長させた新材料 MTJ 薄膜のウェハ接合技術の確立、低ダメージ・エッチングを用いた直径 15 nm 以下の MTJ 素子の作製技術の確立などを経て、H30 年度末の ImPACT 終了時には、集積回路メモリチップによる電圧駆動 MRAM の機能実証(ガラスマスク設計と機能評価シミュレーション)と 300 mm Si 基板上への単結晶 MTJ 薄膜の成長と 300mmCMOS ウ

エハとのウェハ接合・3次元積層集積化プロセスの開発・デモンストレーション、低ダメージ・エッチングを用いた直径 10 nm の MTJ 素子の作製技術の確立を行なう。電圧駆動 MRAM の機能実証については、書込み時間数 ns、1 ビット当たりの書込みエネルギーが 1fJ 以下の超低消費電力の電圧書込みで 10^{-12} 以下の WER を実現するメモリ設計技術の開発を終えて、電圧駆動 MRAM の基盤技術の確立と機能実証を完了させる。そのうえで、企業主導による事業化/実用化に向けた電圧駆動 MRAM 及びその応用製品の技術実証開発へと橋渡しする。また、出口展開については Startup Venture への展開も検討する。

※ プログラム終了時の成功判断の基準

プログラムとしての成功判断基準は、ノイマン型不揮発性コンピュータの基幹を成す論理集積回路とメモリで圧倒的な差別化技術を創出し、企業主導の事業化・実用化に向けての実証・実用開発へと橋渡しする（「魔の川」、「ダーウインの海」の克服）。

個別のプロジェクトの成功判断基準としては、

スピントロニクス集積回路プロジェクトでは、従来比 5 倍以上[比較対象：FIRST 成果 (ISSCC2014、20MHz)]の動作速度、1/20 以下の消費電力[比較対象：FIRST 成果 (ASSCC2013、1.8mW)]を達成するスピントロニクス技術を利用した 50 万素子規模の不揮発性論理集積回路(マイコン)を開発し、本技術を事業化・実用化展開へと橋渡しすること。

電圧駆動 MRAM 開発タスクフォースプロジェクトでは、電圧駆動 MRAM 独自の新規回路方式の開発を含めたデバイスアーキテクチャ、書込み・読出し方式を開発し、集積回路メモリチップで機能実証すること。また、それに併せて電圧駆動 MRAM の成立性・実用化の鍵を握る、 $1\text{mJ}/\text{m}^2$ 以上の垂直磁気異方性と $1000\text{fJ}/\text{Vm}$ 以上の電圧効果(*)を両立させた MTJ 素子の開発、300mm Si 基板上への単結晶 MTJ 薄膜の成長とウェハ接合・3次元積層集積化プロセス技術の構築、低ダメージ・エッチングを用いた直径 10 nm の MTJ 素子加工技術の確立、 10^{-10} 以下電圧書込みエラー率 WER の実証と実用的な電圧駆動 MRAM 回路の設計開発といった**電圧駆動 MRAM 基礎技術の開発と基盤技術の構築**を行ない、企業主導の事業化・実用化に向けた実用開発へと橋渡しすることである。また併せて Startup Venture への展開も検討する。

(*)平成 28 年度の電圧駆動型メモリデバイスの開発（回路設計、デバイス構造・方式）の進展により、実用化展開に必要な仕様がより明確になった。

(7) 研究開発プログラム実施期間

平成 26 年 10 月 2 日から平成 31 年 3 月 31 日まで（4.5 年間）

2. 研究開発プロジェクト毎の実施状況及び成果

(1) 大野社会実装分科会/スピントロニクス集積回路プロジェクト

① プロジェクトの計画

H29 年度までに最先端 300mm 集積プロセスによる、従来比で 1/20 以下の消費電力を達成する 50 万素子規模のコンセプト実証用集積回路の開発を行う。さらに、H30 年度の最終目標である革新的材料・素子技術と 300mm 集積プロセスとの高度な技術統合により、分散型 IT システムに向けた、従来比で 5 倍以上の動作速度、ならびに 1/20 以下の消費電力を達成する 50 万素子規模の革新的超低消費電力マイコンの基盤技術を、課題「スピントロニクス集積回路の開発」により構築する。但し、本課題については、その研究開発範囲が広いことを受けて三つのサブ課題(1~3)を置いて、一体となって目標達成を目指して研究開発を推進する。

サブ課題 1 エナジーハーベスティングで駆動するスピントロニクス集積回路向け

材料・素子開発

H26 年度:エナジーハーベスティングで駆動するスピントロニクス集積回路のコンセプト実証を目指し、スピントロニクス素子の書込み電力を削減する革新的材料・素子の開発指針に関する検討、さらにこれを受けて導入する政府調達の対象となる設備備品の仕様検討。

H27 年度:H26 年度の開発指針に基づきスピントロニクス素子の書込み電力を削減する革新的材料・素子に関する検討、およびその結果を受けて革新的材料技術の 300mm 集積プロセスへの展開と新規設備備品の導入手続き実施。

H28 年度:プログラムの全体計画の見直しにより追加された研究開発項目として H29 年度に行う SOT-MRAM の試作に向けたスピントロニクス材料・デバイス技術の検討。特に 3 端子 MTJ 素子(SOT 素子)の低消費電力化や高出力化のための材料・デバイス設計指針の検討、および材料、デバイス構造(STT/SOT 素子)の開発。新規設備備品の立ち上げ、およびプロセス条件の最適化による材料・デバイス開発(STT/SOT 素子)の加速、革新的材料の開発。

H29 年度:2 端子 MTJ 素子(STT 素子)、3 端子 MTJ 素子(SOT 素子)等の動作・情報保持安定性の向上、高性能化のための材料・デバイス設計指針の検討、および材料、デバイス構造の開発。300mm 基板上での集積回路試作に向けた基盤技術の向上。参加企業のコミットメントを呼びこみながら計画立案していく STT/SOT 素子ベース不揮発集積回路の試作に向けたスピントロニクス材料・デバイス技術の知見の蓄積。

H30 年度:エナジーハーベスティングで駆動するスピントロニクス集積回路の更なる高性能化と低消費電力化、および製造コスト低減等の事業化に向けたスピントロニクス材料、デバイス技術の検討。

サブ課題2 エナジーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

H26 年度:従来比で 1/20 以下の消費電力を達成する新しい超低消費電力な回路技術とアーキテクチャ技術の開発に向けて、エナジーハーベスティングで駆動する革新的な超低消費電力マイコン等の基盤技術の開発方針に関する基礎検討を行う。

H27 年度:従来比で 1/20 以下の消費電力を達成する新しい超低消費電力な回路技術とアーキテクチャ技術の開発に向けて、基本 IP 回路の設計を行うとともに、マイコン等の設計を行う。

H28 年度:H27 年度までに設計した基本 IP 回路を組み合わせて構築したマイコンのチップ試作に向けた設計の高度化とプロセス整合性の検証を行う。加えて、プログラムの全体計画の見直しにより追加された研究開発項目として、材料・素子技術の知見に基づいて、3 端子 MTJ 素子(SOT 素子)を用いた基本 IP 回路の仕様検討ならびに設計を行う。

H29 年度:H28 年度に設計高度化を図った不揮発マイコンチップの試作を進め、性能評価ならびに改良点の抽出を行う。また、H28 年度に設計を進めた 3 端子 MTJ 素子(SOT 素子)を用いた基本 IP 回路を組み合わせ、MRAM チップの設計の高度化・試作を行う。加えて、参加企業のコミットメントを呼びこみながら計画立案していく STT/SOT 素子ベース不揮発集積回路の試作を視野に入れた回路・アーキテクチャ設計要素技術の検討を行う。

H30 年度:従来比で 1/20 以下の待機時電力を達成する新しい超低消費電力な回路技術とアーキテクチャ技術の開発知見をもとに、さらなる高度化に向けた回路技術とアーキテクチャ技術の開発を行うとともに、その応用展開の可能性について検討を行う。

サブ課題3 エナジーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

H26 年度:3Xnm 世代のスピン트로ニクス素子を CMOS 回路上に集積化し、上記サブ研究課題で設計される超低消費電力マイコン等(50 万素子規模)を実証するための世界最先端の 300mm 集積プロセス開発に向けて、エナジーハーベスティングで駆動するスピン트로ニクス集積回路を支える 300mm 対応革新的要素プロセス開発、ならびに 300mm 対応革新的集積化プロセス開発に関する仕様検討を行う。

H27 年度:H26 年度の仕様検討に基づき、マイコン設計フロー・自動設計ツール群、設計環境を構築するとともに、エナジーハーベスティングで駆動するスピン트로ニクス集積回路向けの PDK/回路 IP ライブラリー、300mm 対応革新的要素プロセス、ならびに 300mm 対応革新的集積化プロセスに関し要素プロセス技術の開発を推進する。

H28 年度:H27 年度に開発した 300mm ウェハ対応要素プロセスをもとに STT 素子を CMOS 上に集積化しコンセプト実証するための集積化プロセスを開発する。さらに、プログラムの全体計画の見直しにより追加された研究開発項目として、材料・

素子グループで開発された SOT 素子の 300mm 対応集積化プロセス開発に関する仕様検討とそれに基づく要素プロセス技術の開発を推進する。

H29 年度:H28 年度に開発した STT 素子の 300mm ウェハ集積化プロセスをもとにし超低消費電力マイコン等(50 万素子規模)の実証に向けた集積回路試作を行う。加えて、H28 年度に開発した SOT 素子向けの 300mm ウェハ対応要素プロセスをもとに SOT 素子を CMOS 上に集積化し動作実証に向けた MRAM の試作を行う。さらに、材料・素子グループで開発された高性能スピントロニクス素子(STT/SOT 素子)の 300mm 対応集積化プロセス開発に関する仕様検討とハイブリット化も視野に入れた要素プロセス技術の開発を推進する。

H30 年度:SOT-MRAM の試作を継続して進め、評価を行い、SOT 素子の集積化技術の基盤を構築する。参加企業のコミットメントを呼びこみながら計画立案していく STT/SOT 素子ベース不揮発集積回路の試作に対応できるように 300mm 集積プロセスを開発するとともに、事業化のボトルネックとなる技術を抽出し、応用展開の可能性について検討を行う。

② プロジェクトの体制

大野社会実装分科会/スピントロニクス集積回路プロジェクトの研究開発機関としては、最先端研究開発支援プログラム(FIRST)において、既にプロジェクト開発体制が整っていた東北大学 1 機関とし、エネルギーハーベスティングで駆動するスピントロニクス技術を応用した革新的超低消費電力マイコンの基盤技術を開発するためにサブ課題 1 から 3 ままでが一体となってプロジェクトを推進した。なお、大野英男教授が東北大学総長に就任が決定したため、佐橋 PM の判断により分科会長、プロジェクトリーダー、および研究開発責任者(PI)を平成 29 年 12 月 1 日より遠藤哲郎教授に変更しプロジェクトを推進した。

期間 平成26年10月2日ー平成29年11月30日

大野スピントロニクス
集積回路プロジェクト
RL: 大野英男)

研究開発課題: スピントロニクス集積回路の開発
サブ課題 1 大野英男) エネルギーハーベスティングで駆動する
スピントロニクス集積回路向け材料・素子開発
サブ課題 2 羽生貴弘) エネルギーハーベスティングで駆動する
集積回路向け回路・アーキテクチャ開発
サブ課題 3 遠藤哲郎) エネルギーハーベスティングで駆動する
集積回路と300mm 集積プロセスの開発

期間 平成29年12月1日ー平成31年3月31日

大野スピントロニクス
集積回路プロジェクト
RL: 遠藤哲郎)

研究開発課題: スピントロニクス集積回路の開発
サブ課題 1 池田正二) エネルギーハーベスティングで駆動する
スピントロニクス集積回路向け材料・素子開発
サブ課題 2 羽生貴弘) エネルギーハーベスティングで駆動する
集積回路向け回路・アーキテクチャ開発
サブ課題 3 遠藤哲郎) エネルギーハーベスティングで駆動する
集積回路と300mm 集積プロセスの開発

③ プロジェクトの進捗状況、獲得成果及び目標達成への貢献度

サブ課題1 エナジーハーベスティングで駆動するスピントロニクス集積回路向け

材料・素子開発

東北大 大野英男 PI⇒池田正二

プロジェクトの当初目標であった従来比で5倍以上[比較対象：FIRST 成果(ISSCC2014、20MHz)]の動作速度、ならびに1/20以下[比較対象：FIRST 成果(ASCC2013、1.8mW)]の消費電力を達成する50万素子規模の革新的超低消費電力マイコンの基盤技術の構築に向け、当マイコンにおける不揮発な情報記憶を担うMTJ素子の材料・デバイス技術の開発を行った。高性能なMTJ素子の300mmウェハ実装にあたっては、高速スイッチング特性、高い界面磁気異方性、低いダンピング定数、400℃の熱処理耐性などの実現が鍵となることから、これらの開発に注力した。研究開発期間の初めに、効率的な材料開発を進める上で必須となる「高機能合金積層薄膜形成用スパッタ装置」を政府調達にて導入し、これを用いて革新的材料の開発に取り組んだ。

H26年度には集積回路・プロセスの開発グループと協力して、300mmウェハ上に成膜した2重CoFeB-MgO垂直磁化容易MTJにおいて、これまでに報告してきた小口径ウェハ上に成膜した垂直磁化容易MTJと同等の特性が、より高い400℃の熱処理温度で得られ、標準BEOLで必要となる400℃の熱処理耐性を実証することができた[1,2]。H27年度からH29年度には、直径3X~80nmまでのMTJ素子における高速スピン移行トルクスイッチング特性を評価し、スイッチング電流とパルス幅の逆数から評価されるSTT効率が理論予測よりも高いことを明らかにした[3]。材料開発に関しては、これまで標準的に用いられてきたCoFeB以外の材料系の開発にも着手し[4,5]、FeB合金を用いたMgO/FeB/MgO構造を用いることで高い界面磁気異方性(2.29 mJ/m²)と低いダンピング定数(0.004)が実現されることを明らかにした。

また研究開発期間前半には、上記のスピン移行トルク磁化反転を用いた2端子型のMTJ素子に関する材料・デバイス要素技術開発と併行して、スピン軌道トルク磁化反転を用いた3端子素子の材料・デバイスの要素技術開発も行った[2,6]。H27年度には反強磁性(PtMn合金)/強磁性(Co/Ni多層膜)積層構造を用いることで、従来のスピン軌道トルク磁化反転技術の懸案であった垂直磁化を反転させるための定常的な外部磁場の印加を不要にできることを実証した[7,8]。加えて、従来のスピン軌道トルク磁化反転で示されていた磁化反転方式とは異なる電流と磁化容易軸の関係を有した新方式磁化反転の原理実証も併せて行った[9]。そしてH28年度にはこの磁化反転方式に基づく素子技術を発展させ、低電流で500ピコ秒での磁化反転が可能であることを実験で示した[10]。これらの結果を受け、SOT-MRAMの300mmウェハでの試作・機能実証が新たな研究開発目標として加わった。

H29年度以降では、スピン軌道トルク磁化反転とスピン移行トルク磁化反転を併用した素子の開発などに取り組み、これら起源の異なる2種類のトルクを併用することで、無磁場において世界最高速となる200psのパルスによる磁化反転が可能であることを示した[11]。また上述の「高機能合金積層薄膜形成用スパッタ装置」を用いて高いスピン軌道トルク磁化反転効率を発現できる材料系の開発に取り組み[12]、高抵抗率Wを用いたW/CoFeB/MgO構造において現時点で世界最高値となるスピン軌道トルク生成効率(実効スピンホール角)1.2を達成した[13]。

これらによって今後のスピン軌道トルク磁化反転素子の更なる性能(高速性、低電流動作、集積性)の向上に必要な世界最高レベルの材料・素子技術が構築された。また集積プロセスグループと協力して、300mm PVD 装置で成膜・RIE 装置でパターニングしたスピン軌道トルク磁化反転素子の材料・プロセス開発を進め、400℃熱処理耐性を有し、かつ高速ランダムアクセスに求められる素子特性(抵抗、トンネル磁気抵抗比)が得られる構成を明らかにした。

サブ課題2 エナジーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

東北大 羽生貴弘

本プロジェクトの目標である従来比で5倍以上[比較対象：FIRST 成果(ISSCC2014、20MHz)の演算性能、ならびに1/20以下[比較対象：FIRST 成果(A-SSCC2013、1.8mW)の消費電力を達成する50万素子規模の革新的超低消費電力マイコンの基盤技術開発に向け、STT-MTJ/CMOS 混載大規模集積回路の実現に必須となる系統的開発環境の構築、および、目標性能を達成するための要素回路技術開発を進めた[2,14]。さらに、STT 素子の確率的なスイッチング動作に起因した特性バラつきをアナログ値として組み込むことで、システムレベルでの影響を評価できるような回路設計環境を構築することで、MTJ 素子の確率的動作に起因する誤動作をアーキテクチャレベルで回避する技術を考案した[15]。以上により、プロジェクト目標達成に向けた STT 素子を用いたチップの設計環境の構築を完了し、本環境に基づくマイコン設計を進めた。

要素回路技術開発については、MTJ ベース不揮発性マイコンの各機能ブロック回路およびその動作モードに応じた電力制御技術、ならびにその不揮発性マイコン内データ転送部に関する検討など、MTJ ベース不揮発性マイコンチップの構成要素に関する基盤技術の開発を行った。具体的には、まず、MTJ 素子の特性バラつきに応じて書込み電流の供給を自律的に停止する Self-Terminated 機構について、2 個の STT 素子に同時に書込む方式を考案し、個別に書込んだ場合と比較してコンパクト化できることを示した[16]。また、MTJ ベース不揮発性マイコンチップに搭載する CPU の性質を利用して無駄なメモリアクセスを抑制する回路要素技術を開発することで、マイコンの高性能性と低消費電力性を両立しつつ、一般的なキャッシュを用いた構造に比べて4.6倍の面積効率向上が可能であることをシミュレーションにより確認した[17]。さらに、マイコンを構成する基本機能ブロック(逐次比較型 A/D コンバータ)についても、参照用基準電位を必要としない回路構造を考案し、高性能化・高信頼化できることを示した。不揮発性マイコンチップの低消費電力化において重要となる内部要素回路の細粒度パワーゲーティング技術についても、常時 ON となる回路ブロックの規模を最小限に抑えられる新しい待機電力削減技術を開発するとともに、MTJ ベース MRAM 駆動電流および MCU 待機時消費電力から決定される目標仕様を元にパワースイッチの適切なサイズを算出することで、目標である動作周波数を確保しつつ待機電力を目標電力以下まで削減できることをシミュレーションにより確認した。

以上開発された設計環境および要素回路技術に加え、サブ課題3のチームが開発した設計ツールを用いて、MTJ/CMOS 混載プロセスによる不揮発性マイコンの設計を行った。その後、サブ課題3のチームが開発した集積化技術を用いて試作されたテストチップの性能評価を30年度に

行い、試作されたマイコンチップが、本プロジェクトの目標である従来比で 5 倍以上[比較対象：FIRST 成果(ISSCC2014、20MHz)の演算性能、ならびに 1/20 以下[比較対象：FIRST 成果(A-ISSCC2013、1.8mW)の消費電力を達成することを実証した。これらの成果は、最先端集積回路技術に関する世界最高峰の国際会議である「ISSCC(International Solid-State Circuits Conference)」で報告された[18]。詳細は、サブ課題 3 のところで後述する。

LSIのオリンピックと言われるISSCCに採択



以上の成果に加え、H28 年度から 3 端子 SOT 素子を用いた基本回路 IP の仕様検討ならびに設計も進めた。具体的には、Self-Terminated 機構を有する不揮発性 FF(フリップフロップ)を、3 端子 SOT 素子の構造を活用することにより、2 端子 STT 素子を用いた場合と比較して高速に実現可能であることを示した[19]。また、SOT 素子を用いた不揮発性メモリの実験検証に向け、高速セルアレイ回路を検討し、動作検証シミュレーションを行った結果、目標の 100MHz を超える読出し動作が可能であることがわかった。さらに、SOT 素子の回路応用のための要素技術として、SOT 素子を用いたシングルエンド型コンパクト & 高信頼不揮発性ロジック回路構成を提案した。冗長 SOT 素子の活用によりセンスアンプの高信頼性化を実現することで、コンパクトかつ省エネルギーな LUT 回路を実現した。また、SOT 素子を用いた多機能 & 低電力不揮発性ロジック回路の構成において、MRAM セルのデータの移動を最小限にすることにより、SRAM ベース構成と比較して 99%の電力を削減しつつ、トランジスタ数を 64%削減できることを示した[20]。以上の要素回路技術を活用し、H29～H30 年度において SOT-MRAM 試作に向け、基本 IP 回路の拡充、設計ツールおよび設計フローの開発、設計レベルでの書込み・読出し系回路の検証を行い、SOT-MTJ/CMOS 混載プロセスによる SOT-MRAM の設計・試作を行うとともに、設計した MRAM が目標性能を達成する見通しであることをシミュレーションで確認し、エネルギーハーベスティングで駆動する不揮発性マイコンのさらなる高度化に向けた回路技術とアーキテクチャ技術の構築を行った。

サブ課題3 エナジーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

東北大 遠藤哲郎 PI

3X nm 世代のスピン트로ニクス素子を CMOS 回路上に集積化し、超低消費電力マイコン等(50 万素子規模)を実証するための世界最先端の 300mm 集積プロセスの開発に向け、H26 年度には、300mm 対応設備を用い、MTJ 成膜・エッチング加工等の要素プロセス開発を進めて集積化に向けた課題を抽出するとともに、半導体ファウンドリのパーティクル・汚染等のウェハ受け入れ基準も含め、CMOS 上への MTJ 形成から配線工程までの集積プロセスの各工程仕様の策定を進めた。

加えて、サブ課題1の材料・素子開発グループと協力して、300 mm ウェハ上に成膜した 2 重 CoFeB-MgO 界面 p-MTJ においても、小口径ウェハ上と同等の特性がより高い 400°C の熱処理温度で得られ、標準 BEOL で必要となる 400°C の熱処理耐性を実証し[1,2,21]、試作のための MTJ 基盤技術を準備した。H27 年度には、H26 年度に提示した仕様および構想に基づく試作のための STT 素子の成膜・エッチング加工等の要素プロセスを開発するとともに、国内半導体製造ラインとのシャトルプロセス実施のため、CMOS 上への STT 素子形成から配線工程までの各工程におけるパーティクル・汚染等のウェハ受け入れ基準を満たすよう、エナジーハーベスティングで駆動する集積回路のコンセプト実証に向けた集積プロセスを開発した。

H28 年度には、300mm ウェハ対応要素プロセスを融合するとともに、素子不良解析のためのモニター方法や磁性膜特性・パーティクル・汚染等の品質管理方法を製造工程中に取り入れた集積プロセスを開発した。H29 年度には、この集積プロセスのパーティクル抑制・加工形状安定性をさらに高め、CMOS 動作確認用の CMOS 単体回路の試作を完了した。

また、開発環境の構築については、まず、C/C++言語などの一般的プログラム言語の記述により、マイコンを用いたシステムの動作解析を可能とする開発環境を立ち上げることで、不揮発性マイコンにおける効果的な低電力動作法の検証を可能にした。続いて、実証チップ設計のための設計用ワークステーション・端末の導入、論理合成および自動配置配線の自動設計ツール群、設計フローの構築等の設計環境の立ち上げを行った。加えて、STT 素子を組み込んだ基本 IP ライブラリー、PDK の開発を行った。

超低消費電力マイコン等(50 万素子規模)の実証に向けた MTJ ベース不揮発性マイコンの試作に関しては、つくばイノベーションアリーナ(TIA)の装置故障・リソ装置メンテ・ガス在庫管理不備によって計画の見直しを余儀なくされたが、H30 年 6 月に完了することができた。試作完了した 300mm ウェハは単体素子レベルでの特性に問題ないことを確認後、サブ課題2のグループが設計した MTJ ベース不揮発性マイコンの設計データを受け取り、マスク作製から CMOS 試作さらには MTJ 試作を行い、MTJ ベース不揮発性マイコンチップの試作を行った。これにより、本プロジェクトの目標である従来比で 5 倍以上[比較対象：FIRST 成果(ISSCC 2014、20MHz)の演算性能、ならびに 1/20 以下[比較対象：FIRST 成果(A-SSCC 2013、1.8mW)の消費電力を達成可能であることを実証した。具体的には、最大動作周波数 200MHz で平均消費電力 47.17 μ W 以下の動作を可能とする MTJ ベース不揮発 MCU の開発に成功した。この成果は、これまでの不揮発

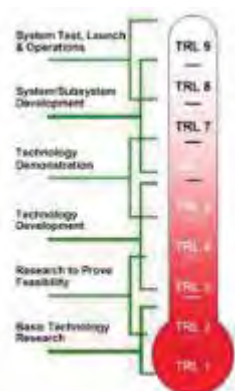
性メモリを用いて開発されて来た MCU と比べ、2 倍以上の演算性能の向上と 2 桁以上の低消費電力化を同時に実現するもので、既存のシリコンテクノロジーが抱えていた演算性能と低消費電力のトレードオフを 2 桁以上のインパクトで解決するものである。この成果の新規性・革新性が評価され ISSCC に採択されて報告[18]、およびプレスリリースを行なった。本研究で実証した高性能・超低消費電力 MTJ ベース不揮発性 MCU は、IoT センサノードで必要とされる演算性能を維持しながら、エナジーハーベスティングでの駆動が期待される。このエナジーハーベスティングで駆動する不揮発性マイコン技術は、ICT 社会基盤のパラダイムシフトをもたらし、Society5.0 を実現するための基盤技術として期待される。

本分科会の研究開発責任者である遠藤哲郎のグループは、内閣府が進める「戦略的イノベーション創造プログラム(SIP)第 2 期/フィジカル空間デジタルデータ処理基盤」(管理人：NEDO)の「超低消費電力 MTJ/CMOS Hybrid IoT デバイス基盤技術の研究開発」に採択されました。今回の成果と合わせて、引き続き Society5.0 の実現に貢献して行きます。

一方、プログラムの全体計画の見直しにより追加された SOT-MRAM の研究開発に関しては、H28 年度に 300mm ウェハ上に作り込むための集積プロセスの開発仕様を検討し[21]、要素プロセス技術の開発環境を整備するとともに、試作および品質評価を効率的に行うための新規設備を導入し、立ち上げを行った。H29 年度には、H28 年度に材料・素子グループと協力しながら開発した SOT 素子向けの 300mm ウェハ対応要素プロセスをもとに、SOT-MRAM の低電流動作のためのチャネル形成プロセスの高度化を行った。さらに、材料・素子グループと協力して 300mm ウェハ上での配線工程で必要となる 400℃の熱処理耐性を有する SOT 素子の成膜プロセス開発を行い、材料・素子グループおよび回路・アーキテクチャグループとともに CMOS 設計に必要な素子パラメータの抽出を進めた。また、SOT 素子を CMOS 上に集積化して動作実証を図る MRAM の試作については、H29 年度に 300mm TEG のマスク設計・作製を開始し、H30 年度に 300mm ウェハの試作を流動させて CMOS 下地を作り込み、SOT-MRAM 形成のキーププロセスである SOT 素子下部の Via 平坦化工程、SOT 素子形成工程および SOT 素子下部電極形成工程の開発を行った。以上により、応用展開で必須となる 300mm ウェハでの SOT-MRAM 試作のための集積化基盤技術を構築した。

＜研究開発の進展状況＞

プロジェクト開始時の T R L	プロジェクト終了時の T R L
TRL 4	TRL 6～7



【MTJ ベース不揮発性マイコン】

プロジェクト開始時には、MTJ デバイスのパイオニアワークに加え、世界に先駆けた MTJ/CMOS Hybrid 不揮発性ロジックの開発の土台が整っていたが、エナジーハーベスティングで駆動する革新的超低消費電力マイコンの基盤技術の構築にまでは至っていなかった。(TRL 4)

プロジェクト終了時は、本プロジェクトの目標である従来比で 5 倍以上の演算性能、ならびに 1/20 以下の消費電力を MTJ ベース不揮発性マイコンで達成した。これにより、システムフェーズには未だ移行できていないものの要素技術開発としては十分習熟したレベルにまで向上させることができた。(TRL 6～7)

【不揮発性マイコン基盤技術としての SOT-MRAM】

プロジェクト開始時には、SOT-MRAM に関しては、SOT 素子の動作概念検証の段階で開発項目にはなっていなかった。(TRL1～2)

プロジェクト終了時は、SOT 素子の材料・デバイス技術、高速・無磁場動作の要素技術の構築により、応用展開で必須となる 300mm ウェハでの SOT-MRAM の試作・機能実証の段階にまで至っている。これにより高速動作が期待されている SOT-MRAM 技術を研究フェーズから開発フェーズにまで向上させることができた。(TRL 3～5)

④ 競合する技術・アプローチに対するベンチマーク

STT-MRAM は、強誘電体メモリ (FeRAM)、抵抗変化型メモリ (ReRAM) 技術、相変化型メモリ (PCRAM) 等と比較して、書換え回数 (Endurance) が圧倒的に優れる。IoT 端末や小型センサ等のエッジデバイス同士でつながり繰り返し発生するデータ更新に制限を与えないための分散処理からの要求を満たすためには、STT-MRAM 以外の技術は未だ見出されていない。したがって、Embedded Use では、Endurance、書込み速度、省電力駆動の点で MRAM が圧倒的優位にある。

加えて、東北大学国際集積エレクトロニクス研究開発センターには、スピントロニクス集積回路対応としては、世界初となるワールドクラスの企業と互換性のある 300mm プロセス試作評

価ラインを整備しており、独創技術を盛り込んだ革新的不揮発性集積回路の試作実証を世界に先駆けて行うことができる優位性を有する。

＜獲得成果の革新性＞

本開発により世界に先駆けて 200MHz において 100uW 以下で動作する IoT 向けマイコンの開発に成功した。これは、これまでのシリコンのテクノロジーが抱えていた演算性能と低消費電力のトレードオフを 2 桁以上のインパクトで解決できたことを意味しており、技術的に大きな革新性を有した成果である。このエナジー・ハーベスティングで駆動する不揮発性マイコン技術は、ICT 社会基盤のパラダイムシフトをもたらす技術となり得る。

また、本開発の SOT 素子は、セルペナルティーがあるものの、これまでの MTJ を用いた STT-MRAM では困難と考えられていたサブ ns の書き込み速度を達成することに成功した。これは、スピントロニクス素子の応用範囲をさらに拡大するものであり、大きな革新性を有した成果である。

＜獲得成果の独創性＞

スピントロニクスに関するプロジェクトは世界中で展開されているが、その多くが基礎物理やスピントロニクス素子自身の研究開発に留まっている。これに対し、本 ImPACT プログラムの大野社会実装分科会/スピントロニクス集積回路プロジェクトでは、スピントロニクスの物理・材料・素子技術から、CMOS と MTJ・SOT の Hybrid 型回路技術、さらにはその設計ツール群の基盤技術、CMOS と MTJ・SOT の Hybrid 集積プロセス技術に至る技術開発を総合的に推進したもので、これらの各研究領域でも世界初となる様々な独創的な研究成果を獲得するとともに、この研究アプローチ自身が世界に類を見ない独創的なものである。この結果、上記の革新性の欄で述べたように、既存のシリコンのテクノロジーでは実現困難であった IoT に適用可能な超低消費電力マイコンの開発に成功したものである。加えて、SOT 素子においても、ゼロ外部磁場動作方式・サブナノ秒高速動作の新方式・高いスピン軌道トルク磁化反転効率材料の開発など、材料・素子技術の開発において独創性に極めて優れた大きな成功を収めている。

(2) 湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクト

① プロジェクトの計画

本プロジェクトでは、SRAM/DRAM 揮発性メモリを中核とする現行のメモリ階層の変革を目指して、微細化とともに増大する待機時リーク電流が問題の SRAM キャッシュメモリと頻繁に行う必要があるリフレッシュが消費電力増大を引き起こしている DRAM メインメモリの不揮発化、すなわち不揮発性 MRAM キャッシュメモリと不揮発性 MRAM メインメモリの実現に挑む。

具体的には、究極の超省電力駆動不揮発性メモリとなり得るポテンシャルを有する「電圧駆動 MRAM」の実現に挑み、そのために必要な諸特性を得るための新材料 MTJ 素子を開発するなどの材料・素子技術の開発に加えて、H28 年度より研究開発の強化を図ったデバイス開発においては、新概念メモリの提案も含めたキャッシュメモリの不揮発化・省電力化を狙う「高速型電圧駆動

MRAM」と高集積化・高密度化が進むメインメモリの不揮発化・省電力化を狙う「大容量型電圧駆動 MRAM」開発を推進するため以下の 1~4 の課題を設定し、電圧駆動 MRAM の優位性を実証する。

さらに、H29 年度からは新たに電圧駆動 MRAM 機能実証試作を課題 5 に加え、電圧駆動 MRAM の書込み・読出し回路設計開発を含めた集積回路チップによる新概念の電圧駆動 MRAM アーキテクチャおよび方式の機能実証を行ない、その有用性を示す。

高密度化・高集積化の実現のためには、300%を超える磁気抵抗(MR)比、1000fJ/Vm 以上の電圧効果、2~3mJ/m² の磁気異方性エネルギーなど高い材料・素子目標を達成する必要があるため、下記課題 2 の電圧駆動 MRAM のプロセス技術開発では、現在は CoFeB/MgO に限られている MTJ 素子材料の選択の幅を広げることが可能とすべく、CMOS シリコン基板上への単結晶 MTJ 素子の積層を可能とするエピタキシャル薄膜成長技術、ウェハ接合技術、および 3 次元積層集積化プロセス技術の開発にも併行して取り組み、CMOS シリコン基板上への単結晶 MTJ 素子製造技術の確立を図るとともに、さらなる電圧効果向上の指針を得るべく、放射光などを用いた電圧誘起磁気異方性変化の物理機構の解明にも取り組む。

プロジェクト終了時までには、電圧駆動 MRAM の基盤技術を開発し、企業主導の実証/実用化開発へと橋渡しする。尚橋渡しについては、ImPACT 発 Startup Venture への展開も含めて検討する。また、将来的には「高速型電圧駆動 MRAM」への高密度機能の付加、「大容量型電圧駆動 MRAM」への高速性の付加を通じたメモリ間スピードギャップおよびメモリ/ストレージ間スピードギャップ等メモリ階層間のスピードギャップの解消へと展開する。

課題 1「電圧駆動 MRAM のための新材料素子の開発」

(産総研 野崎隆行 PI、NIMS 宝野和博 PI、東北大 水上成美 PI)

電圧駆動 MRAM を実現するために、新材料を用いた単結晶 MTJ 素子を開発し、特に「大容量型電圧駆動 MRAM」の実用化展開には不可欠となる (i)300%を超える MR 比、(ii)1000fJ/Vm 以上の電圧効果、(iii)2mJ/m² 以上の磁気異方性エネルギーの実現を目指す。

項目(1) 従来材料をベースにした新材料 MTJ の開発(産総研 野崎隆行 PI)

従来材料である Fe-Co 系合金をベースに電圧駆動 MRAM に適した強磁性電極材料を新規に合成し、従来型の MgO トンネル障壁と組み合わせで電圧書き込みが可能な実用構造を持つ MTJ 素子を開発し、電圧効果 300 fJ/Vm 以上と磁気異方性エネルギー 0.5mJ/m² 以上を同時に実現する。

項目(2) 新規強磁性電極の開発(NIMS 宝野和博 PI、東北大 水上成美 PI)

電圧駆動 MRAM の究極のスケラビリティを目指して、従来材料とは大きく異なる新規強磁性電極を開発する。具体的には、(i)ホイスラー合金、(ii)正方晶 Mn 系合金の 2 つの合金系で開発を行い、両合金系のポテンシャルを明らかにする。

項目(3) 新規トンネル障壁の開発(NIMS 宝野和博 PI)

従来材料の MgO トンネル障壁を超える MR 比、垂直磁気異方性、あるいは電圧効果を目指して、新規材料を用いたトンネル障壁を開発する。具体的には、(i)スピネル系酸化物、半導体の 2 つの材料系で開発を行い、両材料系のポテンシャルを明らかにする。

課題2「電圧駆動 MRAM のプロセス技術の開発」(産総研 湯浅新治 PI、NIMS 宝野 PI)

項目(1) Si 基板上へのエピタキシャル MTJ 素子の作製

単結晶 Si(001)基板上にエピタキシャル MTJ 素子(単結晶 MTJ 素子)を作製するためのプロセス技術を開発する。最終的には、量産用スパッタ装置を用いて 200mm~300mm ウェハ上に高品質のエピタキシャル MTJ 薄膜を成長させて、単結晶材料による素子性能の向上とバラツキの抑制を実証する。

項目(2) 3次元積層技術の開発

ウェハ接合と裏面 Si 剥離プロセスを用いて、MTJ 素子の 3次元積層技術を開発する。第一段階として、STT-MRAM 用の多結晶垂直磁化 MTJ 素子を用いて 3次元積層プロセスの基本技術確立する。第二段階として、エピタキシャル MTJ 素子の 3次元積層プロセスを実現する。

項目(3) 超微細加工技術の開発

直径 10~20 nm の MTJ 素子を実用化するための超低ダメージのエッチング技術を開発し、最終的には、新材料を用いた単結晶 MTJ 素子を用いて超微細 MTJ 素子を実現する。

項目(4) 大径 CMOS ウェハ上へのエピタキシャル MTJ の集積化

項目(1)~(3)の進展を受けて、H30 年度に追加。300mmSi ウェハ上にエピタキシャル MTJ 薄膜を作製して、300mm CMOS ウェハと 3次元接合し、多結晶 Cu 配線上にエピタキシャル MTJ 素子を集積化、3次元積層化プロセス技術の有効性を実証する。

課題3「電圧トルク MRAM*の開発」(産総研 野崎隆行 PI、今村裕志 PI**、東芝 藤田忍 PI)

*プログラム開始時に提案していた界面垂直磁気異方性の電圧制御と電圧パルスによる磁化の歳差運動制御を利用した電圧駆動磁化反転機構を用いた電圧駆動 MRAM

** 新規 MRAM 開発のための計算科学支援チーム

項目(1) 書き込みエラーレート(WER)評価実験と理論解析(産総研 野崎隆行 PI、今村裕志 PI**)

電圧トルク MRAM 実現のための最大の課題は、書き込みエラー率(WER)の抑制である。本項目では、MTJ 素子の電圧トルク書き込み特性、とくに書き込みエラー率を評価する方法を確立することで、WER を実用レベルまで下げるための手法を開発する。最終目標として、単一素子レベルで $WER < 10^{-10}$ を実現するとともに、実用回路を設計するために必要な素子の諸特性を明らかにする。

項目(2) 電圧トルク MRAM の回路設計(東芝 藤田忍 PI)

ラストレベルキャッシュメモリ(LLC)およびメインメモリ、さらにはストレージクラスメモリ(SCM)を電圧トルク MRAM の用途と想定した、不揮発化・高集積化を目指した電圧トルク MRAM に最適な書き込み・読出し回路を設計する。

課題4「電圧効果の物理機構解明と高効率化のための開発指針の確立」

(阪大 鈴木義茂 PI、JASRI Spring8 鈴木基寛 PI、東北大通研 白井正文 PI*)

*新規 MRAM 開発のための計算科学支援チーム

公益財団法人高輝度光科学研究センター(JASRI)の大型放射光施設 SPring-8 における X 線分光実験により、磁性体界面の電子状態を解析する。電圧磁気効果の発現原理を解明するとともに、より大きな電圧効果を示す新材料の設計指針を提供する。

課題 5「電圧駆動 MRAM 機能実証試作」(東芝 與田博明 PI、藤田忍 PI)

項目(1) VoCSM 素子およびメモリアレイの開発試作 (東芝 與田博明 PI、藤田忍 PI)

H28 年度以降、提案された新概念の不揮発性メモリ「Voltage Control Spin-tronics Memory (VoCSM)」をターゲットに、電圧駆動 MRAM デバイスの開発項目を絞り込み、H28 年度の大容量型(High-Density 型)の VoCSM メモリアーキテクチャコンセプトの基本動作の実証に続いて、H29 年度には High-Speed 型(Differential 読出し、Complementary 書込み)の VoCSM メモリアーキテクチャ-コンセプトが提案され、その基本動作の実証に成功、約 10 倍以上の高速書き込みポテンシャルと高い書換え耐性(Endurance)を確認したのを受けて、H29 年度より本課題 5 が追加され、電圧駆動 MRAM 機能実証試作がプロジェクト目標に明確に組み込まれた(図 11)。



図 11 VoCSM メモリアーキテクチャコンセプトの基本動作の実証

本項目(1)では、電圧駆動 MRAM 機能実証試作を行ない、メモリアレイでの高速型および大容量型 VoCSM(VoCSM: Voltage Controlled Spintronics Memory)の実現性を、実験とシミュレーションを組み合わせる。①バラつき評価用 MTJ 素子アレイを開発し、バラつき評価を実施、②メモリアレイ作製プロセス用モジュールを開発、③誤書込み率等の評価方法を開発し、RDER(Read Disturb Error Rate), WER(Write Error Rate)を評価、④各バラつき低減の明確化と定量化、および⑤VoCSM 用の CMOS 回路全体を、先端 CMOS 設計ツールを使って高精度に設計、RER(Read Error Rate), WER のシミュレーションを行う。

そして、最終的には上記①～⑤を統合し、バラつき低減と VCMA の最終目標値を仮定した場合において $RER < 10^{-6}$ および $WER < 10^{-6}$ を実証する。

項目(2) VoCSM の回路・システム開発とアプリケーション機能実証試作

(藤田忍 PI)

VoCSM が適合するアプリケーションごとに、 $RER, WER < 10^{-6}$ を実現できるメモリ回路全体を設計する。このメモリ回路全体を、先端商用 CMOS 設計ツールで高精度回路設計し、回路設計情報を用いて、VoCSM アレイの実験で得られたパラメータを用いて、面積、消費電力に関して、既存メモリとのベンチマークを行い、VoCSM の優位性を示す。さらに、メモリコントローラとインターフェースも開発し、プロセッサと連動してアプリが動作できる VoCSM のシステム開発も併せて行う。

② プロジェクトの体制

湯浅電圧駆動 MRAM 開発タスクフォースプロジェクトでは、基礎物理の原理解明、材料・素子開発、回路設計開発、試作検証/実証を、産総研/NIMS を中軸とするつくば地区を拠点に、企業・大学の参加も募り、プロジェクトリーダーのもとに、一体となって電圧駆動 MRAM の実現、事業化・実用化に向けての開発タスクフォースを推進する。各課題の研究開発機関および研究開発責任者(PI)は以下の通り。

課題 1：産総研・野崎隆行 PI、NIMS・宝野和博 PI、東北大 AIMR・水上成美 PI

課題 2：産総研・湯浅新治 PI、NIMS・宝野和博 PI

課題 3：産総研・野崎隆行 PI、東芝・藤田忍 PI

課題 4：阪大・鈴木義茂 PI、JASRI Spring-8 鈴木基寛 PI

課題 5：東芝・與田 PI、東芝・藤田 PI

③ プロジェクトの進捗状況、獲得成果及び目標達成への貢献度

課題 1 「電圧駆動 MRAM のための新材料素子の開発」

本課題の項目(1)では、電圧トルク MRAM のラストレベルキャッシュへの応用(MTJ 直径は約 30nm)に的を絞り、実用性の高い従来材料(Fe 系合金電極と MgO トンネル障壁の組み合わせ)をベースにした新材料 MTJ 素子を開発し、30nm の要求性能 (VCMA:300 fJ/Vm、PMA:0.5mJ/m²)の実現を目指した。その一方で、MTJ 直径 10-15nm の要求性能(VCMA:1000fJ/Vm 以上、PMA:2mJ/m²)を満たして、高集積化・高密度化への究極のスケーラビリティを実証する目的で、項目(2)では新規強磁性材料、項目(3)では新規トンネル障壁材料の開発を行った。

項目(1) 従来材料をベースにした新材料 MTJ の開発

(産総研 野崎隆行 PI、NIMS 宝野和博 PI、東北大 白井正文 PI*)

*新規 MRAM 開発のための計算科学支援チーム

産総研の野崎隆行 PI チームでは、MRAM 応用のための実用 MTJ 素子への適用を重視し、まずは実用実績のある Fe 系合金等の従来材料をベースとしながら電圧磁気異方性変化効率を増大させる材料・構造の探索研究に取り組んだ。界面平坦性、原子レベルでの構造制御から基本特性の向上策を探るため、分子線エピタキシー法を用いたエピタキシャル積層構造を中心に研究を行った。最初の足掛かりとして、NIMS より大きな界面磁気異方性の発現が確認されていたエピタキシャル Cr/超薄膜 Fe/MgO 構造に着目し、H26 年度から 27 年度にかけて垂直磁気異方性、VCMA 特

性を精査した。その結果、Fe 膜厚が 0.5 nm の極薄領域において、約 300fJ/Vm の大きな VCMA 効率が得られることを見出した[22]。当時報告されていた高速応答性(真に電子状態を反映した)を有する VCMA 効率の最大値が約 30fJ/Vm 程度であったことを考えると一桁大きい VCMA 効率の増大が達成されたことになる。その後、超薄膜 Fe/MgO 界面に微量の Cr をドーピングすることで VCMA 効率がさらに約 370fJ/Vm まで増大することを見出した[23]。しかしながら、これらの構造では、異方性が増大するバイアス方向では大きな VCMA 効率を得られるものの、逆バイアス側での異方性減少では VCMA 効率が小さく、場合によっては異方性がわずかに増大する強い非線形性が観察された。Fe 膜厚が厚い領域では通常の線形な VCMA 効果となるものの、その効率は 100fJ/Vm 程度まで低下する課題があった。この傾向は NIMS 宝野和博 PI の三谷誠司チームにおいても再現され、超薄膜 Fe 層内における量子干渉効果との関連が議論されているが、電圧駆動 MRAM では異方性を打ち消す符号の VCMA 効果が重要であるため、この非線形特性は好ましいものではない。

次なる取組みとして、H28 年度から計算科学支援チームより提案された Fe/MgO 界面への重元素挿入構造に注力した。挿入元素として Hf, Ta, W, Re, Ir, Os, Rh, Pd, Bi, Cr, V 等の検討を網羅的に行い、Ir が有望な材料であることを見出した。上述のエピタキシャル Cr/Fe/MgO 構造を転用し、Fe/MgO 界面に極薄 Ir を挿入した構造において、**3.7 mJ/m²に達する非常に大きな界面磁気異方性と、異方性が減少する方向の符号において 320fJ/Vm の大きな VCMA 効率を実現した** [24]。同時に電圧誘起 FMR(強磁性共鳴)測定により高速応答性も確認することが出来た。この値は、高速応答性を有する VCMA 効率としては世界最高値である。

特筆すべきは、当初界面への層状 Ir 挿入を目的として行っていた実験研究であったが、NIMS の宝野和博 PI チームの高解像度 STEM(走査型透過電子顕微鏡)による構造解析と元素マッピングにより、Ir 原子が極薄 Fe 層内に分散した構造となっていることが明らかとなったことであり、さらに東北大学の白井正文 PI チームの第 1 原理計算により、物理起源の解明に取り組んだ結果、Ir が層状となった場合は強い面内磁気異方性を好むが、Fe 内に分散することで垂直磁気異方性が増大すること、および近接効果によりスピン磁気モーメントを獲得した Ir が Fe 原子と比較して約 5~10 倍大きな VCMA 効率を有することが明らかとなったことである。界面への層状 Ir 挿入は TMR 効果を大きく劣化させるが、分散構造は劣化を最小限に抑制しつつ垂直磁気異方性、VCMA 効率を改善することができるため、実用的に有効なアプローチと言える。この成果は材料提案から試料作製、構造解析、そして物理解明までの ImPACT の連携体制により取り組むことで、非常に効率の良い材料探索に繋がった好例となった。

ImPACT 開始当初は、メインメモリを想定し VCMA 効率として 1000fJ/Vm 以上を目標としたが、東芝の藤田忍 PI チームとの電圧駆動 MRAM 用回路の検討を進める中で、電圧ダイナミック磁化反転の高速性、低消費電力性のメリット、および高精度な書込みパルス電圧形状の制御が必要な特徴などを鑑み、電圧駆動の利点を最大限に活用できるターゲットはラストレベルキャッシュであるとの結論に至った。ラストレベルキャッシュは、MTJ 素子直径が 30 nm 程度とメインメモリよりも大きいため熱安定性維持に必要な垂直磁気異方性がメインメモリよりも低く、現状得られている 0.5mJ/m² で十分であり、それを打ち消すために必要となる VCMA 効率は

300 fJ/Vm と見積もられる。上述の通り、この値はエピタキシャル膜で達成されている領域であり、高い実現可能性が示された。

H29 年度からは Ir ドーピング技術をスパッタ成膜に応用し、実用を想定した多結晶 MTJ 素子における VCMA 効率の増大を試みた。FeB/MgO 構造を基本とした多結晶 MTJ 素子において、FeB 界面に超薄膜 Fe/Ir 層を挿入し、エピタキシャル膜と同様に分散構造化することで挿入層無しの標準構造と比較して垂直磁気異方性の向上、および約 4.5 倍に達する VCMA 効率の増大に成功した [25]。標準構造の VCMA 効率が 30fJ/Vm 程度と小さいため達成値は 140fJ/Vm 程度に留まっているが、CoFeB フリー層や界面制御磁性層への Co 添加が Ir ドーピングを用いた VCMA 効率増大に有効であることも明らかとなっており、これらの最適化により 300fJ/Vm の達成は十分可能であると考えられる。これらの材料開発の成果を順次書込み安定性評価に技術移管し、書込みエラー率の低減へと展開を図った。

項目(2) 新規強磁性電極の開発

(i) ホイスラー合金(NIMS 宝野和博 PI、京都工芸繊維大 三浦良雄 PI*⇒NIMS に統合)

* 新規 MRAM 開発のための計算科学支援チーム

ホイスラー合金に期待される特性は大きな磁気抵抗効果の起源となる高スピン分極率であり、その実現のため高い規則度を有する新規ホイスラー合金材料の探索や、規則度向上のための手法開発を試みた。ナノスケールの多層構造を有する磁気抵抗素子を実際に作製し、磁気抵抗比やスピン分極率を評価した。新規合金系の探索としては、 Co_2FeSi 中の Fe の一部を Ti で置換した 4 元系ホイスラー合金において、 L_{21} 規則化温度が低下することを見出した。この高規則度のホイスラー合金を用いた非局所スピンバルブ素子において、室温で 0.7 という高スピン分極率が得られた [26]。尚、この成果は、計算科学支援チーム 三浦良雄 PI (京都工芸繊維大⇒NIMS) の第一原理計算の結果を参考にすることで得られたものである。

規則度向上のための手法開発では、 $\text{Co}_2\text{FeGa}_{0.5}\text{Ge}_{0.5}$ ホイスラー合金を用いた磁気抵抗多層膜中の Zn を含む層から、Zn が多層膜外部に拡散する過程で $\text{Co}_2\text{FeGa}_{0.5}\text{Ge}_{0.5}$ ホイスラー合金の L_{21} 規則度が増大することを発見した [未発表]。Zn 拡散を利用する新しい高規則化手法としては、特許申請済みである [特願 2015-148660]。これらの規則度向上を狙った試みの他に、 $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$ や Co_2FeAl では、格子整合性のよいスピネル酸化物を基板やトンネル障壁層として用いることで、規則度が向上するという結果が得られた。 $\text{Co}_2\text{FeAl}/\text{MgAlO}/\text{Co}_2\text{FeAl}$ 積層構造の MTJ 素子では、 Co_2FeAl 層の $B2$ 規則度の向上が見られ、その結果として、MR 比が室温で 342%、低温で 616% という大きな値を得ることに成功したが [27]、更なる高集積化・高密度化を狙った磁気抵抗比 1000% 以上の目標達成には L_{21} 規則度の高度な制御が必要との結論を得た。この Co_2FeAl ホイスラー合金を用いた垂直 MTJ 素子における VCMA 効率の評価も行い、108 fJ/Vm の VCMA 効率を得た [28]。高集積化・高密度化電圧駆動 MRAM の実現に必要な 1000 fJ/Vm 以上の電圧効果は、このような高スピン分極率を特徴とするホイスラー合金を用いた MTJ 材料素子開発からだけでは困難であることが判った。

(ii) 正方晶 Mn 系合金(東北大 水上成美 PI)

東北大 AIMR の水上成美 PI チームでは、高集積・高密度 MRAM メモリに求められる低磁化強磁性電極材料として $L1_0$ 型 MnGa や $D0_{22}$ 型 Mn_3Ga などの Mn 系材料素子について、研究開発用のスパッタ装置を用いて基礎研究開発を行ない、先導的基礎研究成果を得た。エピタキシャル Ga 系下地を用いた低温シュードモルフィック成長技術確立し、従来困難であった 1-3 nm の厚みの MnGa を有する垂直磁化 MgO-MTJ 素子の開発に成功した[29,30]。さらに障壁界面への Mn 原子層形成により、従来材料である CoFeB と比較し飽和磁化が約 1/5 であつ CoFeB なみの垂直磁気異方性 1.6 mJ/m^2 を実証した[31,32]。加えて Ga 系中間層を用いた SAF(Synthetic Anti-Ferromagnetic)構造を新しく考案し[33]、室温で約 60%の TMR 比を観測した(未発表)。また、本来常磁性体ないし反強磁性体である純 Mn を電極とする垂直磁化 MgO-MTJ の開発にも成功し、極薄 Mn の垂直磁気異方性、電圧効果、TMR 効果を室温で実証した。CoFeB と比較し飽和磁化が約 1/40 と極めて小さく、漏洩磁束の無視できる高集積・高密度化に適した新規な電圧駆動 MRAM 用の新材料 MTJ 開発に新しい方向性を示した[31,34]。

項目(3) 新規トンネル障壁の開発

(NIMS 宝野和博 PI 三谷誠司チーム、京都工芸繊維大 三浦良雄 PI^{*}⇒NIMS)

*新規 MRAM 開発のための計算科学支援チーム

Fe 基、Co 基合金のみならず Mn 系高磁気異方性合金との格子整合性に優れ、MTJ 諸特性の向上が期待されるスピネル系酸化物障壁の開発を行なった。本プロジェクト以前に見出されていた MgAlO 障壁に関しては、新たに焼結ターゲットから高品質の MgAlO 障壁層を成長させる技術確立し、純 Fe 電極の MTJ としては最高値の 245%という高い MR 比を室温で得た[35]。また、単結晶 MTJ 技術は本プロジェクトの目玉の一つであるが、併行して応用展開力の強化のために MgAlO 障壁を用いた多結晶 MTJ の作製も試みた。極薄の CoFe/MgO シード層を用いることで、CoFeB 上に高配向の MgAlO 障壁を形成することに成功し、室温で 240%の MR 比を得た[36]。

併せて、MgAlO 障壁層の MBE 成長技術も確立し、Fe/MgAlO エピタキシャル膜において、比較的大きな垂直磁気異方性と VCMA を実現した。Cr 下地層上に形成した Fe 超薄膜/MgAlO 障壁で約 0.7 mJ/m^2 の垂直磁気異方性が得られ[37]、この値は MgO 障壁の場合より若干小さいが、このことは理論予測と整合しており原子レベルの構造制御に成功していることを示唆している[38]。さらに特筆すべきことは、この格子整合 MgAlO 障壁による原子レベルの構造制御により、Fe 層中に明瞭な量子共鳴状態が形成されていることが明らかになったことである。MR 比の増大など、共鳴状態に特徴的な物性が観測されている[未発表]ほか、VCMA にも顕著な効果が現れており、共鳴状態近傍電界印加範囲では約 350 fJ/Vm の高い VCMA が得られた他、Fe 層厚が偶数原子層の場合と奇数原子層の場合で振舞いが異なることも見出した[未発表]。バイアス電圧で制御可能な共鳴準位を介した VCMA 現象であり、金属中には電界が侵入しにくいという金属磁性の電界制御の基本問題を突破し得る新原理を示した基礎研究成果とも言える[未発表]。

MgAlO 障壁の他にも、低 RA の実現に有効な新規 MgGa_2O_4 障壁を東芝との共同で開発し、TEM 解析により結晶性のよい障壁層が形成されていることが判った他、TMR 素子の電流電圧特性のモデル解析で求められた障壁高さは MgAlO の約半分と低く、MTJ の低抵抗化には有効であることが判

った。得られた MR 比は 121%であった[39]。さらに究極的な低 RA 障壁材料として、 $\text{Cu}(\text{In}_{1-x}\text{Ga}_x)\text{Se}_2$ 化合物半導体を障壁層とする TMR 素子の作製にも着手、 $\text{Cu}(\text{In}_{0.5}\text{Ga}_{0.5})\text{Se}_2$ で $\text{RA}=0.15\Omega\mu\text{m}^2$ 、室温 MR40%(低温 120%)[40]を、 CuGaSe_2 で $\text{RA}=0.4\Omega\mu\text{m}^2$ 、室温 MR96%(低温 248%)[未発表]を実現した。なお、強磁性電極層は Co 基ホイスラー合金であり、ホイスラー合金との相性がよいことも注目される。また、第一原理計算により $\text{CuInSe}_2/\text{Fe}$ 界面で MgO/Fe 界面を凌駕する界面垂直異方性や VCMA が得られることが予測され[41]、特許申請も行った[特願 2016-125316]。

そのほかの試みとして、強磁性電極層との濡れ性に優れ、低 RA 特性も有する MgTiO 障壁を用いた垂直磁化 MTJ 素子も作製し、 $\text{MgTiO}/\text{CoFeB}$ 素子で MgO/CoFeB よりも高い VCMA が得られることを示した[42]。また、強い垂直磁気異方性を示す FeAl/MgAlO 系 MTJ 素子や FeW/MgO 系 MTJ 素子の検討も行い、 Fe/MgAlO 系 MTJ 素子を凌駕するには至らなかったが一定の大きさの VCMA 効果 ($300\text{fJ}/\text{Vm}$ クラス)を得た[未発表]。

課題2「電圧駆動 MRAM のプロセス技術の開発」

項目(1) Si 基板上へのエピタキシャル MTJ 素子の作製

(NIMS 宝野和博 PI、産総研 湯浅新治 PI)

研究開発の第一段階として、NIMS 宝野 PI チームにおいて研究用の小規模スパッタ成膜装置と 2 インチ径の $\text{Si}(001)$ 基板を用いて、 $\text{Si}(001)$ 上に(001)配向した磁気抵抗素子薄膜をエピタキシャル成長する技術の開発を行った。磁気抵抗素子薄膜としては、バッファ層およびスペーサ層に Ag を用いた $\text{Co}_2\text{FeGa}_{0.5}\text{Ge}_{0.5}$ (CFGG)ホイスラー合金系 CPP-GMR 薄膜を選択した。フッ酸処理した $\text{Si}(001)$ 基板上に $\text{NiAl}(001)$ シード層をエピタキシャル成長させる条件を見出すことで、高品質 CFGG ホイスラー合金を用いたエピタキシャル CPP-GMR 薄膜を得ることに成功した。 400°C までのポストアニール条件では、 $\text{MgO}(001)$ 単結晶基板上に形成した CPP-GMR と同じ大きさの磁気抵抗効果を得ることに成功した[43]。この技術の研究開発では、 NiAl をシード層として選択したことが成功の鍵であり、特許申請を行った[特願 2015-237601]。さらに、ホイスラー合金層の下に $\text{CoFe}(001)$ バッファ層を配することでポストアニールに対する耐熱性を改善することにも成功し、 400°C を超える温度でのポストアニール処理を行った場合においても、ホイスラー合金を用いた CPP-GMR 薄膜の磁気抵抗特性が $\text{MgO}(001)$ 基板上に成長したものと同等であることを確認した[未発表]。これは、多結晶ホイスラー合金薄膜では実現できなかった、単結晶薄膜での優れた特性を Si 基板上で完全に再現した成果である。

上記の成果に加え、同 CPP-GMR 薄膜を成長させた $\text{Si}(001)$ 基板のウェハボンディングも行い、転写された CPP-GMR 薄膜においても磁気抵抗特性が維持されることを実証した[未発表]。これらの成果は、後述する産総研 湯浅新治 PI チームによる大径 Si ウェハを用いたより進展した MRAM 対応単結晶 MTJ の成果のもととなるものである。

第二段階として、NIMS の宝野和博 PI チームが開発した $\text{NiAl}(001)$ シード層成膜技術を H29 年度に産総研所有の量産向け大型スパッタ装置(C-7100)の成膜プロセス技術に技術移管、産総研において大径 Si ウェハ上へのフルエピタキシャル MTJ 形成のための基盤技術開発を行った。まず Si ウェハ清浄面を得るための自動洗浄機構を整備し、枚様式自動洗浄機にて安全に再現性良く

大径ウェハの清浄面を得るシステムを構築した。このウェハ清浄面再現性が担保された上で、最重要となる大径ウェハ清浄面上への $\text{NiAl}(001)$ シード層形成の成膜技術開発を行い、その中で $\text{NiAl}(001)$ 層表面の平坦性が Ni-Al 組成に敏感であることを見出すとともに、原子レベルでの平坦性を得るための適切な組成範囲および成膜温度に関する成膜条件を確立した[特願 2018-167801]。次いで、MTJ 構造の中核を成すトンネル障壁層の開発を行い、既存 MTJ が MgO トンネル障壁を用いるのに対し、量産向け大型スパッタ装置の装置設計では、同時に NIMS より作製の技術移管を受けていたスピネル系の Mg_2AlO_4 が MgO よりもエピタキシャル成長に適していることを見出した。そのうえで、スピネル系 Mg_2AlO_4 障壁の作製条件適正化を行ない、**世界で初めて大径 Si ウェハ上へのフルエピタキシャル MTJ のフルスタック作製に成功した。その MR 値は最大で 235%に達し、多結晶同等の MR 性能を実現した。なおこの MR 値は、スピネル系 Mg_2AlO_4 を用いた MTJ としては最大級の値であり、その成膜品位の高さが同時に示された。**

この成膜品位の高さは低抵抗領域(障壁厚さが薄い領域)の MR 性能の高さにも表れ、ギガビット級 MRAM での抵抗の目安となる面積抵抗(RA)値 $=4\Omega\mu\text{m}^2$ の超低抵抗でも室温で 140%の高い MR 値を得た[論文準備中]。これまでは数センチサイズの小片基板上に 2 日で 1 枚程度しか形成できなかったエピタキシャル MTJ を、H29 年度内には 1 日 15 枚程度 200mm あるいは 300mm の大面積にて作製可能とする技術を構築した。H30 年度は、エピタキシャル MTJ 成膜技術開発を拡張展開し、**多結晶 MTJ では不可能であった、規則合金を用いたフルエピタキシャル MTJ 実現に成功した。**これまでに、 $\text{L1}_0\text{-CoPt}$ 垂直磁化膜や Co 基フルホイスラー合金膜を用いたフルエピタキシャル MTJ の作製に成功しており、MR としては 100%を超える大きな値を得ている[論文準備中]。また垂直磁化 MTJ のフルエピタキシャル化にも併せて成功した。以上のように、期間後半において成膜技術開発を一段と加速させ、**大径ウェハ上への規則合金膜を含めたエピタキシャル MTJ 形成量産化技術を確立するに至った。**

項目(2) 3 次元積層技術の開発 (産総研 湯浅新治 PI、東芝 伊藤順一 PI)

産総研 湯浅新治 PI チームを中心に、ウェハ接合および Si 基板除去からなる 3 次元積層プロセス技術の開発を行った。期間前半は、多結晶薄膜ウェハ同士の接合および Si ウェハ裏面除去に基づく 3 次元積層プロセス技術の基盤技術を開発した。特に接合面として MTJ 後工程として汎用的である Ta を用いた接合技術を、東芝の伊藤順一 PI チームと共に開発した。その結果、**接合前処理イオンビームエッチングによる表面平滑化条件探索により、拡散係数が小さく接合難易度が高い Ta であっても、平滑化処理することで良好な接合が得られることを見出した。この Ta 接合面のプロセス条件を、以降最終年度までの基本技術とした。**その後、H28 年度には、6 インチ Si ウェハ上に作製した実用構造を持つ多結晶の垂直磁化 MTJ 薄膜と CMOS ウェハを模した Cu 電極を成膜した 200mm Si ウェハとの常温加圧接合、背面 Si 基板除去、および MTJ ナノピラー加工までを一貫して行い、直径 28~65 nm の MTJ 素子を作製した。**磁気抵抗および STT 磁化反転特性を評価し、3 次元積層プロセスによる素子特性の劣化が全くないことを確認した[44]。これは、磁気工学・スピントロニクス分野では初めて 3 次元積層を実現したものである。**H29 年度は、エピタキシャル MTJ 薄膜の 3 次元積層を行った。エピタキシャル MTJ は多結晶よりも 3 次元積層技術の難易度が高く、わずかに接合面のラフネスが存在するだけでもエピタキシャル積層が大きく

乱されてしまうことが判明した。エピタキシャル MTJ の成膜技術全般の見直しによる MTJ 最表面の Si ウェハ表面並の超平坦化と、Ta 接合面のさらなる平滑化技術を開発し、接合後の積層乱れを回避することに成功した。Si ウェハ裏面除去については、エピタキシャル MTJ のシード層として用いる NiAl(001)層をエッチングすること無く、Si のみを選択的にエッチングすることに成功し、総じてエピタキシャル MTJ についても 3 次元積層技術の基盤技術の確立を果たした。これらにより、**大径 CMOS ウェハ上へのエピタキシャル MTJ の 3 次元積層集積化デモンストレーションを行い、実用化へと繋げることが可能となった。**

項目(3) 超微細加工技術の開発 (産総研 湯浅新治 PI、東芝 與田博明 PI)

直径 10~20 nm の MTJ 素子を実用化するための超低ダメージのエッチング技術を開発し、最終的には、新材料を用いた単結晶 MTJ 素子を用いた超微細 MTJ 素子を実現する。直径 20nm を下回るような微細な MTJ 素子の加工には、nm オーダでエッチング深さを調節できる超低ダメージのエッチング技術の開発が必須である。これまで産総研の湯浅新治 PI チームでは、メタルエッチング用の EB レジストを用い、直径 60nm までのエッチングマスクを作製し、ビーム電圧 200V のアルゴンイオンエッチング(エッチング速度 1nm/分程度)により、エッチング後直径 50nm 程度までの MTJ 素子を作製していた。そのため、さらに微細な MTJ 素子の加工には、より低い電圧による低ダメージエッチング技術の開発が必須であった。

プロジェクト前半では、真空一貫型成膜・エッチング複合装置を導入し、低電圧エッチング技術(エッチング時のダメージを低減することが可能)の開発に取り組んだ。本装置により、ビーム電圧 120V のアルゴンイオンエッチング(エッチング速度 0.1nm/分程度)が可能になり、エッチングマスクのスリミングを併用することにより、直径 20nm を下回る MTJ 素子の作製が可能となった。プロジェクト前半では、この手法を用いて、直径 25 nm までの微細 MTJ 素子を作製した。直径 25 nm の素子に於いても熱擾乱耐性 $\Delta > 80$ が維持され、STT 書き込み効率が 2 に達することを実証した。

プロジェクト後半では、新材料単結晶 MTJ 膜を用い、超微細 MTJ 素子の加工を行った。前記低電圧エッチング技術(ビーム電圧 120V のアルゴンイオンエッチング)を用い、微小 MTJ 素子を作製した。RA 値 $5.5 \Omega \mu\text{m}^2$ の面内磁化型単結晶 MTJ 膜上に 30x120nm から 50x200nm の長方形のエッチングマスクを作製した。長方形のマスク形状にするのは、素子に形状磁気異方性を付加するためである。微細加工後の素子サイズを、磁化配列平行時の電気抵抗から見積もったところ、短辺 30nm のレジストマスクからは短辺 18nm の MTJ 素子が再現性良く(素子サイズで $\pm 2\text{nm}$ 程度のばらつき)出来ていることが実証された。また作製した MTJ 素子の MR カーブは角型性の良い保持力差型であり、フリー層の磁化が鋭く反転していること(磁気メモリとして良好な特性)が示された。

項目(4) 大径 CMOS ウェハ上へのエピタキシャル MTJ の集積化(産総研 湯浅新治 PI)

STT-MRAM 用の 300mm CMOS ウェハを用い、産総研の湯浅新治 PI チームにて成膜したエピタキシャル MTJ の 3 次元積層化を産総研の湯浅新治 PI チームが中心となって行った。CMOS ウェハ表面は絶縁体と Cu 配線が混在しており、また表面ラフネスが大きいために、ウェハ接合には適さない。そこでまず CMOS ウェハ表面の処理から始め、Ta カバー膜積層と CMP(化学機械研磨)の

併用により表面平滑性の向上を行い、平坦な Ta 接合面を得た。別途成膜したエピタキシャル MTJ は、上記項目(2)で開発したとおり、Si ウェハ表面並に超平坦性を有している。これら CMOS ウェハとエピタキシャル MTJ ウェハを接合、およびエピタキシャル MTJ 側 Si 裏面除去を行い、接合面空隙の全く無い高品位な 3 次元積層に成功した。ついで、直径 30-100nm の MTJ 素子を微細加工により作製した。その結果、CMOS 表面の M6 層 Cu 配線上にエピタキシャル MTJ 素子を形成することに成功した。これらのプロセス開発には、300mm から 3 インチに切り出した小片サンプルにて先ずは条件出しを行い、その後、300mm 同士の 3 次元積層化プロセスへ展開を図った。これらのように、当初目標である CMOS ウェハ上へのエピタキシャル MTJ の 3 次元積層集積化については、実証に成功した(論文作成準備中)。

課題3 「電圧トルク MRAM の開発」(産総研 野崎隆行 PI、今村裕志 PI*、東芝 藤田忍 PI)

＊新規 MRAM 開発のための計算科学支援チーム

項目(1)書き込みエラーレート(WER)評価実験および理論解析

(産総研 野崎隆行 PI、今村裕志 PI*、東芝 藤田忍 PI)

電圧トルク MRAM の書き込み原理である電圧による磁化の歳差運動の誘起を利用する特殊なユニポーラ書き込み方式において実用的な安定性を実証するため、産総研の野崎隆行 PI チームでは垂直磁化型多結晶 MTJ 素子における電圧ダイナミック磁化反転の書き込みエラー率の評価、およびその改善に取り組んだ。ImPACT 開始当初、1 ナノ秒を切る高速パルス電圧による電圧誘起ダイナミック磁化反転は実証されていたものの、その試行回数は数百回程度であり、書き込み安定性は全く不明な状態であった。そこで先ずは H26 年度から 27 年度にかけて 10^5 回以上の試行回数を高速で行う評価システムを構築し、既存素子のエラー率評価を行った。その結果、MgO/FeB フリー層/W キャップ層構造において 4×10^{-3} のエラー率を実証した(当時世界最良)[45]。さらに、マクロスピンモデルシミュレーションを用いて、エラー率低減にはフリー層の熱安定性(垂直磁気異方性)、およびダンピング定数の低減が重要であることを明らかにした。熱安定性向上は書き込みの始・終状態における熱揺らぎの抑制、ダンピング定数の低減は歳差運動過程における熱揺らぎの抑制に有効である。H28 年度は上記の方針に従い、CoFeB フリー層の適用と組成・ポストアニール温度の最適化を行うことで垂直磁気異方性、および VCMA 効率の最大化に取り組み、エラー率 2×10^{-5} を達成した(当時世界最良)[46]。また、東芝の藤田忍 PI(回路設計)チームとの共同で逆バイアス法によるエラー率低減手法を提案し、それを実現する電圧駆動 MRAM 専用回路、また TMR 効果のバイアス電圧依存性を利用した高抵抗 MTJ 素子の高速読み出し技術等を連携して開発した。逆バイアス法は、書き込みパルスの前後に垂直磁気異方性が増大する符号側の逆バイアス電圧を導入することで、VCMA 効果を利用して書き込みを行なう前後の熱安定性を人為的に向上させ、エラー率を低減する手法である。まずはマクロスピンモデルシミュレーションを用いて VCMA 効率一定のままで数桁にも及ぶエラー率低減が可能であることを明らかにした[47]。

H29 年度は高精度なパルス形状制御技術とエラー率の高速評価技術をさらに改善し、磁化反転過程におけるダイナミクスがエラー率に与える影響の解明、および逆バイアス法の実験実証

に注力した。ダイナミクスの解明に関しては、熱揺らぎが反転後の緩和過程における確率的な軌道遷移を発生させ、エラー率の上昇、および低エラー率を維持する有効パルス時間幅の狭化の原因となっていることを明らかにした[48]。また、パルス電圧の立下りをなまらせることで磁化反転後の緩和過程を抑制し、エラー率の低減に有効であることも見出した。さらに、上記の逆バイアス法を導入し、通常の矩形パルスと比較して約2桁のエラー率低減にも成功した。これにより現状での測定限界となるエラー率 10^{-6} 以下を達成することに成功した(現在の世界最良値)。この値は1回のエラー訂正導入で実用的なエラー率 10^{-12} 以下に到達する値である。さらに、逆バイアス電圧の導入による熱安定性向上は、上記の軌道遷移によるエラー率上昇を抑制し、有効パルス時間幅の拡大にも有効であることが分かった。新材料素子開発による VCMA 効率増大技術をフィードバックし、VCMA 効率を現状の ~ 70 fJ/Vm の3倍程度に向上することで、理論上 10^{-10} 以下のエラー率が素子単体でも期待され、さらに有効パルス時間幅も実用的に制御可能な下限となる 100 ps オーダまで拡大できるものと考えられる。

項目(2) 電圧トルク MRAM の回路設計 (東芝 藤田忍 PI、産総研 野崎隆行 PI)

東芝の藤田忍 PI チームでは、H28 年度までに大容量キャッシュメモリを想定した電圧トルク MRAM の回路設計に取り組み、産総研の野崎隆行 PI チームと連携して書込みエラー率(WER)の低減に有効な逆バイアス電圧を用いた書込み手法、およびそれを実現する回路設計に取り組んだ[49]。また、トンネル抵抗のバイアス電圧依存性を利用し、書き込みパルスのバラツキの影響を受けにくい高抵抗 MTJ 素子の読出し手法を開発した[49]。

さらに、H29 年度以降では、電圧トルク MRAM をメインメモリやストレージクラスメモリ(SCM)として利用するための、書込みエラー率(WER)低減回路を検討した。まず、メインメモリ階層に適用するためには、DRAM で用いられている高密度なメモリアレイ回路が必要である。この回路は、キャッシュメモリ用ロジック回路よりもさらに配線の寄生成分が増大しており、電圧トルク駆動 MTJ 素子に印加されるパルス波形の歪みが大きくなる。2X nm 世代の先端 DRAM 回路モデルを用いて、素子特性パラメータを用いて回路シミュレーションを行い、メモリ回路設計を行った結果、WER 低減のための基本的な素子・回路設計としては、以下の3つが有効であることが判った。①基本ユニットとなるメモリアレイ(MAT)の容量最小化(欠点:メモリ全体の面積増大)、②ダンピング定数(α)の低減、③外部磁場(Hext)の増加(欠点:パルスバラツキに敏感になる)。なかでも特に α の低減が欠点もなく有効であることが分かった[50]。しかしながら、WER が α に敏感で、そのバラツキまで回路シミュレーションに入れると WER レベルは 10^{-3} 程度に悪化してしまう。Verify-Write 回路によって Write を繰り返すことでエラーを低減することが可能だが、DRAM はプロセッサのクロックと、40~50ns で同期をとるリアルタイム動作(シンクロナス動作)を要求され、回路やシステムによってエラー率をカバーすることによる遅延増大は許容されない。よって、電圧トルク MRAM は、DRAM 的な大容量メモリをターゲットとするのは難易度が高すぎるとの結論を得た。

一方、ストレージクラスメモリ(SCM)はレイテンシー要求値が 1us 程度であるため、一般的に ER が 10^{-4} 程度でも Read-Verify 回路によって 10^{-12} 以下のレベルまでエラー低減可能であるため、DRAM よりも実現性が高いと考えられる。回路設計を検討した SCM の構造は、クロスポイン

ト型(CP 型)で、メモリセルは 2 端子のセレクトア素子と記憶素子によって構成される。セレクトア素子は高オンオフ比という要求から、イオン伝導メカニズムのスイッチ素子型のセレクトアが有望と考えられる。セレクトア素子のスイッチ機構は、スイッチ時間バラつきが生じ、MTJ に印加されるパルス幅がバラつき、電圧トルク MRAM の WER 増大が課題となる。そのため、セレクトアのスイッチ時間バラつきを隠ぺいする、ステップ型の書込み波形を考案した。最初にセレクトアをスイッチさせるための負電圧 V_{on} を印加する。セレクトアをオンにすると電圧は MTJ に印加されるが、負電圧が印加されるため、磁化は初期状態で安定している。次に MTJ を反転させるための正電圧 $V_{precession}$ を印加する。メモリセルに印加する電圧をステップ型とすることで、 T_{MTJ} がセレクトアのスイッチ時間バラつきからの影響を受けないため、WER を低減することができる。回路シミュレーションの結果、ステップ型の書込みパルスを印加した場合は、矩形波を印加した場合に比べて、WER が数桁改善することが示された。さらに、パルス波形の立上がり・立下りを高速にするために、配線厚を 60nm 以上にした場合の WER は、矩形波を直接印加した場合の 10 倍以内に抑えられることが示された[51]。これらの補正回路により $WER < 10^{-5}$ レベルが実現できる。ただし、本 SCM を実用化するためには、素子特性のバラつきを抑える量産技術や素子の 3 次元多層化プロセス、セレクトアの開発が重要となる。

課題 4 「電圧効果の物理機構解明と高効率化のための開発指針の確立」

(阪大 鈴木義茂 PI、JASRI Spring-8 鈴木基寛 PI、東北大通研 白井正文 PI*)

*新規 MRAM 開発のための計算科学支援チーム

研究の第一段階として、Spring-8 の鈴木基寛 PI チームにおいて電圧効果の物理機構解明のための測定装置を開発した。放射光による X 線分光測定である XAFS(X-ray absorption fine structure: X 線吸収端微細構造)や XMCD(X-ray magnetic circular dichroism: X 線磁気円二色性)は、物質の電子状態や磁性を研究するための強力な手法であり、価電子状態や磁気モーメントの高精度かつ定量的な評価が行える。これらの手法を電圧磁気異方性材料のその場観察に応用することで、電圧効果が発現している条件下での磁気モーメントや電子状態、界面原子構造の変化を追跡し、電圧磁性制御の微視的なメカニズムを解明することができる。電圧磁気効果による XMCD スペクトルの微小な変化を検出するため、Spring-8 の硬 X 線ビームライン BL39XU および軟 X 線ビームライン BL25SU にカスタムメイドの多素子蛍光 X 線検出器システムをそれぞれ構築し、蛍光 X 線検出による XMCD 測定の検出効率を既存装置の 10 倍以上に向上した[52,53]。硬 X 線による Pt の XMCD 測定に関して、従来の計測系と比べて 10 倍の検出効率および 3 倍の統計精度向上を達成し、単原子層の Pt 膜における電圧磁気効果の検出を可能とした。これに加えて、軟 X 線 MCD 測定で重要となる、超高真空環境内での安定かつ高精度な電圧印加技術を確立した。このために電極構造を有する専用の試料ホルダー等の開発を行った。上記の多素子蛍光 X 線検出器システムによる XMCD 測定の高精度化と組み合わせることで、XMCD の検出限界信号強度を 4%から 0.2%へと格段に向上させた[54]。この開発によって、Co 薄膜における XMCD 信号の電界による変調を世界で初めて観測することができた[55]。

以上のように、SPring-8 において電圧印加状態でのその場 XMCD 測定手法を開発し、電圧磁気異方性効果を示す金属磁性膜/絶縁層接合試料の観測に適用した。本研究開発で構築した XMCD 測定システムでは、SPring-8 の既存装置の 10 倍以上の検出感度および測定精度向上を達成し、他国の放射光施設を凌駕する性能を実現した。

研究の第二段階として、大阪大学の鈴木義茂 PI チームにおいて XMCD を用いて電圧効果の物理機構の解明を行った。まず 3d 強磁性金属の電圧効果を調べるために Fe/Co/MgO 構造を開発した。XMCD 分光は元素選択性を利用し、Fe と MgO の界面に Co を 1 原子層挿入することにより界面感性を持たせた系を用意した。本素子においては MgO/SiO₂ 誘電膜を通して電圧を印加することにより、界面における Co-1 原子層の磁気物性を評価することができる。このような素子を用いて SPring-8 において XMCD 分光を行った。本研究では結果として Co における軌道磁気モーメント及び有効スピン磁気モーメントが外部電圧によって変化することを世界で初めて見出した。また軌道磁気モーメントの変化から予想される電圧磁気異方性変調効果と、実際に測定した電圧磁気異方性変調効果が一致することから、3d 強磁性遷移金属の電圧効果は軌道磁気モーメントの変化により説明できることがわかった。このことは第一原理計算の結果とも一致している。

次に、大きなスピン軌道相互作用で知られる Pt を用いた系における XMCD 分光を行った[56]。本研究では Fe/MgO 界面に Pt を単原子層(0.2 nm)挿入した Fe/Pt/MgO 系を採用した。通常の Pt は常磁性体であるが、本研究で用いた単原子層 Pt は強磁性体の Fe と接しているため、誘導磁気モーメントを有する強磁性体である。Pd(001)下地の上に 110-FePt(001) 超薄膜を用意し、MgO(001)とポリイミド絶縁膜を通して外部から電界を Pt/MgO 界面に印加した。別の実験により Fe/Pt/MgO 系は Fe/MgO 系の 30 fJ/Vm よりも大きな 140 fJ/Vm の電圧磁気異方性変化を示すことが分かっている。実験的に得た XMCD スペクトルの数値積分を解析した結果、負電圧を印加すると L_3 端、 L_2 端ともに XMCD の信号強度が増大することがわかった。次にサムルール法により Pt の磁気モーメント及び磁気モーメントの電圧変化を求めた。電圧を印加しない時、Pt 原子における垂直磁場下の有効スピン磁気モーメントは $0.30 \mu_B$ 、軌道磁気モーメントは $0.055 \mu_B$ であった。次に負電圧印加時の有効スピン磁気モーメントは正電圧印加時のそれと比較すると 13%増大することがわかった。一方で軌道磁気モーメントの変化量は観測限界以下(< 7%)であった。明瞭な変化を観測した有効スピン磁気モーメントはスピン磁気モーメントと磁気双極子 T_z 項の和である。一般的に T_z 項には磁化角度依存性があるものの、一方でスピン磁気モーメントは磁化方向に依存しないことで知られる。今回有効スピン磁気モーメントの電圧変化は垂直磁化でのみ顕著であったため、13%もの有効スピン磁気モーメントの増大は主に T_z 項に由来すると結論できる。

次にこの電圧磁気異方性変化の起源を議論する。垂直磁気異方性エネルギー変化(ΔE)はスピン軌道相互作用エネルギーの電圧変化分と密接に関係がある。

$$\Delta E \approx -\frac{1}{4} \frac{\lambda'}{h} \left(\langle \Delta L_{\zeta, \downarrow\downarrow} \rangle - \langle \Delta L_{\zeta, \uparrow\uparrow} \rangle \right) + \frac{7}{2} \frac{\lambda'}{h} \left(\langle \Delta T'_{\zeta, \downarrow\uparrow} \rangle_{\text{eff}} + \langle \Delta T'_{\zeta, \uparrow\downarrow} \rangle_{\text{eff}} \right) \quad (1)$$

(1)式の第一項は軌道磁気モーメント由来の磁気異方性エネルギー変化であり、スピンの方向が平行な波動関数によるスピン軌道相互作用エネルギーの期待値である。多数スピンバンドが埋まると仮定すると垂直磁気異方性エネルギーは XMCD で測定する軌道磁気モーメントに比例する。

これは表面界面磁性の分野で著名な Bruno の式である。前述の Fe/Co/MgO の実験は Bruno の式が適用可能であることの証明であった。しかし、Pt は交換相互作用が Fe や Co 等の 3d 遷移金属強磁性体と比べて小さく、この近似は適用できない。従って第二項の寄与が重要となる。第二項は磁気双極子 $\vec{\mu}$ 項と関係があるエネルギー変化であり、スピンの方向が反平行な波動関数によるスピン軌道相互作用エネルギーの期待値である。今回の Fe/Pt/MgO の実験において観測した $\vec{\mu}$ 項の電圧変化は、電圧誘起磁気異方性変化に第二項の寄与があることを示唆する結果となった。

東北大の白井正文 PI チームによる第一原理計算の結果からは「(第一項) : (第二項) = -0.91 : 1.00」であることがわかった。これは第二項の寄与が大きいこと、そして実験で得た電圧誘起磁気異方性変化 140 fJ/Vm は第一項と第二項が相殺され、第二項の寄与が一部残った結果であることがわかる。従って 2 つの機構の寄与を調節すれば応用レベルの 1000 fJ/Vm を超える巨大な電圧効果を現実的に得る可能性が十分にあり得ることがわかった。

以上の研究により得られた電圧磁気異方性変化の物理描像を以下にまとめる。外部からの印加電圧により強磁性金属の電子数が変化すると、軌道磁気モーメントが変化する。これはスピン軌道相互作用エネルギーをスピンが保存した波動関数で挟んだ時に得られるエネルギーである。Fe/Co/MgO の実験からは 3d 遷移金属はこの効果が支配的であることを示す結果であった。一方で金属界面では静電遮蔽のために電界は不均一になる。半導体や絶縁体中の線形な均一電界と異なり、この不均一な電界は 2 次の項を含む。この 2 次の項は物質中の電気四極子と相互作用し、d 軌道のエネルギーを分裂させる。これはスピン軌道相互作用エネルギーをスピンが反転した波動関数で挟んだ時に得られる磁気異方性エネルギーに相当する。端的には外部印加電圧により金属原子の電子雲が歪んだ結果、電気四極子が発生して電圧効果が発現したともいえる。高いスピン軌道相互作用で知られる Pt 原子ではこの電気四極子機構が無視できないほど大きいことがわかった。

課題 5 「電圧駆動 MRAM 機能実証試作」(東芝 與田博明 PI、藤田忍 PI)

項目(1) VoCSM 素子およびメモリアレイの開発試作 (東芝 與田博明 PI、藤田忍 PI)

H26-27 年度においては、産総研の湯浅新治 PI チームとの共同で行なった単結晶 MTJ 作製のためのウェハ張り合わせ技術の開発や NIMS の宝野和博 PI との共同で行なった単結晶トンネル障壁技術の開発等、主に単結晶 MTJ 素子製造基盤技術の確立に注力。それぞれの技術は産総研および NIMS に引き継がれた。

H28 年度以降、東芝の與田博明 PI チームは新概念の不揮発性メモリ「Voltage Control Spintronics Memory (VoCSM)」を提案し、電圧駆動 MRAM デバイス開発にターゲットを絞り込んだ。併せて大容量型(High-Density 型)の VoCSM メモリアーキテクチャコンセプトの基本動作の実証に成功した[57]。さらに H29 年度には High-Speed 型(Differential 読出し、Complementary 書込み)の VoCSM メモリアーキテクチャ-コンセプトを提案、その基本動作の実証に成功、約 10 倍以上の高速書き込みポテンシャルを確認した[58]。これらの成功を受けて、H29 年度より本課題が追加され、電圧駆動 MRAM 機能実証試作がプロジェクト目標に明確に組み込まれた。

さらに H26-30 年度を通して、素子の微細化・高精度加工プロセスを立ち上げ、幅 10nm 台の 3 端子 VoCSM 素子を作製し、MTJ の面積に比例して臨界記録電流 I_c が低下することを確認、23 μA という MRAM では世界最小の I_c を実証した。そのうえで VoCSM の 1bit 当たりの書き込みエネルギーを、STT 書き込みの 1/20 に相当する 5fJ まで低減することに成功した(書き換え耐性を考慮したとき、一桁以上の低減に成功)。また、Spin-Hall 電極材料の改善等により、書き込みエネルギーを 1fJ 以下まで低減可能であることも示された[59]。併せて、トンネル障壁短絡を低減させる VoCSM 素子技術も構築、VoCSM 素子技術の完成度を高めた。その結果、信頼性に関してもパルス幅 5ns、直近では 2ns(書き込み電流が大きくなる)にて 10^{13} 以上の高い書き換え耐性を確認することに成功した[60]。加えて、VoCSM 特性のバラつき改善にも取り組み、一例として素子の応力制御等により I_c のばらつきを $\sigma 15\%$ 程度から $\sigma 6\%$ 程度に低減、バラつき要因解析を通して、書き込み・読出し window の確保に目途をたてた[61]。

以上の成果を踏まえ、最終的には同じ東芝の藤田忍 PI チームとの共同で VoCSM チップ試作開発用マスクを設計、VoCSM チップの特性を見積もった。結果、以下のように消費電力の大幅な削減が可能であることを確認した。

1. High-Speed 型(differential 読出し、complementary 書き込み)VoCSM の場合

(1.1) 現状素子サイズ(40nm $\times$ 100nm)VoCSM 素子の実データに基づいても、L3 キャッシュ(ラストレベルキャッシュ、平均書き込みパルス時間 10ns) に対して、消費電力が 20%程度優位となり、素子を 30nm $\times$ 75nm、20nm $\times$ 40nm とさらに微細化すること等で大幅な電力削減が可能(図 12)。

(1.2) L1/L2 キャッシュクラスに対しては、消費電力を約 1/4 に低減できる(図 12)。

(1.3) AI Deep Learning アプリ用のアクセラレータに向けた高速混載 VoCSM では、従来型と比べ、処理時間を最大 70%強削減、消費エネルギーを最大 80%強削減可能。

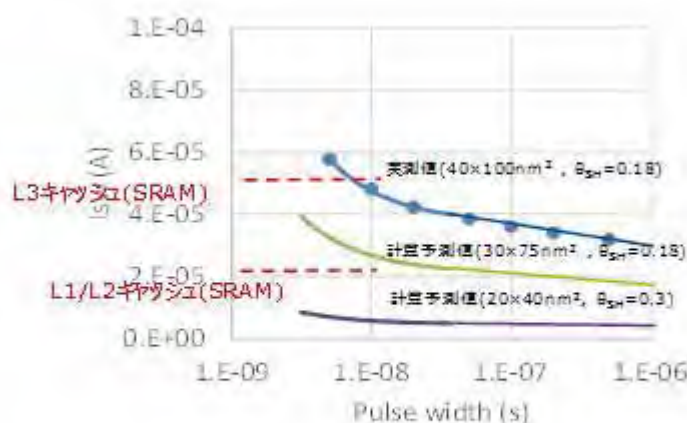


図 12 各種素子サイズにおけるスイッチング電流のパルス幅依存性

2. 高集積向けの大容量型(High-Density 型)VoCSM の場合

リフレッシュ電力が必要な DRAM (平均数百 mW) に比べて、平均消費電力を 10 分の 1 以下にすることが可能(図 13)。

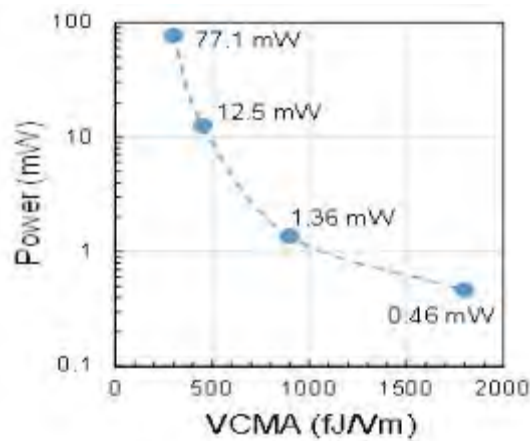


図 13 消費電力は VCMA 値の増大とともに急激に減少。VCMA 値が 1000fJ/Vm を超えると消費電力が 1mW 以下となり、DRAM に対して消費電力を 1/100 以下にすることも可能

項目(2) VoCSM の回路・システム開発とアプリケーション機能実証試作 (東芝 藤田忍 PI)

(2-1) VoCSM の特徴を活かしたアプリケーションの検討

他のメモリと比べて VoCSM が最も秀でているのは、Write の高速性と高い Endurance（応用時無限大と等価）を同時に実現できる点である。多様なアプリケーションから分析すると、将来有望なメモリアプリケーションとしては、①ロジック混載 SRAM 型のプロセッサキャッシュメモリ、②DRAM 型的高速ロギングメモリ(またはパースistentメモリ)と考えられる。①は単純なキャッシュだけでなく、AI Deep learning 向けのロジックインメモリ用途にも適用できる。

(2-2) 先端商用 CMOS によるメモリ回路詳細設計

上記のアプリを念頭に、VoCSM の 64kb メモリ回路設計を、28nm ロジック CMOS テクノロジー (TSMC 社の商用ライセンス設計ルール、正規ライセンス) を用いて行なった。書込みドライバやセンスアンプなどの周辺回路を含む、メモリマクロの全体を設計、この最小単位を階層化設計することにより 1Mb の VoCSM メモリ回路の詳細設計とガラスマスクのレイアウト設計を商用の大規模 CAD ツールを用いて行なった(図 14)。



図 14 商用 CMOS28nm で設計した 1Mb VoCSM メモリ回路
(ガラスマスクレイアウト)

まず、詳細設計した 64kb の VoCSM を用いて、SRAM ベースのキャッシュメモリとの比較を行なうことを前提に、High Speed 混載型 VoCSM(2MTJ 差動読出し型)の回路評価を行った。この回路では VCMA(Voltage Controlled Magnetic Anisotropy)が 100fJ/Vm 以下と比較的小さい値でも WER(Write Error Rate)に影響しない。詳細設計レイアウトベースでは、VoCSM の面積は SRAM の約 1.1 倍となり、占有面積はほぼ同じとなった。また、VoCSM の Write 速度とスイッチング電流のシミュレーション計算の結果から、現状の素子実測値(サイズ: 40nm×100nm、スピンホール角 $\theta_{SH} : 0.18$)で、L3 キャッシュ(ラストレベルキャッシュ、平均書き込みパルス時間 10ns) に対して 20~30%程度優位に、同素子サイズを 30nm×75nm まで微細化することで、50%以上の消費電力の改善がなされ、さらに VoCSM の試作実験結果から性能ポテンシャルを理論的に予測計算すると(素子サイズ: 20nm×40nm、スピンホール角 $\theta_{SH} : 0.3$)、L1/L2 キャッシュクラスに対しても消費電力を約 1/4 に低減できる可能性を秘めていることが明らかになった。

加えて、AI Deep Learning アプリ用のアクセラレータに向けた高速混載 VoCSM の回路設計提案を行った。Deep Neural Network を用いたアクセラレータは基本的に積演算とその結果に重み付けをした和演算とを繰り返す演算がコアとなる。従来だと、積演算の答えを一旦メモリ(SRAM)に書いてそれを読み出してまた和演算を行なうが、本提案では、VoCSM が三端子であることを利用して VoCSM に書込んだ瞬間に積演算が完了するような回路を構成することが可能となる。さらにこれを並列にして一括で読出すと和演算を行ったことと等価となり、書き込みと読出しだけで演算がすべて完結するインメモリ・コンピューティングの回路を実現することができる(図 15)。回路シミュレーション計算を行ない、従来型の演算器と比べると、処理時間を最大 73%削減、消費エネルギーを最大 86%削減できることが明らかになった[62]。

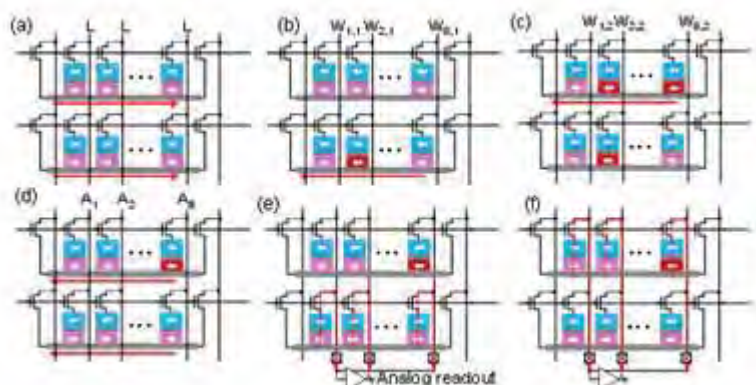


図 15 VoCSM を用いた AI Deep Learning 向け DNN のコア演算回路

(2-4) 大容量型(High Density 型)の回路設計とベンチマーク

ロギングメモリ用途を想定し設計ユニットの基本単位となる 1 Mbit メモリマクロをベースに Gb 級の DRAM 型の VoCSM 設計を行なった。ここで、一般的なカラムセレクトと同じ構成を用いると、ビット線 16 本おきにアクセスするために、VoCSM の特徴である 8 ビット一括書き込みが行えない問題があった。そのため、8 ビット一括アクセスが可能なカラムセレクト回路を新たに開発し、1 ビットあたりの書き込み電力を約 8 分の 1 に削減した。また、VoCSM で

はストリング構造上の 8 ビットの MTJ を一括で書込む一方、書込み電流自体がストリング上の MTJ を経由して流出してしまうことがあり、書込むビット列のパターンやビット位置によって電流量が変化し、書込みエラーレートが悪化する可能性がある。これを解消する目的で、高速シリアル有線通信などで使用される 8b/10b コード変換アルゴリズム回路を開発し、メモリアレイに書込むビット列の「0」と「1」の量を均一化することで、書込み電流のバラつきを抑える手法を考案し、回路シミュレーション計算にて、書込み電流量のバラつきが約 1/3 に抑えられることを確認した[63](図 16)。

また、この DRAM 型のロギングメモリ回路は 8bit 一括書込み可能な VoCSM ブロックをもとにしているため、この詳細レイアウト情報をもとにメモリセル面積を算出した。このとき、 $WER < 10^{-6}$ にするためにビットごとに書分ける選択性を高める必要があり、メモリセル面積は VCMA 値に大きく依存する。不揮発性 DRAM は DRAM のビットコストの 2 倍以下が望まれており、このためには 1600fJ/Vm の VCMA 値が必要となる。

一方、AI Deep Learning 系の Gb 級の大容量キャッシュメモリを想定すると、WER は大幅緩和され、ばらつきマージンが 2σ 相当でも許容され则认为られる。この場合には、300fJ/Vm 程度の VCMA 値でもメモリ面積が十分小さくなる（メモリビットコストが下げられる）ことが詳細回路設計より明らかになった。

加えて、設計した回路データから、消費電力を算定した。VCMA 値が小さい場合には WER 低下を回路で補完する必要があるため、周辺回路のトランジスタの消費電力が大きくなり、消費電力は VCMA 値に強く依存することが判った。しかし、リフレッシュ電力が必要な DRAM(平均数百 mW)に比して、平均消費電力を 10 分の 1 以下にすることが可能となることが明らかになった。基本的に VoCSM はリフレッシュが不要であり、ノーマリー・オフ型メモリ動作が可能となるためである。

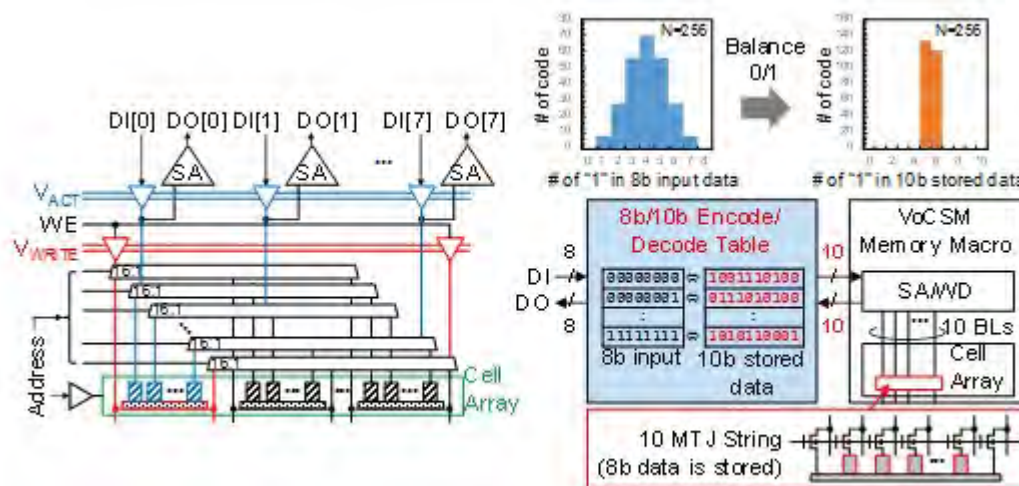


図 16 ロギングメモリ用大容量型 VoCSM 向けの新メモリ回路設計

(2-5) システム設計・評価とベンチマーク

詳細設計した VoCSM キャッシュの性能を、プロセッサアーキテクチャ-レベルで評価した。アーキテクチャ-シミュレータ上で複数の実プログラムを実行し評価した。VoCSM キャッシュのターゲットメモリ階層は、大きな消費電力削減効果が得られていることが知られているラストレベルキャッシュ(LLC)である。なお、LLCの読出し/書込みポート数は1とする(読出しと書込みは並行して行えない)。その他のシミュレーションモデルは、Intel 社のデスクトップ向けプロセッサの構成を参考に決定した。この結果から、書込みレイテンシーがプロセッサ性能に大きく影響を与えることが判って来た。ちなみに STT-MRAM を想定した 35ns 書込みでは、平均で 34.1%、最大で 73.5%性能が低下することが判った。これに対して、VoCSM を想定した 10ns 書込みでは、性能低下を、平均で 14.0%、最大で 39.9%に抑制できることが明らかになった。さらなる高速書込みが可能となれば、プロセッサの性能低下は避けられる可能性がある。

また、MRAM 系の STT-MRAM と大容量型 VoCSM の場合には、対 SRAM に対してメモリ面積は半分以下に削減できるため、同じ面積を用いる場合には、キャッシュ容量を二倍以上にすることが可能である。これによって、プロセッサ性能が上がることを期待される。プロセッサ性能のシミュレーション計算でそれを示した(図 17)が、VoCSM の方が「Write 速度が高速」であるため、性能向上が可能となる範囲がより大きくなることが判った[64]。

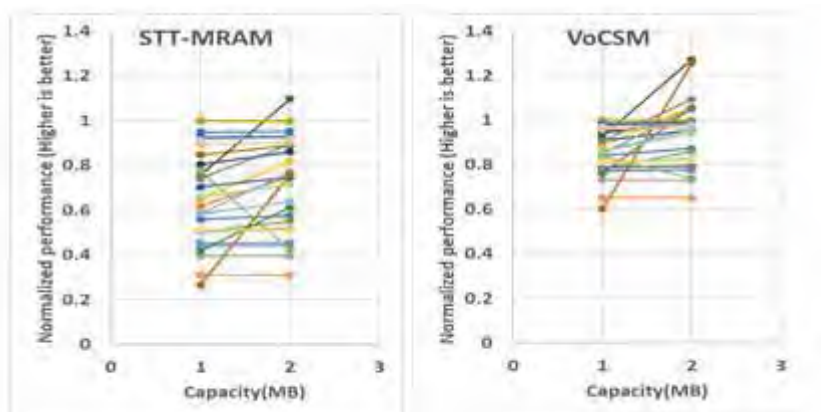


図 17 プロセッサ性能のシミュレーション計算

キャッシュメモリ容量 vs CPU パフォーマンスのベンチマーク

(ベンチマークソフトごとに色分けしたグラフ)

◇キャッシュメモリ容量が大きいほどプロセッサ性能が高い

◇VoCSM のほうが STT-MRAM よりもプロセッサ性能が高い

(2-6) アプリケーションシステム設計と動作検証

主にロギングメモリのアプリケーションシステムを想定し、ロギングメモリ用メモリコントローラと、メモリ/プロセッサインターフェースを設計した。これにより、DRAM と VoCSM

をメインメモリとして同じアドレス空間で並列にアクセスでき、ソフトウェアでログ情報を選択的に VoCSM メモリ側に記録することを指定できるようになった。

また、これを動作実証するために図 18 のデモボードを開発し、FPGA チップ内に、ログインメモリ用メモリコントローラと、メモリ/プロセッサインターフェースをハードウェア実装した(図 18)。

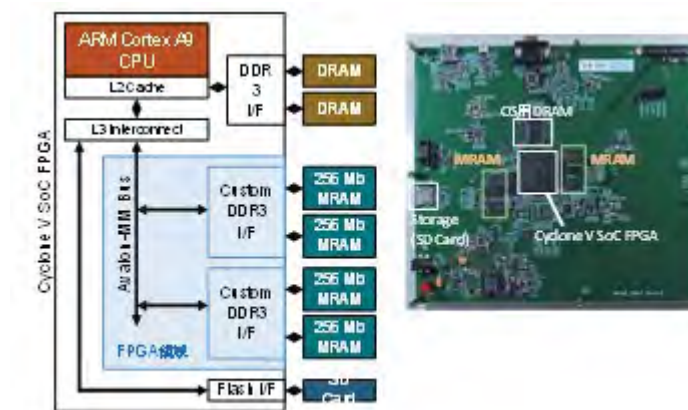
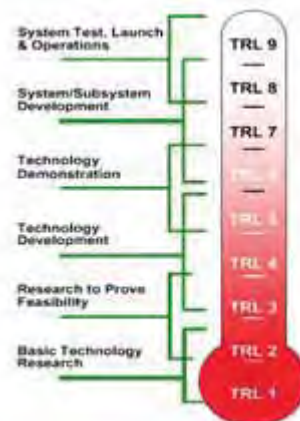


図 18 デモボード：デモ用の MRAM は市販の小容量スタンドアロン MRAM（256Mb）を 4 チップ並列で代用。

これによってプロセッサと VoCSM ログインメモリが連携して動作できる環境が完成した。したがって、デモソフトを動かすことでプロセッサ性能が従来の DRAM と HDD や SSD でログ記録するシステムに比べて 10 倍以上の性能向上が可能となることをデモ実証することが可能となった。

<研究開発の進展状況>

プロジェクト開始時の T R L	プロジェクト終了時の T R L
TRL 1~2	TRL 5 96



【電圧駆動 MRAM の開発と応用展開】

プロジェクト開始時においては、阪大の鈴木義茂教授の実験室レベルの基礎研究成果として 1 ナノ秒を切る高速パルス電圧による電圧誘起ダイナミック磁化反転の観測に成功したことが報告されており、メモリとして実現できれば魅力的な性能を示す実験結果が示されていたが、**書き込み安定性などメモリデバイスとしては、全く不明な状態であった。(TRL 1~2)**

プロジェクト終了時には、 10^5 回以上の試行回数を高速で行う評価システムの構築と MTJ 素子材料および高精度な電圧パルス制御技術の開発を通して、電圧誘起磁化ダイナミクスを利用する磁化反転を使う電圧トルク MRAM の性能を大きく左右する垂直磁気異方性を打ち消す符号での巨大な VCMA 効率 (320 fJ/Vm) と 10^{-6} 以下の書き込みエラー率を達成することに成功した(ただ残念ながらこれには磁場を要する)。これはユニポーラ書き込みを特徴とする電圧トルク MRAM の実用性検証に求められる要求仕様値を初めて実証した値であり、世界の競合チームに対してはるかに優位な革新性を示すことが出来た。また、**本プロジェクトで新たに提案がなされ、機能実証評価まで進んだ ImPACT 発新概念メモリ VoCSM では、5ns を切る、直近では 2ns の高速書き込みでの 10^{13} 回以上の書き換え耐性、 1fJ/bit の究極の超省電力書き込みなどの検証を経ての集積回路チップとしての技術デモが出来る準備を整えることが出来た。特に、Embedded Use の高速型 VoCSM については、今後のチップ開発に期待が持てる結果を既に得ることが出来たものと確信している。(TRL 5~6)**

【CMOS 基板上への単結晶(エピタキシャル)MTJ の 3 次元積層集積化プロセスの開発】

プロジェクト開始時、世の中には裏面照射型イメージセンサ等半導体デバイス分野では知られていたウェハ接合技術は、磁気工学・スピントロニクス分野ではだれも手掛けたことのない、まったく未知のプロセスへの挑戦であった。成功すれば、これまで CoFeB/MgO トンネル接合に材料が限られていた MTJ 材料の選択の幅を「Si 基板上にエピタキシャル成長させる必要のある材料系」にも広げることが出来、そのインパクトは大きいものであった。

(TRL~1)

プロジェクト終了時は、Ta カバー膜積層と CMP(化学機械研磨)の併用により表面平滑性の向上を行なった平坦な Ta 接合面を有する CMOS ウェハ表面と Si ウェハ表面並に超平坦性を有する別途 Si 基板上に成膜したエピタキシャル MTJ をウェハ接合した後エピタキシャル MTJ 側の Si 裏面除去を行い、接合面空隙の全く無い高品位な 3 次元積層に成功した。また、直径 30-100nm の MTJ 素子を微細加工により作製し、CMOS 表面の M6 層 Cu 配線上にエピタキシャル MTJ 素子を形成することにも成功しており、これにより当初目標であった CMOS ウェハ上へのエピタキシャル MTJ の 3 次元積層集積化の実証に成功したものである。この単結晶 MTJ の 3 次元積層集積化プロセス技術の開発は、MTJ 材料の選択の幅を広げるとともに今後の更なる高集積化・高密度化 MRAM の開発に道を拓くものであり、極めて重要なプロセス基盤技術を構築することが出来たものとする。(TRL~6)

④ 競合する技術・アプローチに対するベンチマーク

(i) 電圧トルク MRAM と STT-MRAM の比較、および競合チームとの比較

STT-MRAM の書き込み電力に関しては、試作実験レベルでは 2012 年の東芝発表値(100fJ/bit)以降、低減に関する進展は報告されておらず、市場に投入されている STT-MRAM の書き込みエネルギーは、この数十倍以上大きく数 pJ/bit~数十 pJ/bit と考えられる。一方電圧トルク MRAM に関しては当湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクトチームの報告も含めて約 5fJ/bit の書き込み電力が実測素子において実現されており、低電力化に対する優位性は既に確認済みでもあり、揺るがない。

電圧トルク MRAM の基礎技術開発/基盤研究に関しては、複数の研究機関より報告がなされている。一時 DARPA でも研究開発を推進していた UCLA の研究チームが最たる競合機関である (Inston 社は同チームのベンチャー企業)。ただし電圧効果および書き込みエラーレート(WER)特性のベストデータは、それぞれ 100fJ/Vm と 10^{-3} 程度であり、当チームに比べても低いもので、実用化からは程遠い。

(ii) VoCSM と STT-MRAM の比較

VoCSM と STT-MRAM のベンチマーク表を以下に示す。

	High-Speed VoCSM	High-Density VoCSM	STT-MRAM
Energy Consumption per bit	Very Good		Not good
	High efficiency & low resistance		-
Write Speed	Better		Good
	Acceleration by voltage		-
Read Speed	Good	OK	OK
	Differential reading	-	-
Low V_{DD} compatibility	Very Good	Not good	Not good
	$V_w \leq 0.1V$	$V_w \sim 0.5V$	$V_w \sim 0.5V$
WER(Write Error-Rate)	Good	Good	Good
	Deterministic writing	Deterministic writing	Deterministic writing
Read Disturbance	Very Good		Not good
	VCM-effect		2 terminals
Endurance	Very Good		Not good
	$> 1E+12$, I_w flows in metals with high-melting temperature		$1E+11$ - $1E+12$, I_w flows through thin tunnel-barrier
Design widow	Very Good	Good	Not good
	3 terminals with thick tunnel-barrier		2 terminals with thin tunnel-barrier
Foot print	Not good	Not good - good	Good
	4Tr-2MTJ	1.25Tr-1MTJ	1Tr-1MTJ
Maturity	Not good - good	Not good - good	Good
	Distribution in VCM	Must increase VCM	long developed

VoCSM では、二桁以上の書き込みエネルギー低減の可能性、先端 CMOS 世代での低 V_{DD} 対応性、Read Disturb 耐性、書き換え耐性を有する点で STT-MRAM を圧倒する。一方、セルサイズ(Foot print)に関しては、高速型 VoCSM は 4Tr-2MTJ でセルサイズが大きいものとなるが、キャッシュメモリとして使用する場合は大きな問題とはならない。一方、大容量型 VoCSM では 1.25Tr-1MTJ であるため STT-MRAM とほぼ同等である。

尚、VoCSM は本プロジェクトのオリジナル提案であるため、今のところ競合チームはない。VoCSM に関しては、高速型を中心に Startup Venture の本格的活動を早期に開始し、VoCSM 素子特性改善、ならびに VoCSM 集積回路チップ開発を推進の予定、他方高集積向けの大容量型につ

いては 10 年後の実用化を睨み VCMA 値の倍増等を中心にした MTJ 材料素子特性の底上げを Startup Venture、東芝メモリ、東京エレクトロン等の企業と産総研・NIMS とが一丸となって取り組む方向である。

【1000fJ/Vm 以上の電圧効果実現の難しさと実現への糸口についての補足説明】

電圧効果の物理機構の解明に取り組んだ阪大、JASRI Spring-8、産総研の実験グループと計算科学支援チームの東北大理論グループの研究成果により、界面磁気異方性の電圧変化の物理機構には、軌道モーメントの電圧変化による物理機構と磁気双極子モーメントの電圧変化による物理機構の 2 種類があり、それぞれは 1000fJ/Vm 以上の大きな電圧効果を示すが、残念ながらその符号は常に逆符号となり、トータルでは数百 fJ/Vm になってしまうことが判明した。したがって、再現性も含めて更なる精査が必要であるが、以下の論文にある格子歪も考慮した結晶磁気異方性の電圧変化についても今後実験と理論の両面から詰めて行く必要がある(図 19)。

Applied Physics Express 11, 053007 (2018) <https://doi.org/10.7567/APEX.11.053007>

Giant voltage-controlled magnetic anisotropy effect in a crystallographically strained CoFe system

Yushi Kato*, Hiroaki Yoda, Yoshiaki Saito†, Soichi Oikawa, Keiko Fujii, Masahiko Yoshiki, Katsuhiko Koi, Hideyuki Sugiyama, Mizue Ishikawa, Tomoaki Inokuchi, Naoharu Shimomura, Mariko Shimizu, Satoshi Shirotori, Buyandalai Altansargai, Yuichi Ohsawa, Kazutaka Ikegami, Ajay Tiwari, and Atsushi Kurobe
Corporate R&D Center, Toshiba Corporation, Kawasaki 212-8582, Japan

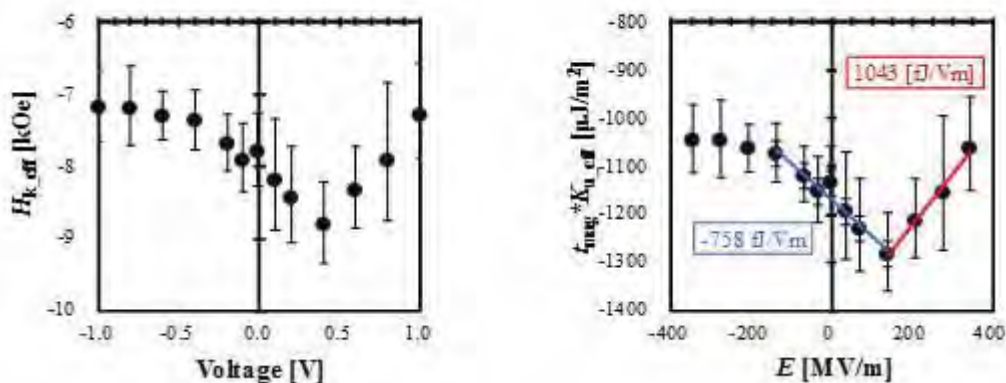


図 19 磁気異方性の巨大電圧効果 [Applied Physics Express 11, 053007 (2018)]

<獲得成果の革新性>

ImPACT プログラムでの電圧トルク MRAM 開発の取り組みにより垂直磁気異方性を打ち消す符号での巨大な VCMA 効率(320 fJ/Vm)と 10^{-6} 以下のエラー率を達成した。これはユニポーラ書込みを特徴とする電圧トルク MRAM の実用性検証に求められる要求仕様値を初めて実証した値であり、世界の競合チームに対してはるかに優位な革新性を示した(まだ磁場を必要とするが)。また、同時により実用的な電圧駆動 MRAM のアーキテクチャおよびスピンホール効果と電圧効果を併用する書込み方式を新たに盛り込んだ新概念メモリ VoCSM(Voltage Control Spintronics Memory)を考案し、大容量型(高密度型)および高速型のコンセプト実証に成功した。この VoCSM の開発成功により、1 ビット当たりの書込みエネルギーの究極の省電力化目標である 1fJ の実現可能性が世界で初めて示されるとともに、高速型ではパルス幅 5ns 以下、直近では 2ns の高速領域での高い書換え耐性(Endurance $>10^{13}$ 回)と 10^{-8} 以下の WER の実証に世界で初めて成功するなど、省電力エレクトロニクス分野に新たな道筋と革新性を示した。また、大容量型では DRAM に代わるロギングメモリへの応用展開に加えて、VCMA 値の向上と消費電力などのスケールアップを、高速型では、AI/Deep Learning 用アクセラレータに向けた高速混載 VoCSM の回路設計提案(インメモリ・コンピューティング)など、革新性に富んだ出口展開も併せて示された。加えて、CMOS ウェハ上へのエピタキシャル MTJ の 3 次元積層集積化プロセス技術の実証に成功し、磁気工学・スピントロニクス分野では初めての 3 次元積層を実現したことは、今後の高集積化・高密度化の開発において極めて革新的な成果を提示できたものと言える。

<獲得成果の独創性>

湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクト自身が独創的かつ挑戦的な研開発アプローチであり、材料素子開発、プロセス技術開発、デバイスアーキテクチャ・書込み/読出し方式、回路設計開発のどれをとっても独創的成果の塊である。なかでも、材料素子開発チームと計算科学支援チームが一丸となって取り組んだ VCMA 効率の増大を可能にした重元素ドーピングを用いた新材料探索の成果や材料素子開発チーム、回路設計開発チーム、計算科学支援チームが一丸となって取り組んだ、書込み安定性の向上に繋がった書込みパルスの高精度制御や独自の逆バイアス法を用いた書込み手法の開発などが特筆すべき独創的成果として挙げられる。また、いち早く垂直磁気異方性の電圧制御に着目して、スピンホール効果の書込み方式への組み込みと言った独創的なアプローチを提案し、その実現に向けて概念検証、機能実証へと歩を進めた VoCSM の研究開発は、デバイス開発の独創性において特筆に値する。加えて、地味ではあるが電圧効果の物理機構の解明は、Spring-8 において電圧効果のその場観察を可能とする測定装置の開発から始め、電圧磁気異方性変化の物理描像を符号の異なる 2 種類のエネルギー項(スピン軌道相互作用と電気四極子)の和になっていることを計算科学支援チームとの連携で明らかにするなど基礎研究分野において大きな功績を残した。また、本研究開発で構築した XMCD 測定システムでは、Spring-8 の既存装置の 10 倍以上の検出感度および測定精度向上を達成し、他国の放射光施設を凌駕する性能を実現したことも独創的研究として特筆に値する。これらの独創的研究成果はいずれもが、上記の革新性実証に繋がったものである。

(3) PM 直轄:新規 MRAM 開発のための計算科学支援チーム(H28 年度に公募で発足)

① 計算科学支援チーム構成

PI: 産総研 今村裕志研究チーム長、東北大通研 白井正文教授、京都工芸繊維大 三浦良雄准教授⇒NIMS、金沢大 小田竜樹教授、三重大 中村浩次准教授(当時)

- ・運用は産総研今村裕志研究チーム長に一任
- ・2ヶ月に1度の定例報告会を開催。各実験チームのメンバーも参加して連携協議。

② 計算科学支援チームの獲得成果及び目標達成への貢献度

産総研の今村裕志 PI チームは、実験チームと協力して電圧パルス波形制御によるスピンドYNAMICS制御について研究を行い、書込みエラー率 WER 特性の改善に成功した(図 20)。(左)に実験で得られた WER の立ち上がり時間(τ_{rise})・立ち下がり時間(τ_{fall})依存性を示す。立ち上がり時間を持つパルスでは常に WER を増大させるのに対し、立ち下がり時間を持つパルスでは WER が最小となる立ち下がり時間が存在することを明らかにした。

また、今村裕志 PI チームは、併せてマクロスピンモデルに基づいた数値シミュレーションを行ない、実験結果を再現することにも成功した[図 20(右)]。さらにスピンドYNAMICSを詳細に解析することにより、パルス電圧に適度な立ち下がり時間を設ける

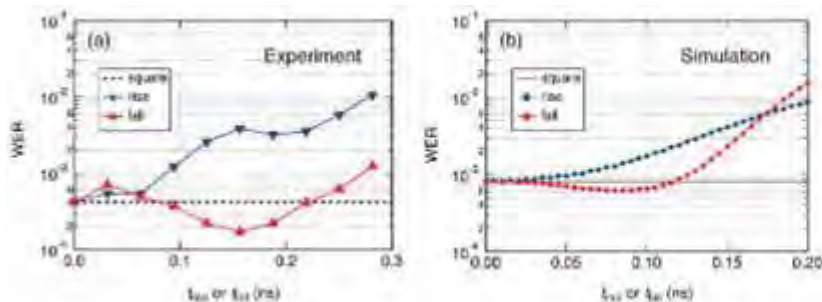


図 20(左)実験で得られた WER の立ち上がり時間(τ_{rise})・立ち下がり時間(τ_{fall})依存性。(右)数値シミュレーションによる再現。

ことで、歳差運動の終状態をエネルギー安定状態に近づけるように異方性磁界が働き、WER が減少することを見出した。これらの結果から、WER 特性を改善するためには、スピンの歳差運動終了時にエネルギー安定状態により近づけるようにパルス形状を設計すれば良いことが判った。

また、東北大通研の白井正文 PI チームは、阪大/Spring-8 他の実験グループと共同で MgO/Pt/Fe 界面の Pt における VCMA 効果の起源解明に成功した。XMCD 測定から磁気双極子モーメントの大きな電圧変調を示唆する結果が得られ、第一原理計算からも磁気双極子モーメントが電圧で変調されることが確かめられた。

これは、磁気双極子モーメントの変化が磁気異方性エネルギー MAE の電圧変調の起源となっていることを示した世界で初めての成果である。軌道磁気モーメントおよび磁気双極子モーメントと磁気異方性の電界変調の関係を明確にするために、スピン軌

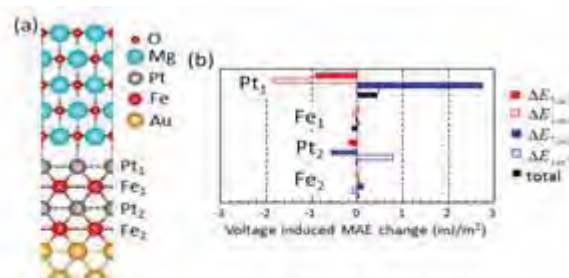


図21 (a) MgO/Pt/Fe 界面。 (b) スピン軌道相互作用の二次摂動項からの MAE への寄与。

道相互作用の二次摂動に基づいた理論解析を行った。Pt の巨大なスピン軌道相互作用を反映して、二次摂動のスピン保存項と反転項はそれぞれ 1000fJ/Vm を超える非常に大きな電圧効果を持つことが判った。しかしながら、図 21(b)に示すように両起因の符号は逆であり、効果の大部分が打ち消されていることが明らかとなった。次に、MgO/Fe 界面に挿入する 5d 遷移金属を Hf, Ta, W, Re, Os, Ir, Pt, Au と系統的に変えた場合についても検討を行ったところ、いずれの元素を挿入した場合でもスピン保存項と反転項の電圧効果は逆符号があった。ただし、Ir 単層を挿入した場合においては、スピン保存項の寄与が反転項の寄与に比べ 5 倍程度大きく、MgO/Fe に比べ 1 桁以上大きな VCMA が得られるとの結果が得られた。

(4) 平成 28 年度の経過措置後に退場となったプロジェクト

① プロジェクト名と体制

1) 電界効果スピントランジスタプロジェクト

PL:産総研 R.JansenPI/齊藤秀和研究チーム長、阪大 浜屋宏平 PI、東芝 斉藤好昭 PI(当時)、東北大 大兼幹彦 PI、東北大 新田淳作 PI、産総研 遠藤和彦 PI

2) 交差相関電圧書き込み磁気記録プロジェクト

PL:東北大 佐橋政司 PI⇒野崎友大 PI(当時)、阪大 白土優 PI、名工大 壬生攻 PI、産総研 今村裕志 PI、筑波大 喜多英治 PI、阪大 木村剛 PI、福島高専 小田洋平 PI

② その後の取り組み進捗、獲得成果及び目標達成への貢献度

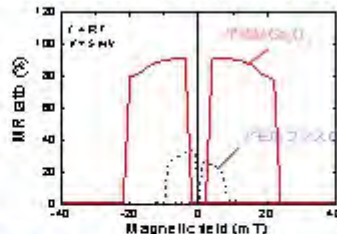
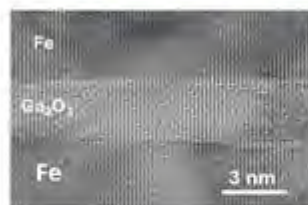
【電界効果スピントランジスタプロジェクト】

ImPACT 成果である半導体 Ga_2O_3 トンネル障壁層を有する全単結晶 MTJ 技術を用い、退場後の科研費による東大 田中・大矢研究室との共同研究で、これまでのノンローカル構造とは異なる縦型のスピン FET 構造を作製、ゲート電圧による出力電流変化率の大きい電流変調を室温で観測することに成功し、スピン FET 研究の進展に新たな道筋を拓いた。

途中退場の電界効果スピントランジスタプロジェクトの研究成果の紹介
産総研 スピントロニクス研究センター

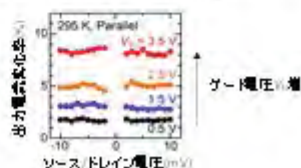
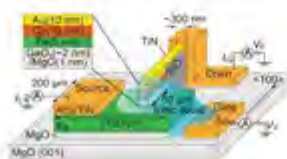
半導体 Ga_2O_3 トンネル障壁層を有する全単結晶 MTJ を実現

N. Matsuo et al. Phys. Rev. Appl. 6, 034011 (2016)



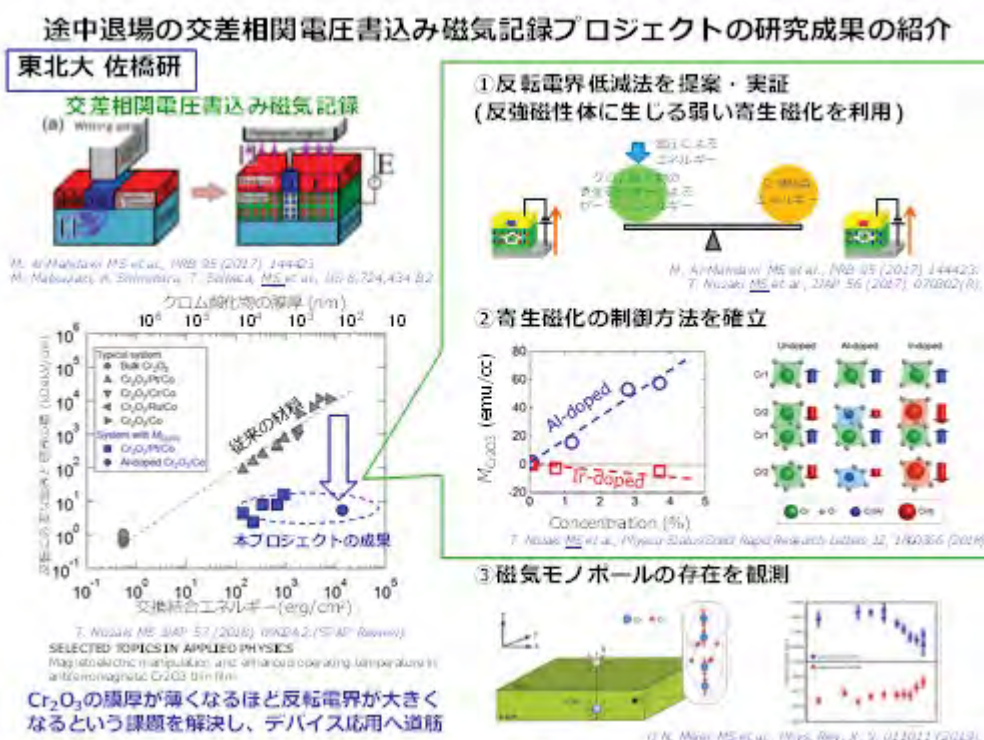
(その後) 縦型スピン FET 構造作製、ゲートによる電流変調に室温で成功

(東大田中・大矢研究室との共同研究)



【交差相関電圧書き込み磁気記録プロジェクト】

薄膜でも電気磁気効果を発現することを世界で初めて示すことに成功した ImPACT 成果をもとに、退場後 TDK 株式会社との共同研究で、Al ドープの Cr_2O_3 反強磁性体の電気磁気効果と 1V 以下の低電圧駆動による反強磁性スピンの反転可能性に取組み、反強磁性体に生じる弱い寄生磁化を利用した磁化反転電圧(電界)低減法を提案し、実証するとともに、寄生磁化の制御方法を確立した[65]。また、スイス連邦工科大学チューリッヒ校(ETH)の Spaldin 教授の研究室との共同研究で、線形電気磁気効果を示す Cr_2O_3 薄膜を用い、理論解析に基づき Dirac が予測していた疑似的磁気モノポールのミュオンによる観測に成功した[66]。これは、世界で初めてである。



3. 研究開発プログラムの全体成果

(1) 目標達成の状況 (目標達成できた場合の要因分析、目標達成が困難となった場合の原因分析も記載)

IoT 時代の超省電力フォグ/エッジコンピューティングの実現を目指してエネルギーハーベスティング供給電力を下回る低電力と高速処理性能を持つ省電力マイコンの実現に取り組ん

「大野社会実装分科会/スピントロニクス集積回路プロジェクト」においては、**SOT-MRAM の可能性探索**において、世界に先駆けてスピン軌道トルク(SOT)高速磁化反転を実験検証し、500ピコ秒の高速磁化反転を妥当な電流密度で実現することに成功した。この成功は理論からは予測されていた SOT の高速磁化反転を実験で見事に示したもののあり、本 ImPACT プログラムを始めるに当たって最も気がかりであった SOT をいち早くプログラムの柱の一つに組みことが出来たことは今となっては大きいことである。このような PM としての思いもあり、大野分科

会の予算を増額して SOT を研究開発ロードマップに組み込み、『SOT-MRAM の機能実証』を追加することにした。これが出来たのは、東北大の大野英男教授のグループが FIRST のときに、3 端子素子の利点が活かせる磁壁移動型のスピン移行トルクの 3 端子素子の研究を行っていたことが、横展開とその洞察に長けた結果を産んだ最大の要因と考えられる。ここで SOT の基礎研究の成果は、本分野の研究に火をつけるなど科学技術の進展にも大きく貢献する成果となっている(Nature Nanotechnology, Nature Material などに掲載)。

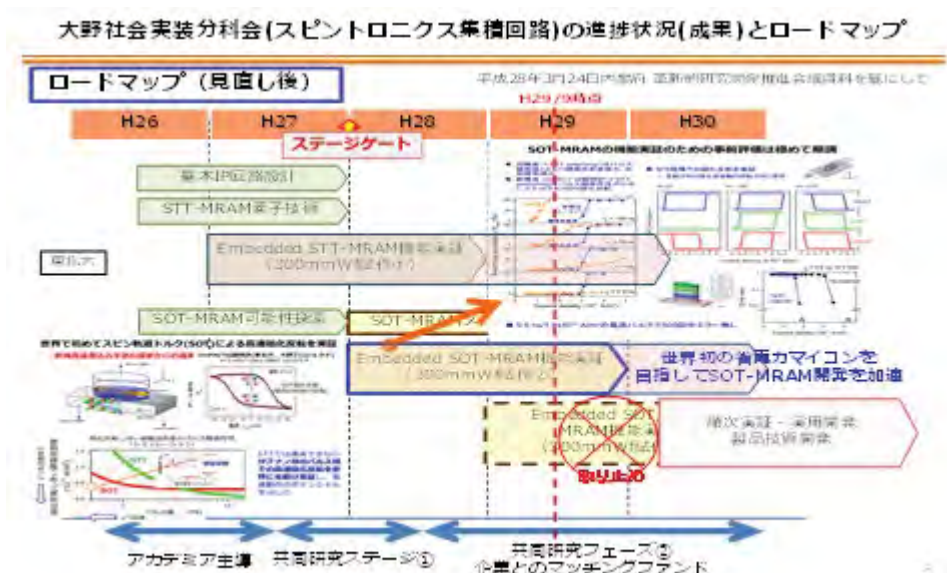
しかしながら、集積回路上での SOT 素子の高速磁化反転を検証する SOT-MRAM の機能実証試作については、ウェハの開発試作にはつきものであるが、先行して開発試作を進めていた『300mmCMOS ウェハでの STT-MRAM 混載マイコンの機能実証試作』が、チップ設計やマスク設計そのものは、Logic in Memory 設計の不揮発性 FPGA やパワーゲーティングの細粒化など順調に進展していたもののマスク作製と CMOS 試作に大幅な遅れが生じたのに加えて、産総研 TIA での後工程装置の度重なるトラブルなどのため、300mmCMOS ウェハでの STT-MRAM 混載マイコンの機能実証試作チップの評価が最終年度にずれ込み、SOT-MRAM の集積回路上での高速動作の実証は残念ながら最終年度末での評価となってしまった。極めて残念である。今回は幸いにして免れたが、やはりしっかりした試作場がないと世界の研究開発競争には遅れを取る可能性大である。

したがって、達成目標を以下の 2 点としその成果をもとに、結果としては ImPACT の研究開発期間を跨ぐことになるが、関与する外部機関(ルネサスエレクトロニクス)との共同研究を通して成果をアピール、Embedded SOT/STT MRAM ハイブリッドマイコンの実用化を世界に先駆けて目指す方向に研究開発ロードマップを見直した(図 22 を参照)。

- 1) STT-MRAM 混載マイコンの機能実証試作による世界初の Logic in Memory 設計によるエネルギーハーベスティング電力供給で駆動が可能な超省電力マイコンの開発と実用化への橋渡しを行なう。
- 2) サブナノ秒の高速動作を可能とする SOT-MRAM については、世界の先陣を切ったの機能実証試作評価を経ての集積回路上での高速動作の検証とその Logic in Memory 設計への展開を図る。

1) については、超省電力マイコンの機能実証が最終年度ということになってしまったが、最大動作周波数 200MHz で平均消費電力 $47.17\mu\text{W}$ 以下の動作を可能とする STT-MTJ ベース不揮発 MCU の開発に成功した。この成果は、これまでの不揮発性メモリを用いて開発されて来た MCU と比べ、2 倍以上の演算性能の向上と 2 桁以上の低消費電力化を同時に実現するもので、既存のシリコンテクノロジーが抱えていた演算性能と低消費電力のトレードオフを 2 桁以上のインパクトで解決するものである。この成果の新規性・革新性が評価され ISSCC に採択されて報告[18]、およびプレスリリースを行なった。本研究で実証した高性能・超低消費電力 MTJ ベース不揮発性 MCU は、IoT センサノードで必要とされる演算性能を維持しながら、エネルギーハーベスティングでの駆動が期待される。このエネルギーハーベスティングで駆動する不揮発性マイコン技術は、ICT 社会基盤のパラダイムシフトをもたらし、

本分科会の研究開発責任者である東北大の遠藤哲郎教授のグループは、内閣府が進める「戦略的イノベーション創造プログラム(SIP)第2期/フィジカル空間デジタルデータ処理基盤」(管理法人:NEDO)の「超低消費電力 MTJ/CMOS Hybrid IoT デバイス基盤技術の研究開発」に採択され、今回の成果と合わせて、引き続き Society5.0 の実現に貢献して行きます。



一方、SRAM 並みの高速動作と超省電力書込みが可能な究極の不揮発性メモリの開発による「無充電で長期間使用可能なモバイル IT 機器の実現」に取り組む「湯浅先端技術開発/電圧駆動型 MRAM 開発タスクフォースプロジェクト」は、極めて研究開発リスクの高い「日本発の基礎研究成果である電圧による磁化の反転制御の実用化」と言った課題に挑むものであるが、実現の鍵は究極の超省電力駆動(1 ビット書込みに必要なエネルギーが 1 フェムトジュール以下)の高速書込みが可能な不揮発性メモリを新たに創製するもので、そのインパクトは電界効果トランジスタに匹敵するものである。

56

電圧効果のその場観測とその解析チームと産総研の材料素子開発チームの連携が極めて上手く運び、目標達成に繋げた成功例である。また、併せて計算科学支援チームの理論計算から、界面の電圧効果には2種類の機構が関与しており、その符号は常に逆となり、界面にスピン軌道相互作用の大きい重金属を挿入する方法では、1000 fJ/Vmを超える電圧効果を、その差として得ることは難しく、今後更なる精査が必要であるが、東芝の研究グループが、米国のカリフォルニア州立大学ナリッジ校の Kioussis 教授と進めて来た結晶磁気異方性の格子ひずみ効果を使う方法も検討して行く必要があるとの知見を得ることが出来た。

予想していたことではあるが、材料素子開発を基軸とした研究開発ロードマップは、目標達成に繋げるマネジメントが極めて難しいことが早々と判明したことから、電圧駆動 MRAM の成立性が明らかになったことから、H28 年度以降はデバイス開発を基軸にした研究開発ロードマップへと体制を大幅に変えて研究開発に取り組んだ(図 23 参照)。その結果、電圧トルク高速磁化反転の物理に基づく電圧駆動回路の開発や磁気異方性の電圧制御を利用した新たなアーキテクチャ、素子構造の提案と書き込み方式の提案が矢継ぎ早になされ、総称して VoCSM: Voltage Control Spintronic Memory と名付けた新概念メモリのコンセプト検証に成功することが出来た。これは、理論計算より必要とされる電圧効果の範囲は目標として掲げていたものの、ひたすら材料素子の研究ばかりに取り組んでいたら成し得なかったことである。これらの成果を受けて、当初は日本発の基礎研究成果を基に「日本発の次世代の究極の超省電力メモリ」の基盤技術の構築を達成目標に掲げていたが、思い切って予算を増額して選択的雙方向制御を含む電圧駆動 MRAM 集積回路設計開発の完了とそのメモリ/ストレージへの展開に変更した(図 23)。これにより、高精度エッチングエンド制御技術を適用することでスピホール電極厚が 5 nm の素子を加工することに成功し、記録電流の閾値(I_c)として世界最小の 37 μ A を記録することに成功するなど着々と集積化の準備を進めることが出来た。加えて、単体の素子レベルではあるがパルス幅 5ns、直近では 2ns(書き込み電流が大きくなる)にて 10^{13} 回以上の書き換え耐性を世界で初めて実験検証し、VoCSM の高い信頼性を実証するに至った。集積回路チップ試作に向けて進めて来た特性バラツキの評価についても着実に進展し、電圧効果(VCMA)および臨界反転電流 I_c のバラツキをそれぞれ抑えることにも成功した。VoCSM、特に高速型は、大容量キャッシュメモリへの適用や SoC への横展開など波及効果も大きいことから、現時点から大規模な新規展開の検討を急ぐ必要があり、現在出口戦略を Startup Venture への展開も含めて鋭意策定中である。いずれにしても即断即決は譲れない基本方針である。

湯浅先端技術開発分科会（電圧駆動MRAM）の進捗状況(成果)とロードマップ

ロードマップ（統合・再編・見直し後）

平成 28 年 3 月 24 日推進会議資料に基づいて

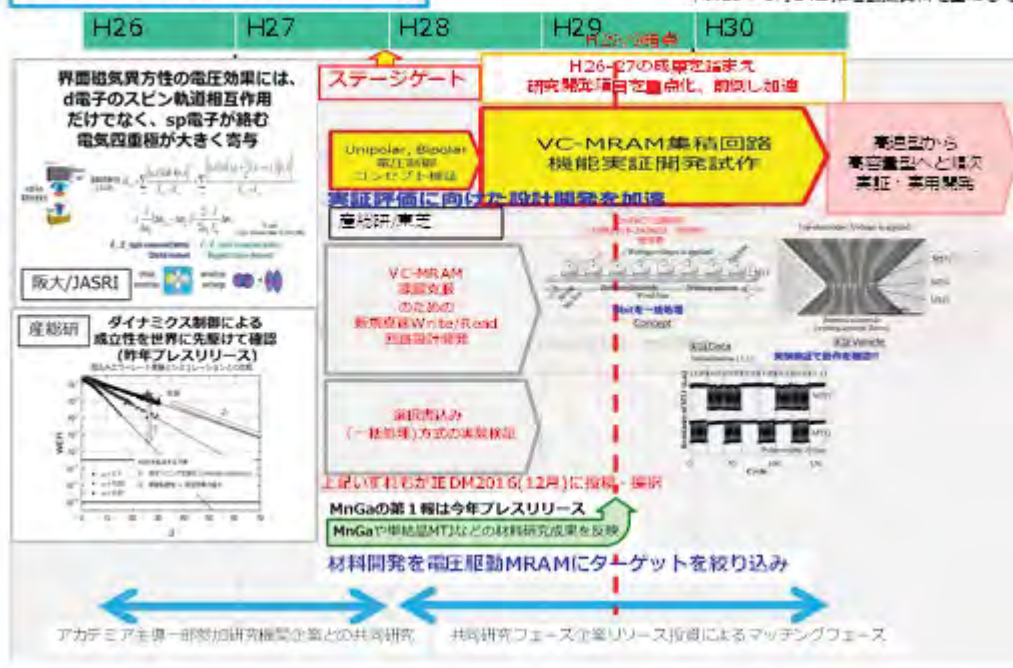


図 23 湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォース
プロジェクトの研究開発ロードマップ

(2) 参考指標

① 民間企業等とのマッチング及び橋渡しの状況

	目標値	26年度	27年度	28年度	29年度	30年度
企業の研究者数	35	30	30	40	40	45
協力企業数 ※	6	4	4	3	3	5

※ 研究開発に参画する企業だけでなく、研究成果の展開に意欲を示し、ImPACT で得た機密情報を開示する秘密保持契約等を具体的に結んだ企業の数

② 論文

	目標値	26年度	27年度	28年度	29年度	30年度
全 体 数	250 以上	3	61	74	68	44
うち IP ファクター 10 以上	10 以上	0	4	0	4	3

William Borders, Ahmed Pervaiz, Shunsuke Fukami, Kerem Camsari, Hideo Ohno, Supriyo Datta (Tohoku University, Purdue University), “Integer factorization using stochastic magnetic tunnel junctions”, Nature submitted (2019)が現在投稿中であるが、掲載済みの Impact Factor 10 相当以上の学術論文誌は以下の表 1 の通りである。

表1 Impact Factor 10 相当以上の学術論文誌への掲載
Impact Factor 10相当以上の学術論文誌への掲載

※寄稿：大野分科会/プロジェクト
※寄稿：海分科会/プロジェクト
※寄稿：海分科会以外のプロジェクト

西書名	タイトル	掲載誌	IF	Vol No pp	掲載日
1 S. Dutta Gupta, S. Fukami, C. Zhang, H. Sato, M. Yamanouchi, F. Matsukura, and H. Ohno	Adiabatic spin transfer torque induced domain wall creep in a magnetic metal	Nature Physics	18.791	12, pages 333-338 (2018)	2018/12/14
2 S. Fukami, C. Zhang, S. Dutta Gupta, A. Kurenkov, and H. Ohno	Magnetization switching by spin-orbit torque in an antiferromagnet/ferromagnet bilayer system	Nature Materials	18.891	15, pages 335-341 (2018)	2018/02/15
3 Z. Wang, M. Saito, K. P. McKenna, S. Fukami, H. Sato, S. Ikeda, H. Ohno, and Y. Ikuhara	Atomic-Scale Structure and Local Chemistry of CoFeB-MgO Magnetic Tunnel Junctions	Nano Letters	13.779	11, pages 2211-2225 (2018)	2018/02/23
4 S. Fukami, T. Anzawa, C. Zhang, and H. Ohno	A Spin-orbit torque switching scheme with collinear magnetic easy axis and current configuration	Nature Nanotech	13.287	11, pages 2211-2225 (2018)	2018/03/21
5 S. Miwa, M. Suzuki, M. Tawfikawa, K. Matsuda, T. Nozaki, K. Tanaka, T. Tawfikahara, K. Nawasaka, M. Goto, Y. Katani, T. Ohkubo, P. Bonell, E. Tamura, K. Hono, T. Nakamura, M. Shirai, S. Yuasa, and Y. Suzuki	Voltage controlled interfacial magnetism through platinum orbits	Nature Commun.	12.124	8, Article number: 15848 (2017)	23 June 2017
6 S. Miwa, J. Fujimoto, P. Rius, K. Nawasaka, M. Goto, and Y. Suzuki	Strong bias effect on voltage-driven torque at epitaxial Fe/MgO interface	Physical Review X	14.385	7, 031018, 2017	2017/07/26
7 Takayuki Nozaki, Anna Kozal-Rachwal, Masahito Tawfikawa, Yoichi Shiota, Xiandong Xu, Takakazu Ohkubo, Takuya Tawfikahara, Shingji Miwa, Masahiro Suzuki, Shingo Tamura, Hitoshi Kubota, Akio Fukuhara, Kazuhiko Hono, Masafumi Shirai, Yoshihige Suzuki and Shingji Yuasa	Highly efficient voltage control of spin and enhanced interfacial perpendicular magnetic anisotropy in iridium-doped Fe/MgO magnetic tunnel junctions	NPG Asia Materials	7.208	Vol. 9, e451 October 5, 2017	2017/12/5
8 K. Watanabe, S. Jinai, S. Fukami, H. Sato, and H. Ohno	Shape anisotropy revisited in single-digit nanometer magnetic tunnel junctions	Nature Commun.	12.124	Vol. 9, 683, February 14, 2018	2018/02/14
9 Kazuya Z. Suzuki, Shojiro Kimura, Hitoshi Kubota, and Shigemi Mizukami	Magnetic tunnel junctions with a nearly zero moment magnetic nanolayer with perpendicular magnetic anisotropy	ACS Applied Materials & Interface	8.097	10 (30), pp 43305-43310, 2018	2018/12/5
10 Minoru Goto, Yasuaki Wakatake, Uguumainachi Kaku Gji, Shingji Miwa, Nikita Strelkov, Bernard Dieny, Hitoshi Kubota, Kay Yakushiji, Akio Fukuhara, Shingji Yuasa and Yoshihige Suzuki	Microwave amplification in a magnetic tunnel junction induced by heat-to-spin conversion at the nanoscale	Nature Nanotech	13.287	DOI: 10.1038/s41565-018-0308-2	2018/11/26 (表紙掲載) オンライン掲載 2019/1/4
11 Q. N. Meier, M. Pechner, T. Nozaki, M. Schaefer, Z. Salmeron, T. Prokachev, A. Suter, P. Schottmann, M. Lilienblum, P. Borisev, I. E. Dzyaloshinskii, M. Pichig, H. Luetkens, and N. A. Spaldin	Search for the magnetic monopole at a magnetoelectric surface	Physical Review X	14.385	9, 011011 (2019)	2019/01/16

③ 学会発表

	目標値	26年度	27年度	28年度	29年度	30年度
全体数	1150 以上	56	292	315	304	198
学会賞等の受賞数		6	15	15	13	10

④ 国際学会における招待講演

	目標値	26年度	27年度	28年度	29年度	30年度
全体数	200 以上	15	66	68	66	48

⑤ 特許出願件数

	目標値	26年度	27年度	28年度	29年度	30年度
国内	—	2	20	38	35	19
海外	—	1	2	33	35	21
合計	100 以上	3	22	71	70	40

⑥ 知財・標準化等の取組状況

H28 年度より、日向寺国際特許事務所の日向寺代表弁理士、英知国際特許事務所の岩崎代表弁理士にも参加頂き、それぞれ両分科会の研究者の特許出願の相談にも乗って頂く形で知的財産戦略委員会を、アドバイザーリーボード会議と日程を合わせる形で 2～3 か月に一度の頻度で開催し、特許出願・登録の推進を図った。ここで活性化を図った ImPACT プログラム知財の発明者が Startup Venture を設立、ImPACT 発の新概念メモリの実用化へと一歩踏み出した。

⑦ アウトリーチ等の状況

	目標値	26年度	27年度	28年度	29年度	30年度
アウトリーチ回数	100 以上	9	56	54	10	8
新聞、TV等の報道数		8	52	47	48	8

表2 佐橋プログラム プレスリリース一覧 内閣府、JSTとの共同発表

2015.12.10	産総研	電圧書き込み方式不揮発性メモリの安定動作の実証と書き込みエラー率評価
2016.02.16	東北大学	反強磁性体の新しい物性や応用を開拓～スピン・軌道相互作用を用いた磁化の制御に成功～
2016.03.22	東北大学	新結晶構造メモリ素子を開発～スピン軌道トルク磁化反転の第3の方式の動作を実証～
2016.07.28	東北大学、南山大学、立教工業大学	マンガン系合金ナノ薄膜を用いたMRAM記憶素子の開発に成功 ～大容量の不揮発性磁気抵抗メモリ(MRAM)の開発に寄与～
2016.09.20	産総研	世界最高性能の半導体系トンネル磁気抵抗素子を開発 ～消費電力ゼロのトランジスタ実装へ道を拓く～
2016.12.04	京大、産総研	不揮発性磁気メモリのための新たな電圧駆動書き込み方式を開発 ～超低消費電力・高速メモリ「電圧トルクMRAM」の実現に貢献～
2016.12.04	京大	電圧制御磁化反転を使った不揮発性磁気メモリに新たな書き込み方式を提案 ～実際の消費電力・大容量メモリの実現を目指して、書き込み効率の大幅改善を実証～
2017.2.28	産総研	不揮発性磁気メモリ-MRAMのための高性能多面膜を開発 ～大容量MRAMの開発を加速～
2017.5.16	産総研	不揮発性磁気メモリ-MRAMの3次元積層プロセスを開発～新世代半導体MRAM製造の可能性～
2017.8.1	東北大学	反強磁性体スピンの反転に必要な電圧を大幅低減 ～交換結合ヘテロ構造電圧書き込み磁気記憶デバイスに近接～
2017.8.23	大阪大学、東北大学、産総研	原子の動きを捉えて超高速磁気メモリ 大分子動力学シミュレーションで電圧磁気効果の原理を解明～
2017.7.12	産総研	電圧書き込み方式不揮発性メモリの書き込みエラー率を飛躍的に低減 ～超低消費電力な電圧書き込み型MRAMの開発を加速～
2017.12.1	産総研	高効率な電圧スピン制御を実現する新材料を開発 ～超低電力な電圧トルクMRAMの実用化に貢献～
2018.2.14	東北大学	磁気トンネル結合素子、半導体の超ナノメートル領域で動作実現 ～超大容量・低消費電力・高性能不揮発性メモリの実現に貢献～
2018.10.12	東北大学、兵庫県立科学研究所	クロム酸化物反応磁性体薄膜の強弱磁化を自在に制御する技術を開発 ～従来不可能だった超ナノメートル厚の反強磁性スピンの安定反転も視野に～
2018.12.3	大阪大学、産総研	熱による高速・高効率な磁化制御 ～MRAMとAIハードウェアの低消費電力化の実現に向けて～
2018.12.7	東北大学	磁気のない金属からナノ薄膜磁石を作ることに成功 ～超高集積不揮発性磁気メモリを実現するための材料開発に新しい視点～
2018.2.19	東北大学	スピントロニクス集積回路技術を用いて、高性能(動作周波数 200MHz)と超低消費電力(平均電力 50μW以下)を両立する不揮発マイコンを世界で初めて実証

⑧ その他特筆すべき取り組み

特筆すべき活動、表彰・受賞など

【特筆すべき活動】

- 1) H27 年度末に実施したステージゲートまでは、アドバイザーリーボード会議のメンバの先生方と PM を審査員とする研究開発進捗審査会を五つのプロジェクト単位で実施。1 年前倒しで実施したステージゲート後の H28 年度以降は統廃合した 2 つのプロジェクトを対象に予算査定委員会を実施して研究開発進捗と予算執行のリンクを張った。

一年前倒して実施したステージゲートは、予想以上に進展が著しい IoT/AI の進捗と大きな社会変革の波の到来を予測し、いち早く社会実装へとつなげるべく日本が世界と戦える分野として、社会を変える情報インフラ機器の革新、特にエッジに注力することを念頭に置き、各プロジェクトの研究進捗および新たに柱の一つに組み込むスピン軌道トルク (SOT) への予算確保を踏まえて、大野社会実装分科会/スピントロニクス集積回路プロジェクトへの予算の傾斜配分と電圧駆動 MRAM の開発強化策としてのプロジェクトの統廃合 (湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクトの発足) を実施した。基礎技術開発に ImPACT 期間以上の時間を要すると判断したスピン FET と交差相関電圧書き込みは、退場プロジェクトとして一年の経過措置を設定後終了とした。この判断には、かなり悩んだが今となっては良かったと考える。

- 2) 出口戦略の策定を重視した分科会体制を敷き、大野、湯浅の各分科会に 1 つの重点化したプロジェクトを置き、2~3 か月に一度の頻度で企業も参画した分科会運営会議・研究開発推進会議を実施、進捗状況の把握と今後の展開について都度討議、出口重視の進捗状況管理に努めた。また併せてアドバイザリーボード会議メンバの先生方とサイトビジットも適時行なった。
- 3) ImPACT 開始 2 年後の H27 年度より 3 年続けて、東京、つくば、仙台の順で Spintronic Memory, Circuit and Storage に関する ImPACT 国際会議を開催し、毎回 10 名以上の海外の本分野の中心研究者を招き、毎回海外からの技術者/研究者も含めて 200 名を超える参加者が会議に出席、活発な議論を展開した。また、毎年優秀ポスター発表者を表彰し、研究に敬意を払った。H30 年度は最終年度ということで公開の成果報告会に切り替えて、H30 年 6 月と H31 年 3 月に実施。H31 年の最終の報告会では、貢献度の大きい若手研究者を中心に、感謝状の贈呈を行なった。

これまでに授賞した優秀ポスター発表者は以下の通りです。

第 1 回(H27 年)

① Takayuki Nozaki

National Institute of Advanced Industrial Science and Technology

“Material design for voltage-induced magnetic anisotropy change and its application on dynamic magnetization switching”

第 2 回(H28 年)

② C.Zhang,S.Fukami,H.Sato,F.Matsukura,and H.Ohno

Tohoku Univrsity

“Spin-orbit torque induced manetization switching in nano-scale Ta/CoFeB/MgO dots

③ Jiamin Chen^{1,2},J.Liu²,Y.Sakuraba²,H.Sukegawa²,S.Li²,and K.Hono^{2,1}

¹University of Tsukuba,²National Institute for Materials Science

“Realization of high quality epitaxial current-perpendicular-to-plane giant magnetoresistive pseudo spin-valves on Si(001)wafer using NiAl buffer layer”

第3回(H29年)

① D.Suzuki, and T.Hanyu

Tohoku University

“Design of Multi-Functional MTJ-Based FPGA for an Ultra-Low-Power Microcontroller Unit”

② Q.Xiang^{1,2}, H.Sukegawa¹, M.Al-Mahdawi¹, M.Belmoubarik¹, S.Kanai¹, Y.Sakuraba¹, S.Mitani^{1,2}, K.Hono^{1,2}

¹National Institute for Materials Science, ²University of Tsukuba

“Voltage control of perpendicular magnetic anisotropy in Fe/MgAl₂O₄ heterostructures: significant effect of the Fe atomic layer numbers”

③ A.K.Shukla¹, M.Goto^{1,2}, K.Nawaoka¹, J.Suwardy¹, S.Miwa¹, Y.Suzuki^{1,2}

¹Osaka University, ²Centers for Spintronics Research Network (CSRN)

“Electric field effect on magnetic anisotropy at Fe_{1-x}Co_xPd/MgO interface”

最終の公開報告会となった H31 年 3 月 4 日開催の公開総括成果報告会(JST 東京本部にて開催)においては、以下の 7 名の先生方に感謝状を贈呈した。

東北大学 電気通信研究所 深見俊輔准教授

東北大学 電気通信研究所 夏井雅典准教授

株式会社 東芝 研究開発センター 與田博明氏

産業技術総合研究所 野崎隆行氏

東京大学 物性研究所 (元大阪大学 大学院・基礎工学研究科) 三輪真嗣准教授

東北大学 電気通信研究所 辻川雅人助教

産業技術総合研究所 薬師寺啓氏

- 4) 出口展開で重要となるコンピュータの変革を捉えた「先進不揮発性半導体応用展開勉強会」を電子情報技術産業協会 JEITA の後援・協力のもとに進め、著名なコンピュータ関係、全自動運転関係等の大学/企業の先生方に講演を頂き、議論する形で進めた。メンバは座長の PM をはじめ、中村宏東大教授、竹内健中央大教授、藤田忍東芝技監、羽生貴弘東北大教授、湯浅新治産総研センター長、川上景一 JEITA 常務理事、その他 PM 補佐が参加。

【表彰・受賞関係】

平成 27 年度科学技術分野の文部科学大臣表彰・科学技術賞，

羽生貴弘，2015 年 4 月 15 日．

平成 27 年度科学技術分野の文部科学大臣表彰・若手科学者賞，

深見俊輔，2015 年 5 月 7 日

平成 28 年度科学技術分野の文部科学大臣表彰・若手科学者賞，

佐藤英夫，2016 年 4 月 20 日
第 14 回産学官連携功労者表彰 内閣総理大臣賞，遠藤哲郎，
2016 年 8 月 26 日
第 13 回江崎玲於奈賞，大野英男，2016 年 11 月 22 日
2016 年度 C&C 賞，大野英男，2016 年 11 月 30 日
東北大学総長特別賞，遠藤哲郎，2017 年 3 月 24 日
平成 29 年度科学技術分野の文部科学大臣表彰
(科学技術賞 開発部門)，大野英男，2017 年 4 月 19 日
IEEE Fellow，大野英男，2018 年 1 月 1 日
日本磁気学会・優秀研究賞，深見俊輔，2018 年 9 月 12 日
鈴木義茂 日本磁気学会 2014 業績賞 2014 年 9 月
三輪真嗣 第 31 回井上研究奨励賞(共同受賞 2 名) 2014 年 12 月
井上研究奨励賞 塩田陽一 2015 年 2 月 4 日
船井学術賞 野崎隆行 2015 年 4 月 18 日
三輪真嗣 第 14 回(平成 26 度)船井研究奨励賞 2015 年 4 月 18 日
日本磁気学会 業績賞 湯浅新治 2015 年 9 月 9 日
つくば奨励賞(若手研究者部門) 野崎隆行 2015 年 11 月 24 日
文部科学大臣表彰 科学技術賞(研究部門)湯浅新治 2016 年 4 月 20 日
船井研究奨励賞 塩田陽一 2016 年 4 月 23 日
第 27 回(平成 28 年)つくば賞『ナノ構造制御による先進磁性材料の開発』
宝野和博 2016 年 11 月 22 日
丸文研究奨励賞 野崎隆行 2018 年 3 月 7 日
市村学術賞貢献賞 野崎隆行、塩田陽一、三輪真嗣 2018 年 4 月 16 日

全体に亘っての参照論文

[1]

H. Honjo, H. Sato, S. Ikeda, S. Sato, T. Watanebe, S. Miura, T. Nasuno, Y. Noguchi, M. Yasuhira, T. Tanigawa, H. Koike, M. Muraguchi, M. Niwa, K. Ito, H. Ohno and T. Endoh, **“10 nmf perpendicular-anisotropy CoFeB-MgO magnetic tunnel junction with over 400°C high thermal tolerance by boron diffusion control”**, in 2015 Symposium on VLSI Technology, Dig.Tech.Papers,2015,pp.T160-T161. (DOI:10.1109/VLSIT.2015.7223661)

[2]

T. Endoh, H. Koike, S. Ikeda, T. Hanyu, and H. Ohno, **"An Overview of Nonvolatile Emerging Memories –Spintronics for Working Memories–"**, IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS), Vol. 6, No.2, pp. 109-119, 2016/6/9. (DOI:10.1109/JETCAS.2016.2547704)

[3]

H. Sato, S. Ikeda, and H. Ohno, **“Magnetic tunnel junctions with perpendicular easy axis at junction diameter of less than 20nm”**, Japanese Journal of Applied Physics, Vol. 56, 0802A6, 2017/7/24. (10.7567/JJAP.56.0802A6)

[4]

M. Bersweiller, K. Watanabe, H. Sato, F. Matsukura, and H. Ohno, **“Magnetic properties of FeV/MgO-based structures”**, Applied Physics Express, Vol. 10, 083001, 2017/07/13. (10.7567/APEX.10.083001)

[5]

M. Bersweiller, H. Sato, and H. Ohno, **“Magnetic and Free-Layer Properties of MgO/(Co) FeB/MgO Structures: Dependence on CoFeB Composition”**, IEEE Magnetics Letters, vol.8, 3109003, 2017/9/4. (DOI:10.1109/LMAG.2017.2748929)

[6]

S. Fukami and H. Ohno, **“Magnetization switching schemes for nanoscale three-terminal spintronics devices”**, Japanese Journal of Applied Physics, Vol. 56, 0802A1,2017/06/01. (DOI:10.7567/JJAP.56.0802A1)

[7]

S. Fukami, C. Zhang, S. DuttaGupta, A. Kurenkov, and H. Ohno, **"Magnetization switching by spin-orbit torque in an antiferromagnet/ferromagnet bilayer system"**, Nature Materials, 2016 (DOI:10.1038/NMAT4566)

[8]

A. Kurenkov, C. Zhang, S. DuttaGupta, S. Fukami, and H. Ohno, **"Device-size dependence of field-free spin-orbit torque induced magnetization switching in antiferromagnet /ferromagnet structures"**, Applied Physics Letters, Vol. 110, 092410, 2017/03/01. (10.1063/1.4977838)

[9]

S. Fukami, T. Anekawa, C. Zhang, and H. Ohno, "**A Spin-orbit torque switching scheme with collinear magnetic easy axis and current configuration**", Nature Nanotechnology, 2016. (DOI:10.1038/NNANO.2016.29)

[10]

S. Fukami, T. Anekawa, A. Ohkawara, C. Zhang, and H. Ohno, "**A sub-ns three-terminal spin-orbit torque induced switching device**", 2016 Symposium on VLSI Technology Digest of Technical Papers, T06-5, 2016(DOI: 10.1109/VLSIT.2016.7573379)

[11]

C. Zhang, Y. Takeuchi, Y. Takahashi, S. Fukami, and H. Ohno, "**Sub-ns and low-power magnetization switching by combination of spin-orbit torque and spin-transfer torque**", presented at Joint MMM/Intermag 2019, FB-06

[12]

C. Zhang, S. Fukami, K. Watanabe, A. Ohkawara, S. DuttaGupta, H. Sato, F. Matsukura, and H. Ohno, "**Critical role of W deposition condition on spin-orbit torque induced magnetization switching in nanoscale W/CoFeB/MgO**", Applied Physics Letters, Vol. 109, 192405, 2016/11/8. (DOI:10.1063/1.4967475)

[13]

Y. Takeuchi, K. Furuya, Y. Takahashi, C. Zhang, A. Okada, B. Jinnai, H. Sato, S. Fukami, and H. Ohno, "**Spin-orbit torque in W/CoFeB/MgO heterostructures Wide-range W resistivity dependence.**", presented at ICM2018, F13-02

[14]

T. Hanyu, T. Endoh, D. Suzuki, H. Koike, N. Onizawa, M. Natsui, S. Ikeda, and H. Ohno, "**Standby-Power-Free Integrated Circuits Using MTJ-Based VLSI Computing**", Proceeding of the IEEE, Vol.104, 1844, 2016/09/7. (10.1109/JPROC.2016.2574939)

[15]

M. Natsui, A. Tamakoshi, T. Endoh, H. Ohno, and T. Hanyu, "**Fabrication of an MTJ-Based Nonvolatile Logic-in-Memory LSI with Content-Aware Write Error Masking Scheme Achieving 92% Storage Capacity and 79% Power Reduction**", Japanese Journal of Applied Physics, vol. 56, No. 4S, 04CN01, 2017/2/16. (DOI:10.7567/JJAP.56.04CN01)

[16]

D. Suzuki and T. Hanyu, "**A Self-Terminated One-Phase Write Driver for Complementary-MTJ Based Memory Cells**", Abst. 61st Annual Conference on Magnetism & Magnetic Materials (MMM), p. 554, Nov. 2016.

[17]

M. Natsui and T. Hanyu, "**Design of a memory-access controller with 3.71-times-enhanced energy efficiency for Internet-of-Things-oriented nonvolatile microcontroller unit,**"

Japanese Journal of Applied Physics (JJAP), Vol. 57, No. 4S, 04FN03-1, 2018/2/16.
(DOI:10.7567/JJAP.57.04FN03)

[18]

M. Natsui, D. Suzuki, A. Tamakoshi, T. Watanabe, H. Honjo, H. Koike, T. Nasuno, Y. Ma, T. Tanigawa, Y. Noguchi, M. Yasuhira, H. Sato, S. Ikeda, H. Ohno, T. Endoh, and T. Hanyu, **"An FPGA-Accelerated Fully Nonvolatile Microcontroller Unit for Sensor-Node Applications in 40nm CMOS/MTJ-Hybrid Technology Achieving 47.14 μ W Operation at 200MHz"**, presented at ISSCC 2019.

[19]

D. Suzuki and T. Hanyu, **"Design of a Low-Power Nonvolatile Flip-Flop Using 3-Terminal Magnetic-Tunnel-Junction-Based Self-Terminated Mechanism,"** Japanese Journal of Applied Physics (JJAP), vol. 56, No. 4S, 04CN06, 2017/5/6. (DOI:10.7567/JJAP.56.04CN06)

[20]

D. Suzuki and T. Hanyu, **"A High-Read-Margin MTJ-Based Fracturable Lookup Table Circuit Using a Series-NMOS-Resistance-Reduced Logic-in-Memory Structure,"** Extended Abstracts of 2018 International Conference on Solid State Devices and Materials (SSDM2018), B-4-02, pp. 117-118, Tokyo, Sep. 2018.

[21]

T. Endoh, and H. Honjo, **"A Recent Progress of Spintronics Devices for Integrated Circuit Applications"**, Journal of Low Power Electronics and Applications, Vol.8, 44, 2018/11/13. (DOI:10.3390/jlpea8040044)

[22]

Takayuki Nozaki, Anna Koziol-Rachwał, Witold Skowroński, Vadym Zayets, Yoichi Shiota, Shingo Tamaru, Hitoshi Kubota, Akio Fukushima, Shinji Yuasa, and Yoshishige Suzuki, *Phys. Rev. Appl.* 5, 044006 (2016). (DOI: 10.1103/PhysRevApplied5.044006)

[23]

Anna Koziol-Rachwał, Takayuki Nozaki, Kinga Freindl, Józef Korecki, Shinji Yuasa, and Yoshishige Suzuki, **"Enhancement of perpendicular magnetic anisotropy and its electric-field-induced change through interface engineering in Cr/Fe/MgO"**, Scientific Reports 7, 5993, 2017. (DOI:10.1038/s41598-017-05994-7)

[24]

Takayuki Nozaki, Anna Koziol-Rachwał, Masahito Tsujikawa, Yoichi Shiota, Xiandong Xu, Tadakatsu Ohkubo, Takuya Tsukahara, Shinji Miwa, Motohiro Suzuki, Shingo Tamaru, Hitoshi Kubota, Akio Fukushima, Kazuhiro Hono, Masafumi Shirai, Yoshishige Suzuki, and Shinji Yuasa, NPG Asia Mater. 9, e451 (2017). (DOI: 10.1038/am.2017.204)

[25]

Takayuki Nozaki, Tatsuya Yamamoto, Shingo Tamaru, Hitoshi Kubota, Akio Fukushima, Yoshishige Suzuki, and Shinji Yuasa, APL Mater. 6, 026101 (2018).
(DOI: 10.1063/1.5018162)

[26]

J. Chen, Y. Sakuraba, K. Masuda, Y. Miura, S. Li, S. Kasai, T. Furubayashi, and K. Hono, Appl. Phys. Lett. 110, 242401 (2017).

[27]

T. Scheike, H. Sukegawa, K. Inomata, T. Ohkubo, K. Hono, and S. Mitani, Appl. Phys. Express 9, 053004 (2016).

[28]

Z.C. Wen, H. Sukegawa, T. Seki, T. Kubota, K. Takanashi and S. Mitani, Sci. Rep. 7, 45026 (2017).

[29]

K.Z. Suzuki, R. Ranjbar, J. Okabayashi, Y. Miura, A. Sugihara, H. Tsuchiura, S. Mizukami, “**Perpendicular magnetic tunnel junction with a strained Mn-based nanolayer**”, Sci. Rep. 6, 30249 (2016).

[30]

K.Z. Suzuki, Y. Miura, R. Ranjbar, A. Sugihara, S. Mizukami, “**Tunnel magnetoresistance in ultrathin L1₀ MnGa/MgO perpendicular magnetic tunnel junctions**”, J. Phys. D: Appl. Phys. 51, 235001(2018).

[31]

磁気素子、磁気記憶装置及び発振装置、鈴木和也、水上成美、特願 2017-101198、平成 29.5.22 出願

[32]

K.Z. Suzuki, Y. Miura, R. Ranjbar, L. Bainsla, A. Ono, Y. Sasaki, S. Mizukami, “**Perpendicular magnetic tunnel junctions with Mn-modified ultrathin MnGa layer**”, Appl. Phys. Lett. 112, 062402 (2018).

[33]

磁気素子、磁気記憶装置及び発振装置、鈴木和也、水上成美、特願 2017-90428、平成 29.4.28 出願

[34]

K.Z. Suzuki, S. Kimura, H. Kubota, S. Mizukami, “**Magnetic Tunnel Junctions with a Nearly Zero Moment Manganese Nanolayer with Perpendicular Magnetic Anisotropy**”, ACS Appl. Mater. Interfaces. 10, 43305 (2018).

[35]

M. Belmoubarik, H. Sukegawa, T. Ohkubo, S. Mitani and K. Hono, Appl. Phys. Lett.

108, 132404 (2016).

[36]

Ikhtiar, H. Sukegawa, X. Xu, M. Belmoubarik, H. Lee, S. Kasai, and K. Hono, Appl. Phys. Lett. 112, 022408 (2018).

[37]

Q.Y. Xiang, R. Mandal, H. Sukegawa, Y. Takahashi and S. Mitani, Appl. Phys. Express 11, 0630080 (2018).

[38]

K. Masuda and Y. Miura, Phys. Rev. B, accepted (2019).

[39]

H. Sukegawa, Y. Kato, M. Belmoubarik, P.-H. Cheng, T. Daibou, N. Shimomura, Y. Kamiguchi, J. Ito, H. Yoda, T. Ohkubo, S. Mitani, and K. Hono, Appl. Phys. Lett. 110, 122404 (2017).

[40]

S. Kasai, Y. K. Takahashi, P.-H. Cheng, Ikhtiar, T. Ohkubo, K. Kondou, Y. Otani, S. Mitani and K. Hono, Appl. Phys. Lett. 109, 032409 (2016).

[41]

K. Masuda, S. Kasai, Y. Miura, and K. Hono, Phys. Rev. B 96, 174401 (2017).

[42]

Ikhtiar, K. Mukaiyama, S. Kasai, and K. Hono, Appl. Phys. Lett. 111, 202407 (2017).

[43]

J. Chen, J. Liu, Y. Sakuraba, H. Sukegawa, S. Li, and K. Hono, APL Mater. 4, 056104 (2016).

[44]

Kay Yakushiji, Hideki Takagi, Naoya Watanabe, Akio Fukushima, Katsuya Kikuchi, Yuuichi Kurashima, Atsushi Sugihara, Hitoshi Kubota and Shinji Yuasa, “**Three-dimensional integration technology of magnetic tunnel junctions for magnetoresistive random access memory application**”, Appl. Phys. Express 10, 063002 (2017). (doi:10.7567/APEX.10.063002)

[45]

Yoichi Shiota, Takayuki Nozaki, Shingo Tamaru, Kay Yakushiji, Hitoshi Kubota, Akio Fukushima, Shinji Yuasa, and Yoshishige Suzuki, Appl. Phys. Exp. 9, 013001 (2016). (DOI: 10.7567/APEX.9.013001)

[46]

Yoichi Shiota, Takayuki Nozaki, Shingo Tamaru, Kay Yakushiji, Hitoshi Kubota, Akio Fukushima, Shinji Yuasa, and Yoshishige Suzuki, Appl. Phys. Lett. 111,

022408 (2017). (DOI: 10.1063/1.4990680)

[47]

Takuro Ikeura, *Takayuki Nozaki, Yoichi Shiota, Tatsuya Yamamoto, Hiroshi Imamura, Hitoshi Kubota, Akio Fukushima, Yoshishige Suzuki, and Shinji Yuasa, Jap. J. Appl. Phys. 57, 040311 (2018). (DOI: 10.7567/JJAP.57.040311)

[48]

Tatsuya Yamamoto, Takayuki Nozaki, Yoichi Shiota, Hiroshi Imamura, Shingo Tamaru, Kay Yakushiji, Hitoshi Kubota, Akio Fukushima, Yoshishige Suzuki, and Shinji Yuasa, Phys. Rev. Appl. 10, 024004 (2018). (DOI: 10.1103/PhysRevApplied.10.024004)

[49]

H.Noguchi, K.Ikegami, K.Abe, S.Fujita, Y.Shiota, T.Nozaki, S.Yuasa, Y.Suzuki, **“Novel Voltage Controlled MRAM (VCM) with Fast Read/Write Circuits for Ultra Large Last Level Cache”**, Technical Digests of 62th IEDM, 27.5 (2016)

[50]

Kazutaka Ikegami, Yoichi Shiota, Takayuki Nozaki, Keiko Abe, Hiroki Noguchi Shinji Yuasa Yoshishige Suzuki and Shinobu Fujita, **“Voltage-controlled magnetic tunnel junction based MRAM for replacing high density DRAM circuits corresponding to 2X nm generation”**, Intermag Conference, Dublin, 2017/04/26.

[51]

Kazutaka Ikegami, Shinobu Fujita, Takayuki Nozaki, Tatsuya Yamamoto, Shinji Yuasa and Yoshishige Suzuki, **“Voltage controlled magnetic tunnel junction based 3D-crosspoint memory with step shaped pulse for reliable write operation”**, Intermag Conference, Singapore, April 24, 2018

[52]

M. Suzuki, Y. Kotani, N. Tsuji, and T. Nakamura, **“An efficient X-ray fluorescence detection system for high-precision X-ray absorption and magnetic circular dichroism spectroscopy in ultrathin films”**, The 2nd ImPACT International Symposium on Spintronic Memory, Circuit and Storage, Tsukuba, Japan, 2016 年 9 月 30 日.

[53]

M. Suzuki, M. Tsujikawa, T. Nozaki, T. Nakamura, M. Shirai, S. Yuasa, Y. Suzuki, and S. Miwa, **“Microscopic Mechanism of the Electric-Field Effects on Spintronics Devices Elucidated by X-ray Magnetic Circular Dichroism Spectroscopy”**, SSDM2018: 2018 International Conference on Solid State Devices and Materials, 9-13 Sep.2018, Tokyo, Japan.

[54]

T. Tsukahara, T. Kawabe, K. Shimose, T. Furuta, R. Miyakaze, K. Nawaoka, M. Goto, T. Nozaki, S. Yuasa, Y. Kotani, K. Toyoki, M. Suzuki, T. Nakamura, Y. Suzuki, and S. Miwa, “**Characterization of the magnetic moments of ultrathin Fe film in an external electric field via high-precision X-ray magnetic circular dichroism spectroscopy**”, Jpn. J. Appl. Phys. 56, 060304 (2017). (DOI: 10.7567/JJAP.56.060304)

[55]

T. Kawabe, K. Yoshikawa, M. Tsujikawa, T. Tsukahara, K. Nawaoka, Y. Kotani, K. Toyoki, M. Goto, M. Suzuki, T. Nakamura, M. Shirai, Y. Suzuki, and S. Miwa, “**Electric-field-induced changes of magnetic moments and magnetocrystalline anisotropy in ultrathin cobalt films**”, Phys. Rev. B 96, 220412 (2017). (DOI:

10.1103/PhysRevB.96.220412)

[56]

Shinji Miwa, Motohiro Suzuki, Masahito Tsujikawa, Kensho Matsuda, Takayuki Nozaki, Kazuhito Tanaka, Takuya Tsukahara, Kohei Nawaoka, Minoru Goto, Yoshinori Kotani, Tadakatsu Ohkubo, Frédéric Bonell, Eiiti Tamura, Kazuhiro Hono, Tetsuya Nakamura, Masafumi Shirai, Shinji Yuasa, and Yoshishige Suzuki, “**Voltage controlled interfacial magnetism through platinum orbits**”, Nature Commun. 8, 15848 (2017).(doi:10.1038/ncomms15848)

[57]

H.Yoda, et al., “**Voltage-Control Spintronics Memory(VoCSM) Having Potentials of Ultra-Low Energy-Consumption and High-Density**”, Technical Digests of 62th IEDM, 27.6 (2016)

[58]

H.Yoda, et al., “**High-Speed Voltage-Control Spintronics Memory (High-Speed VoCSM)**”, 2017 IEEE International Memory Workshop (IMW) digest, Session 7, No.2

[59]

H.Yoda, et al., “**From STT-MRAM to Voltage-Control Spintronics Memory (VoCSM), as The Pursuit of Saving Energy Consumption of Memory Systems**”, presented at ICAUMS 2018.

[60]

H.Yoda, et al., “**High-speed voltage-Control spintronics memory having high-efficiency of writting, a potential of unlimited endurance, and broad design windows**”, presented at e-NVM2017, Session2

[61]

N.Shimomura, et al., “**High-speed Voltage Control Spintronics Memory (VoCSM) Having Broad Design Windows**”, Dig. Tech. Papers Symp. VLSI Circuits 2018, pp. 83-84.

[62]

Kazutaka Ikegami, Tomoaki Inokuchi, Shinobu Fujita, Satoshi Takaya, Naoharu Shimomura, Susumu Takeda, Yuichi Ohsawa, Yushi Kato, Katsuhiko Koi, Satoshi

Shirotori, Mariko Shimizu, Hideyuki Sugiyama, Soichi Oikawa, Buyandalai Altansargai and Hiroaki Yoda, “**Binary and ternary convolutional neural network acceleration by in-nonvolatile memory computing with Voltage Control Spintronics Memory (VoCSM)**” presented at EDTM 2019.

[63]

Satoshi Takaya, Kazutaka Ikegami, Susumu Takeda, Shinobu Fujita, Tomoaki Inokuchi, Naoharu Shimomura, Hiroaki Yoda and Atsushi Kurobe, “**Novel High-Speed Nonvolatile Logging Memory using Voltage Control Spintronics Memory for IoT Edge to Cloud Servers,**” 2019 Joint MMM-Intermag Conference, Washington, DC, January 14, 2019.

[64]

Susumu Takeda, Satoshi Takaya, Kazutaka Ikegami and Shinobu Fujita, “**Fundamental Architectural Evaluation of Voltage Control Spintronics Memory (VoCSM) based Last Level Cache**”, IEDM special MRAM poster session, San Francisco, December 6, 2018

[65]

T. Nozaki, M. Al-Mahdawi, Y. Shiokawa, S. P. Pati, S. Ye, Y. Kotani, K. Toyoki, T. Nakamura, M. Suzuki, S. Yonemura, T. Shibata, and M. Sahashi, “**Manipulation of Antiferromagnetic Spin Using Tunable Parasitic Magnetization in Magnetoelectric Antiferromagnet**”, Physica Status Solidi Rapid Research Letters 12, 1800366-1~1800366-7 (2018)

[66]

Q. N. Meier, M. Fechner, T. Nozaki, M. Sahashi, Z. Salman, T. Prokscha, A. Suter, P. Schoenherr, M. Lilienblum, P. Borisov, I. E. Dzyaloshinskii, M. Fiebig, H. Luetkens, and N. A. Spaldin, “**Search for the magnetic monopole at a magnetoelectric surface**”, Phys. Rev. X, **9**, 011011 (2019).

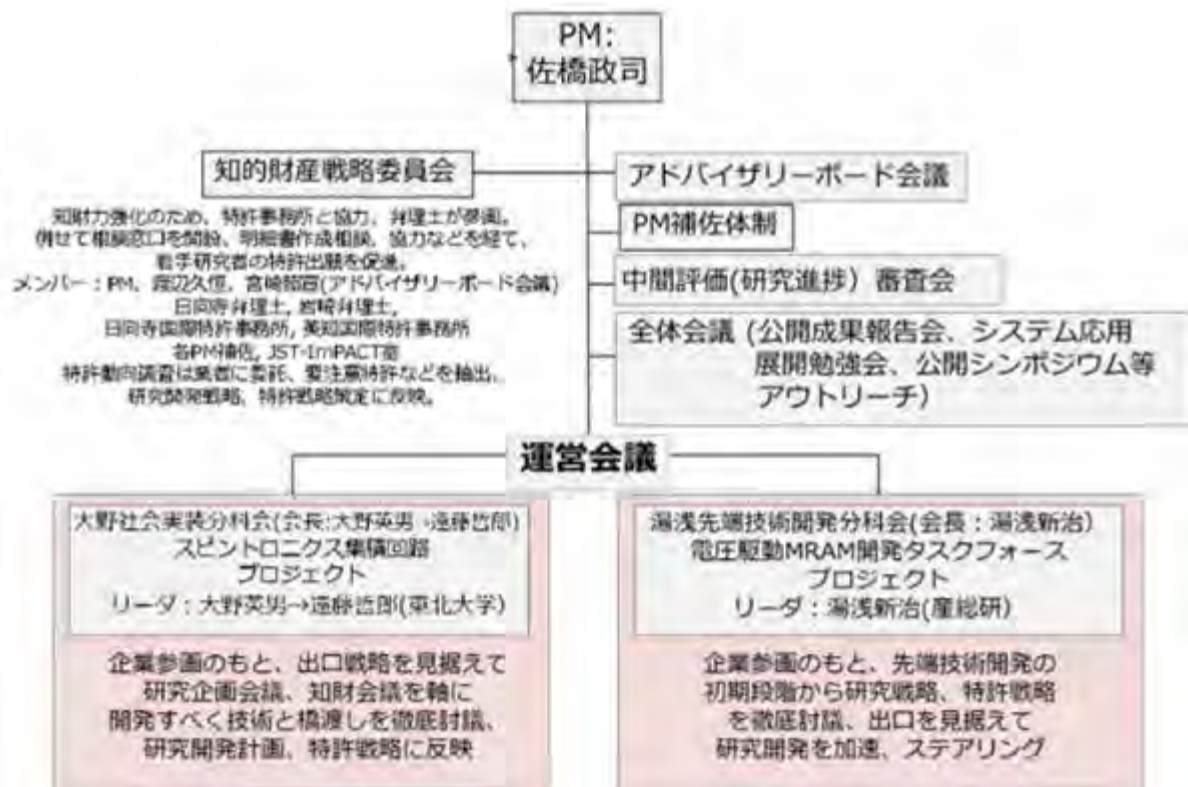
4. 研究開発プログラム予算の推移

(百万円)

	平成26年 度	平成27年 度	平成28年 度	平成29年 度	平成30年 度	合計
1 スピンFETプロジェクト	27.5	103.5	29.85	0	0	160.85
2 スピントロニクス集積回路プロジェクト						
	61.62	326.66	834.89	482	214	1919.17
3 電圧トルクMRAMプロジェクト	472.9	333.842	21	0	0	827.742
4 単結晶化・高集積化・3次元化プロジェクト	87.33	287	0	0	0	374.33
5 電圧駆動MRAM開発プロジェクト	0	0	385.25	328.8	247.025	961.075
課題1 新材料素子の開発	0	0	181.85	102.2	89.625	373.675
課題2 プロセス技術/メモリアレイの開発	0	0	141.5	104	87	332.5
課題3 回路設計	0	0	10.3	3.8	2.4	16.5
課題4 物理機構解明と高効率化	0	0	51.6	38.8	2	92.4
課題5 機能実証開発試作	0	0	0	80	66	146
6 交差相関電圧書き込みプロジェクト	78.1	111.9	48.8	0	0	238.8
7 計算科学支援	0	0	18	18	7	43
課題1 特性バラツキの原因究明と低減設計の提示	0	0	2	2	2	6
課題2 電圧駆動型反転ダイオキスの解明	0	0	4	4	2	10
課題3 磁気異方性電圧素子の高性能化設計の提示	0	0	4	4	2	10
課題4 1000fJ/Ymの電圧駆動素子を実現	0	0	4	4	1	9
課題5 磁気異方性の界面効果物理	0	0	4	4	0	8
8 成果最大化PM施策研究費	0	0	0	0	2,371,086	2,371,09
研究費合計	727	1,163	1,338	829	470	4,527

- ・各プロジェクトにおける課題毎（研究開発機関の想定毎）に記述。
 - ・過年度については、各プログラムで認められた予算総額に対する執行額を記載。
- ◇当初計画と実績が大きく異なったケースとして、以下の5点が挙げられる。
- ① いち早く社会実装するため、ステージゲートによりプロジェクトを統廃合、日本が世界と戦える分野として、社会を変える情報インフラ機器の革新に注力。
 - ② 研究開発が著しく進展、PM 主導で研究開発を強化、予算の増額を実施。
 - ③ 研究開発加速策として、PM 直轄の計算科学支援チームを発足。運営は各分科会からの拠出金で対応。
 - ④ 機能実証試作の遅れに伴う、予算執行の後ろ倒し。
 - ⑤ H30 年度の予算計画から成果最大化のための PM 施策研究費を設けた。

5. 研究開発プログラムの推進体制



分科会形式を取り入れた新しい研究開発体制

出口企業との連携により、出口の課題を明確にし、実証評価を早期に実現



図 24 プログラムの研究開発体制

研究開発プログラムの推進体制は、図 24 に示す通りであるが、電子情報技術産業協会 JEITA の後援・協力のもと進めている「先進不揮発性半導体応用展開勉強会」の進展を見て検討していた出口戦略検討委員会は発足を断念した。

プログラムおよび各分科会の各種会議・委員会の構成メンバは、以下の通り。

○ **アドバイザーボード会議：**

座長：PM、スタッフ:PM 補佐

宮崎照宣氏(東北大名誉教授)、新庄輝也氏(京大名誉教授)、田中陽一郎氏(山形大教授)(当時、現東北大教授)、谷口研二氏(阪大特任教授、同名誉教授)、石原宏氏(東工大名誉教授)、渡辺久恒氏

○ **知的財産戦略委員会**

座長：PM、スタッフ:PM 補佐

渡辺久恒氏、宮崎照宣東北大名誉教授（アドバイザーボード会議メンバー）

岩崎弁理士・英知国際特許事務所、日向寺弁理士・日向寺国際特許事務所

JST-ImpACT 室

＊プログラム全体の知財運用会議は、実施規約に則り適宜開催

○ **各種審査会(中間評価、ステージゲート、予算査定、公募選考)**

座長：PM、アドバイザーボード会議の先生方

○ **プログラム運営会議、拡大プログラム運営会議**

座長：PM、大野英男分科会長(東北大教授)、湯浅新治分科会長(産総研センター長)、遠藤哲郎東北大教授=>分科会長、宝野和博物材機構フェロー・拠点長、

三谷誠司物材機構グループリーダー（拡大時：黒部篤東芝首席技監、與田博明

東芝技監=> Spin Orbitronics Technologies, Inc 代表取締役）スタッフ:PM 補佐

○ **先進不揮発性半導体応用展開勉強会**

座長：PM 委員：中村宏東大教授、竹内健中央大教授、藤田忍東芝技監、

羽生貴弘東北大教授、湯浅新治産総研センター長、川上景一 JEITA 常務理事

スタッフ:PM 補佐、JEITA

○ **大野社会実装分科会運営会議**

座長：大野英男分科会長(東北大教授)=>遠藤哲郎分科長(東北大教授)

PM、遠藤哲郎東北大教授、羽生貴弘東北大教授、池田正二東北大教授

スタッフ:PM 補佐

○ **大野社会実装分科会研究開発推進会議**

座長：大野英男分科会長(東北大教授)=>遠藤哲郎分科会長(東北大学教授)

PM、遠藤哲郎東北大教授、羽生貴弘東北大教授、池田正二東北大教授

随時参加メンバ：深見俊輔東北大准教授、佐藤英夫東北大教授、外部機関他

スタッフ:PM 補佐

○ 湯浅先端技術開発分科会運営会議

座長：湯浅新治分科会長(産総研センター長)

PM、野崎隆行産総研研究チーム長、宝野和博物材機構フェロー・研究拠点長、
三谷誠司物材機構グループリーダー、黒部篤東芝首席技監、與田博明東芝技監

=> Spin Orbitronics Technologies, Inc 代表取締役、藤田忍東芝技監

スタッフ:PM 補佐

○ 湯浅先端技術開発分科会研究開発推進会議

座長：湯浅新治分科会長(産総研センター長)

PM、野崎隆行産総研研究チーム長、薬師寺啓研究チーム長、宝野和博物材機構フェロー・研究拠点長、三谷誠司物材機構グループリーダー、黒部篤東芝首席技監、與田博明東芝技監=> Spin Orbitronics Technologies, Inc 代表取締役、藤田忍東芝技監、
参加研究者

スタッフ:PM 補佐

6. 研究開発プログラムの実施管理状況

(1) 研究開発プログラムのガバナンス

① 進捗状況の把握及び指導・管理状況

PL/PI(分科会/プロジェクトチーム名)	各 PL/PI との調整状況と今後の方針
大野英男=>遠藤哲郎 (大野社会実装分科会/ スピントロニクス集積回路プロジェクト)	◇3ヶ月に1度開催する分科会運営会議・研究開発推進会議を通して、PL/PI との研究開発戦略の共有化と意思疎通を図る。 ◇年に3回開催する知的財産戦略委員会およびアドバイザリーボード会議での PL/PI からの進捗状況報告を受けて、課題を共有化。 ◇勉強会を通しての出口展開の議論。 ◇集中レビュー会等必要に応じて頻繁にサイトビジット、PL/PI と討議。 ◇外部機関の関与等、 出口を見据えて企業と適宜議論。
湯浅新治 (湯浅先端技術開発分科会 /電圧駆動 MRAM 開発タスクフォースプロジェクト)	◇3ヶ月に1度開催する分科会運営会議・研究開発推進会議を通して、PL/PI との研究開発戦略の共有化と意思疎通を図る。 ◇年に3回開催する知的財産戦略委員会およびアドバイザリーボード会議での PL/PI からの進捗状況報告を受けて、課題を共有化。 ◇勉強会を通しての出口展開の議論。

	◇集中レビュー会等必要に応じて頻繁にサイトビジット、PL/PI と討議。 ◇外部機関の関与等、出口を見据えて企業と適宜議論。
佐橋政司(今村裕志) PM 直轄:新規 MRAM 開発のための 計算科学支援チーム(公募)	◇運用は産総研 今村裕志研究チーム長に一任 ◇2 ヶ月に 1 度の定例報告会を開催。各実験チームも参加して連携を協議・強化。 ◇実用化を見据えた課題への取り組み。

	26 年度	27 年度	28 年度	29 年度	30 年度
運営会議等の開催数	6	15	20	28	25
研究開発機関等への訪問回数	20	50	40	40	40

② 新たな発想・アイデアの採用に関する取り組み

定期的に開催している両分科会の研究開発推進会議で常時議論、新たな発想・アイデアの採用に、研究開発戦略の軸は崩さず積極的に取り組んで来た。また、H28 年度に新たに設置した PM 直轄:新規 MRAM 開発のための計算科学支援チームの活動を通して、新たな発想とアイデアの採用などの取り込みを促進。都度新たな課題を設定して、実験チームとの連携を図った。

③ 研究開発機関等の評価及び追加変更の状況

H26 年度、H27 年度に開催した中間審査、H27 年度末実施のステージゲート審査会を経ての思い切ったプロジェクトの統廃合とプログラム研究開発体制の再編と強化を実施。H28 年度からの分科会体制、同じく H28 年度より設置した PM 直轄の計算科学支援チーム、H28 年末に実施した予算査定委員会など年度単位で研究開発活動を評価、新たな取り組みも含めて常に成果最大化のための評価及び追加変更を実施。

一年前倒して実施したステージゲートは、予想以上に進展が著しい IoT/AI の進捗と大きな社会変革の波の到来を予測し、いち早く社会実装へとつなげるべく日本が世界と戦える分野として、社会を変える情報インフラ機器の革新、特にエッジに注力することを念頭に置き、各プロジェクトの研究進捗および新たに柱の一つに組み込むスピン軌道トルク(SOT)への予算確保を踏まえて、大野社会実装分科会/スピントロニクス集積回路プロジェクトへの予算の傾斜配分と電圧駆動 MRAM の開発強化策としてのプロジェクトの統廃合(湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクトの発足)を実施した。基礎技術開発に ImPACT 期間以上の時間を要すると判断したスピン FET と交差相関電圧書き込みは、退場プロジェクトとして一年の経過措置を設定後終了とした。この判断には、かなり悩んだが今となっては良かったと考える。

	26年度	27年度	28年度	29年度	30年度
参画研究機関数	27	27	25	14	11
参画研究者数	231	231	238	201	162
うち中止（解任）	0	0	2	11	3
追加（新任）	0	0	0	0	0

④ 「選択と集中」に向けた取り組み

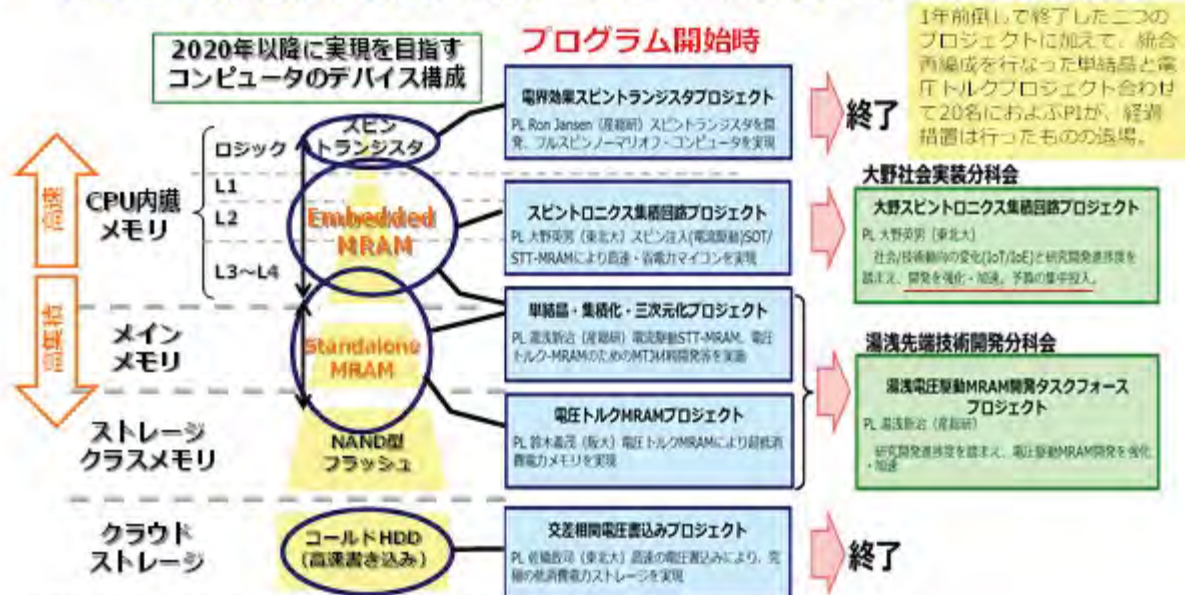
本プログラムにおいては、H27年度末に大幅なプロジェクトの統廃合（選択と集中）を実施。H28年度から2トップの分科会体制へと移行。研究開発資源の集中を図った。

今後は、出口戦略の検討結果を見据えて、既にH30年9月に設立したImPACT発Startup VentureのImPACT終了後の体制と産総研拠点の形成整備を「選択と集中」の中核に据える。

加えて、東北大国際集積エレクトロニクス研究開発センターは、NEDO SIP第2期で取り組む「エッジシステムプラットフォームの構築」への展開に向けて、体制の強化を図る。

研究開発プロジェクト体制（プログラム開始時と平成28年度以降の見直し後）

いち早く社会実装するため、ステージゲートによりプロジェクトを統廃合



※ MTJ(磁気)トンネル接合)はすべてのMRAMの基本構成要素

日本が世界と戦える分野として、社会を変える情報インフラ機器の革新に注力

内閣府 革新的研究開発推進会議資料(平成28年3月24日)

図 25 プロジェクトの統廃合で、研究開発体制を再編

① これまでの取り組み

大野社会実装分科会/スピントロニクス集積回路プロジェクトは、当初より超省電力不揮発性マイコンチップの開発を梃に、メンテナンスフリーの自立適応分散 IT システムを構築、分散と集中の協調処理プラットフォームの構築を掲げていた。予算の関係で ImPACT では「超省電力不揮発性マイコンチップの開発」に止めた。したがって、研究成果の展開は、企業を呼び込んでの「メンテナンスフリーの自立適応分散 IT システムの開発と分散と集中の協調処理プラットフォームの構築」と位置付けた(図 26 参照)。

現在

【現状】集中システムの維持
クラウドによる集中処理

データ量の増
リアルタイム性の要
高度性の要
メンテナンスの要

分散ITシステム

災害不慮
モバイル

緊急ぎばなしのコンセプトをー
・災害時でもアクセス可能な安全・安心社会
・非連続イノベーションで電子産業を再興

目指す未来

集中処理
分散と集中の協調処理
災害時対応
分散ITシステム
白濁処理
メンテナンスフリー

一方、湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクトは、日本発の基礎研究成果を基に、究極の超省電力駆動である電圧駆動の MRAM 不揮発性メモリの開発に挑むもので、開発自体が大変リスクな超最先端の挑戦的研究開発である。したがって、当初の成果目標は電圧トルクによるユニポーラ電圧駆動 MRAM の成立性(10^{-6} 以下の書き込みエラー率など)などの基盤技術の構築とその SRAM/DRAM 代替等の揮発性から不揮発性へのメモリ階層の変革への展開と位置付けていた(図 26 参照)。その後の市場動向の精査および技術開発の難易度の観点から、DRAM 代替および SCM(ストレージクラスメモリ)は 5~10 年後のターゲットと位置付けを変更、研究成果の展開ターゲットを IoT/AI 用 SoC の混載 SRAM/DRAM に絞り込んだ。この展開については、集積回路チップの機能実証のための開発試作が第一歩であるが、限られた期間と予算を鑑みて高速型と高集積・高密度を指向する大容量型の 2 種類について、集積回路チップのガスマクス設計止まりとし、性能を計算機シミュレートで求めた。H30 年 9 月に既に設立した Startup Venture (Spin Orbitronics Technologies, Inc.) の最初の大仕事がこの設計のチップ開発試作と IoT/AI メーカーとのビジネス連携となる。また、

5～10 年後と見直しを行なった DRAM 代替および SCM(ストレージクラスメモリ)の開発は、参加研究開発機関である東芝の外部機関の関与と位置付けた東芝メモリへと橋渡しする。

② 今後の方針と具体的な取り組み計画

今後については、これまでの取り組みの中でも触れて来たので、ここでは方針と具体的な計画を箇条書きにする。

【今後の方針】

大野社会実装分科会/スピントロニクス集積回路プロジェクト

- ◇ 東北大国際集積エレクトロニクス研究開発センターを拠点に、外部機関の関与として COMS ウェハを供給するルネサスエレクトロニクス、製造装置で協力する東京エレクトロン、産総研 TIA の後工程の活用などの研究開発インフラは変えず、引き続き企業の参画を呼び込みながら、NEDO SIP 第 2 期/フィジカル空間デジタルデータ処理基盤の中で「超低消費電力 MTJ/CMOS Hybrid IoT デバイス基盤技術の研究開発」へと成果の展開を図る。

研究委託先(公表):国立大学法人東北大学、日本電気株式会社、株式会社ケーヒン、キーサイト・テクノロジー・インターナショナル合同会社

湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクト

- ◇ 産総研つくば地区を拠点に、駆動原理および書込み・読出し方式を異にする 3 種類の電圧駆動 MRAM および単結晶 MTJ SRAM/DRAM 積層集積化プロセスについて、それぞれ整合する企業、用途への研究成果の展開を促進する。
 - 1) ImPACT 発の新概念メモリの 1 つである高速型 VoCSM(Voltage Control Spintronics Memory)は、既に設立済みで與田博明氏が代表取締役を務める ImPACT 発 Startup Venture(Spin Orbitronics Technologies, Inc.)が産総研つくばに開発拠点を設けて、SRAM/DRAM の揮発性混載エレクトロニクス基盤の不揮発性スピントロニクス基盤への大変革を狙ってグローバル展開を図る。
 - 2) 電圧トルクによるスピンドायナミクス高速磁化反転を利用する電圧トルク MRAM は、ソニーとの電圧効果の向上を狙った材料素子の共同研究を通して、研究成果の新たな応用展開を図る。
 - 3) ImPACT 発の新概念メモリのもう 1 つである大容量型 VoCSM については、電圧効果を上げつつ、東芝メモリが研究成果の超省電力高速大容量ロギングメモリへの応用展開から順次 SCM、DRAM 代替へとストレージ/メモリ Standalone への展開を図る。
 - 4) 産総研が中心になって注力して来た「単結晶 MTJ/CMOS ウェハ積層集積化プロセス技術」は、産総研が世界有数の半導体装置メーカーである東京エレクトロンと共同研究を通してタッグを組むことで、グローバルなデファクトスタンダード技術まで押し上げる。

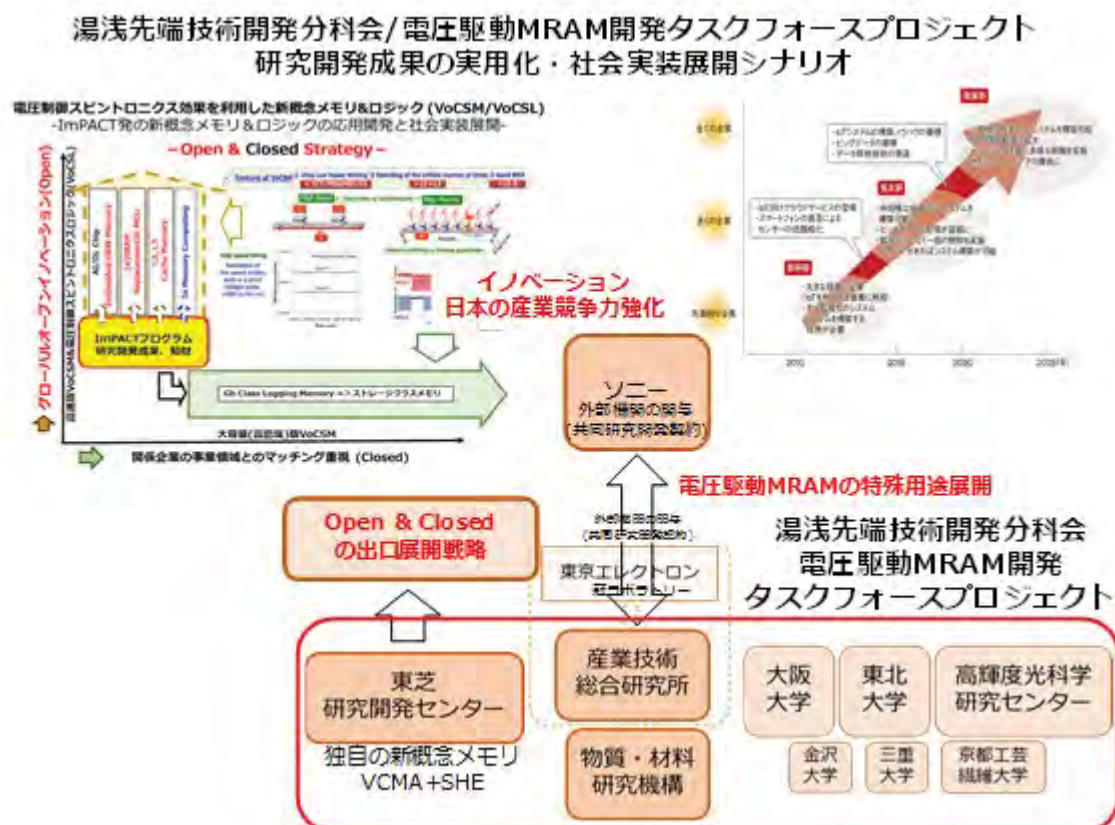
【具体的な取り組み計画】

大野社会実装分科会/スピントロニクス集積回路プロジェクト

- ◇ NEDO SIP 第2期/フィジカル空間デジタルデータ処理基盤の中で「超低消費電力 MTJ/CMOS Hybrid IoT デバイス基盤技術の研究開発」へと成果を展開

湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクト

- ◇ 産総研つくば地区を拠点に、駆動原理および書込み・読出し方式を異にする3種類の電圧駆動 MRAM および単結晶 MTJ/MRAM 積層集積化プロセスについて、それぞれ整合する企業、用途への研究成果の展開を促進する、これまでの取り組みからの変更点はない。いずれにしても、整合する企業との共同研究と Startup Venture のグローバル戦略が鍵。



7. PMの自己評価

(1) PMが実施管理を行った研究開発プログラム(研究成果)に関する評価

① 産業や社会のあり方の変革（漸進的でなく、非連続的なイノベーション）をもたらす見通しは得られたか。

【視点1】 将来の産業や社会のあり方に変革をもたらすような革新性を有する研究成果が獲得されたか。

⇒

Big Data や IoT/AI など ICT の目紛るしい進展で、将来どのような社会となり、どこに付加価値の源泉があるのか、ビジネスモデルはどのように変わるのか、誰も予測出来ないのかも知れません。ただ間違いなく言えることは、途轍もなく大量のデジタルデータがワイヤレスで飛び交い、ストレージされ、処理されるがために大量のエネルギーが消費され、エコな環境、持続可能な地球社会とは真逆のことがなされようとしていることです。これに対する答えの一つが究極のエコ IT 機器の実現であり、エネルギー垂れ流しの揮発性エレクトロニクス SRAM/DRAM からの脱却です。すなわち不揮発性メモリで待機時電力ゼロは誰も疑う余地はないが、書込み・読出しの動作時電力や書込み・読出し速度、書換え耐性をどこまで揮発性の SRAM/DRAM に近づけることが出来るかが大きな課題であったため、揮発性の SRAM/DRAM を不揮発性の MRAM へと INTERFACE や Software も含めて技術革新することは困難を極めていた。エナジーハーベスティング電力供給で駆動するスピントロニクス不揮発マイコンシステムでの QVGA 画像の特定顔認証が可能な 200MHz 演算性能時の 50 μ W クラスの超低消費電力の機能実証(ISSCC 2019)と電圧駆動型の MRAM メモリである VoCSM での 1 ビット書込みエネルギー1fJ の実験検証と 5ns パルス電圧下、直近では 2ns での 10^{13} 回以上無限回の書込み耐性の実験検証(IcAUMS2018、Joint MMM-Intermag2019)は、まさに困難な課題を克服し、非連続イノベーションを引き起こす起爆剤・突破口的成果です。



【視点2】産業や社会のあり方変革に向けた戦略が具体的かつ明確となったか。

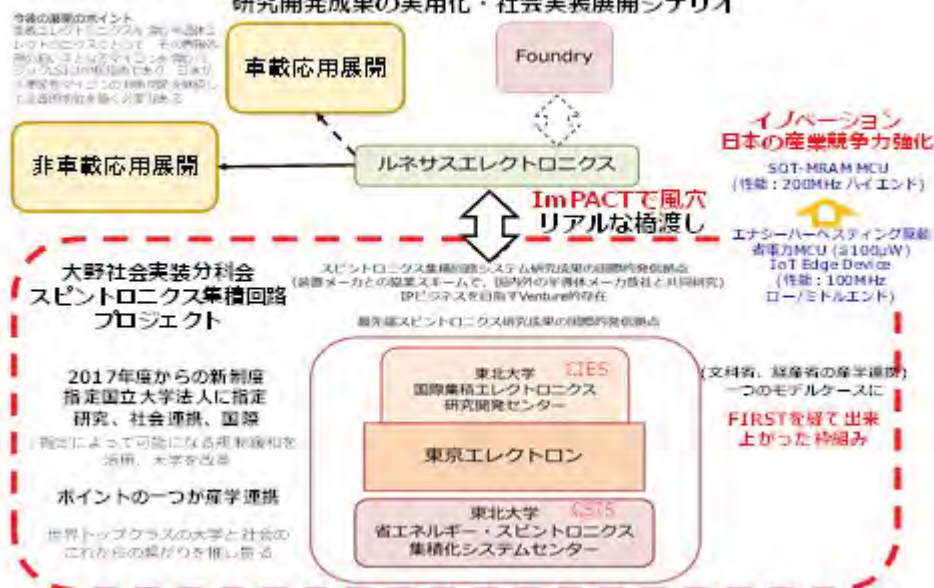
⇒

50 μ W以下の超省電力で駆動するスピントロニクス不揮発性マイコンは、NEDO SIP第2期/フィジカル空間デジタルデータ処理基盤の中で「超低消費電力MTJ/CMOS Hybrid IoTデバイス基盤技術の研究開発」へと、よりエッジシステム側へと戦略が移行するなど一層具現化に近づいた。また、電圧駆動型のVoCSMはIoT/AIの進展で社会的課題ともなってきたAIメモリの実用化を目指したStartup Venture(産総研拠点)が設立され、近く立ち上がることでOpen & Closedの出口戦略の基軸となる「チップ開発・製造の戦略を明確化出来た」と同時に、電圧トルクMRAMのソニーとの共同研究を通しての特殊用途への応用展開」の道筋が描けた。

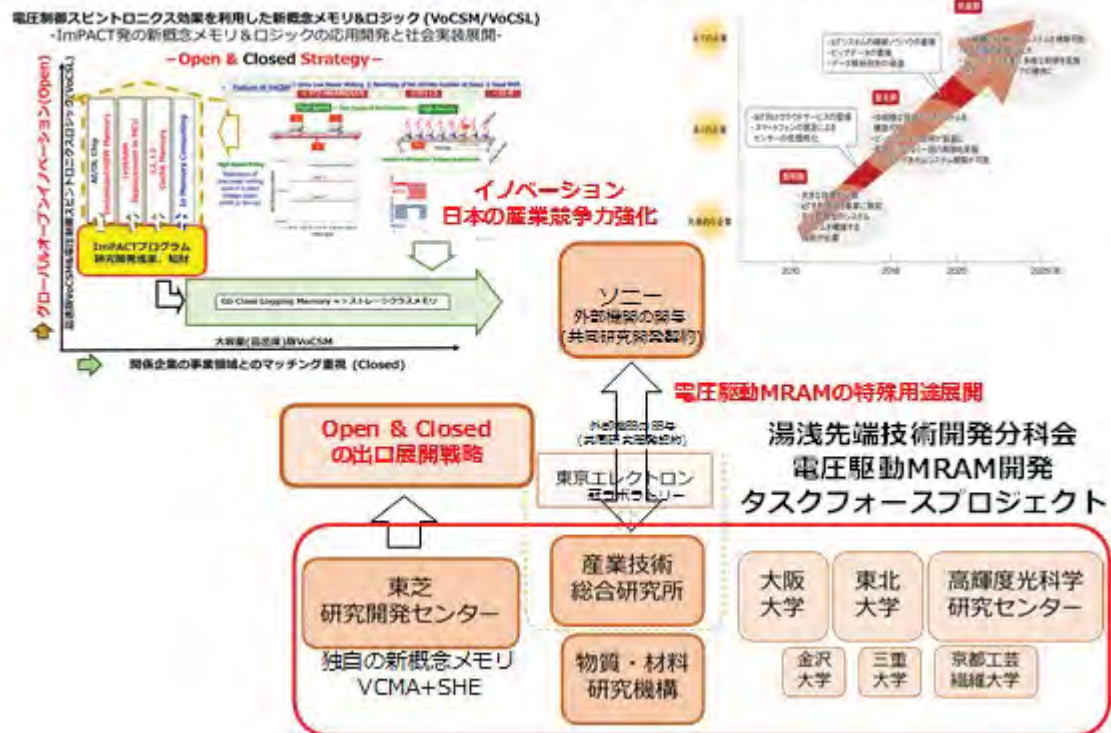
2017年のGoogle Prasad Sabadaの主張(ISS, California)等やAI, IoT, Big Dataの進展は、ムーアの法則はもはや、新しいクラウドサービスの高まるニーズに対応することができないことやエッジ側での新しい分散システムが求められていることを意味しており、**プロセッサやメモリ、インターコネクト、パッケージング**などの分野において、さまざまなイノベーションが求められている。



大野社会実装分科会/スピントロニクス集積回路プロジェクト
研究開発成果の実用化・社会実装展開シナリオ



湯浅先端技術開発分科会/電圧駆動MRAM開発タスクフォースプロジェクト 研究開発成果の実用化・社会実装展開シナリオ



【視点3】戦略の実現に向けた課題が整理・明確化されたか。

⇒ 課題の整理統合と明確化は十分なされた。

【視点4】技術的課題を克服するためのアイデア・着眼点の斬新さ、技術的なサプライズは存在したか。

⇒

技術的課題を克服するためのアイデア・着眼点の斬新さは VoCSM と電圧効果の物理解明および 1000fJ/Vm の電圧効果。技術的なサプライズは、スピン軌道トルク (SOT) と単結晶 MTJ の 3 次元積層集積化 (CMOS 基板上へのウェハ接合は驚き) の研究。

【視点5】戦略の実現に向けた道行き (ロードマップ) が適切に描けたか。

⇒

我が国の現状を考えると、これがベスト。

【視点6】戦略の実現に向けた産業界との連携・橋渡し等が行われたか。

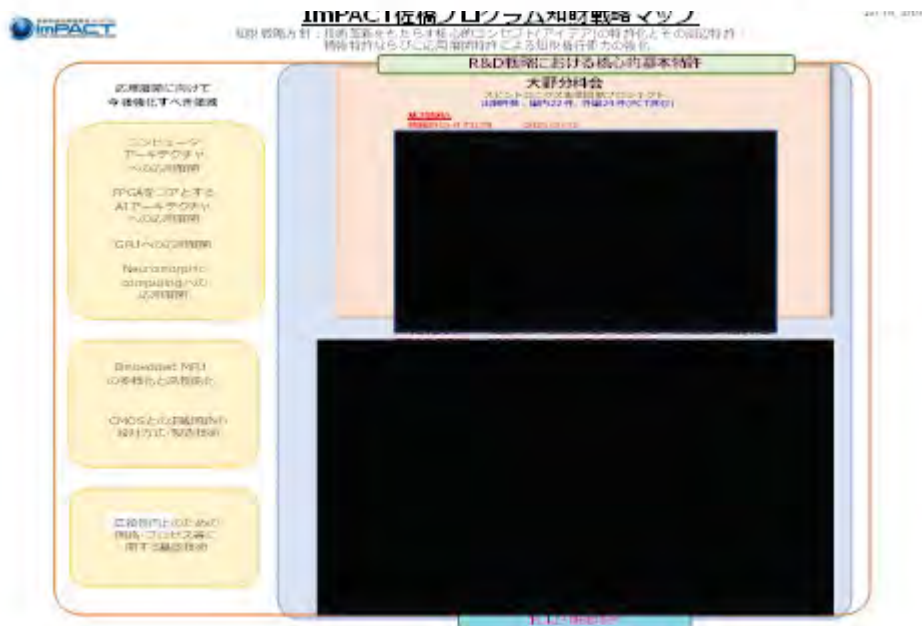
⇒

我が国の現状を考えると、これがベスト。

【視点7】知財・標準化戦略は明確かつ適正か。

⇒

知的財産戦略は、「起爆剤・突破口となり得る圧倒的差別化技術の創生」との基本方針のもと、
周辺特許・応用特許も造出するなど明確かつ適正。



湯浅先端技術開発分科会のR&Dロードマップに対応させた知的財産戦略マップ
(電圧駆動MRAM開発タスクフォースプロジェクト)

Apr 29, 2019



ImpACT 佐橋プログラム知財戦略マップ

Apr 29, 2019



② 上記①以外の派生的な効果（派生的に生み出された成果、新たな学術的知見の創出、失敗から得られた知見等）として、どのようなものが得られたか。

多くの超一流研究者/技術者が参画して、多くの挑戦的テーマに取り組んだ本プログラムでは、各テーマ/各研究者の取り組みで派生的効果は大きく異なるので、各テーマ/研究者に分けて記述する。

◇ 東北大学 電気通信研究所 深見俊輔准教授グループ

スピン軌道トルクに関する基礎研究とその MRAM への応用展開

Nature Materials, 2016 (DOI:10.1038/NMAT4566)

【新たな学術的知見の創出】

当研究は、反強磁性体/強磁性体間の交換結合バイアスとスピンホール効果を同時利用することで無磁場スピン軌道トルク磁化反転を実現したものである。従来反強磁性体/強磁性体積層構造においては、界面の交換結合バイアスにより一方向磁気異方性が発現することは良く知られていたが、本研究によってそれまでは非磁性材料で発現されると考えられていたスピンホール効果が反強磁性材料でも発現されることが明らかになった。

【派生的に生み出された成果】

当研究で用いた積層構造において、当初は想定していなかったアナログ的な磁化の制御が可能であることが見い出された。この性質は脳において情報の学習と記憶を司っているシナプスの性質と類似するものである。この点に着想を得ることで、当研究は人工神経回路網へのスピントロニクス技術の応用を目指す別の応用プロジェクトへと発展した。

◇ 東北大学 材料科学高等研究所(AIMR) 水上成美教授グループ

界面 Mn 極薄層のフェリ磁性に関する研究

【失敗から得られた知見】

装置操作の失敗で偶然作製された試料の特性から知見を得、開発に至った新規な素子である。

【新たな学術的知見の創出】

Mn は本来磁性を示さないため新たな材料学的知見を創出した。

【派生的に生み出された成果】

派生的に TMR、垂直磁気異方性、電圧効果を発現することが明らかとなり、材料素子開発に新しい視点を与える成果となった。

◇ 大阪大学 基礎工学研究科 鈴木義茂教授グループと JASRI Spring-8 鈴木基寛主幹研究員グループ、計算科学支援チームの東北大学 電気通信研究所 白井正文教授グループとの連携研究

電圧効果の物理機構の解明

Nature Comm., 8, 15848 (2017)

【失敗から得られた知見】

当連携研究グループでは、電圧印加による軌道角運動量の変化を検出しようと SPring-8 で Fe の軌道角運動量を電圧下で測定する実験を行っていた。しかしながら、軌道角運動量の変化は小さく、実験検出限界以下であった [T.Tsukahara, et al., Jap. e J. Appl. Phys., 56, 060304 (2017)]。そこで、より軌道角運動量が大きく、より大きな角運動量変化が期待できる Pd についての実験を、フランスの ESRF (European Synchrotron Radiation Facility) において 2 度にわたって行ったが失敗に終わった(未発表)。この頃 ImPACT の研究が始まり SPring-8 の鈴木基寛さんが紹介され、Pt の測定が可能であることを知り、ImPACT では Pt に注目した測定を行ったところ、当初期待していた軌道角運動量の変化は観測されず、代わりにスピン双極子(電気四重極子)の電圧による変化を発見した。この電気四重極による電圧効果は鈴木義茂教授自身が理論的に予想していたもの [Y.Suzuki, et al., Philosophical Trans. Royal Soc. A Math., Phys. and Eng. Sci., 369, 3658 (2011)] ではあるが、この効果が見つかるとは考えていなかった。また、文献検索の結果、磁気異方性自体(電圧効果は含まない)に関しては Van der Laan により式が導かれていたことを見出した [G.van der Laan, J. Phys.: Condens. Matter 10, 3239 (1998)]。

【新たな学術的知見の創出】

そこで、計算科学支援チームの東北大学 電気通信研究所 白井正文教授グループとの連携のもと、第一原理計算を行うと実験を説明できることが判った。すなわち、電圧磁気異方性変化の新機構の実験と第一原理計算の協力による発見である [S. Miwa et al., Nature Comm., 8, 15848 (2017)]。その後、Laan が与えた式に不完全な点があることに気付き、式を吟味したところ大きな間違えがあることを発見した。そこで、スピン双極子項の正しい理論式を鈴木義茂教授自らが導出した [Y. Suzuki, and S. Miwa, Phys. Lett., accepted]。以上、本研究により、理論的にも実験的にも電圧誘起磁気異方性変化の第二の物理機構を発見し、証明することにより新たな学術的知見を得た。

【派生的に生み出された成果】

この結果は、金属/絶縁体界面では電圧の印加により非常に大きな電気四重極子(電子軌道の歪)を発生させることができることを示したものであり、電圧による交換(反交換)相互作用の制御が可能であることを示唆するものである。実際に本プロジェクトにおいて電圧による交換相互作用 [J.Cho, et al., Phys. Rev. Appl. 10, 014033 (2018)] と反交換相互作用(DMI)の変調 [K.Nawaoka, Appl. Phys. Exp. 8, 063004 (2015)] が確認された。また今後は、この「金属/絶縁体界面での電圧の印加による非常に大きな電気四重極子(電子軌道の歪)の発生」は、超伝導の制御などへの利用も期待される。

- ◇ 大阪大学 基礎工学研究科 鈴木義茂教授グループと産業技術総合研究所 湯浅新治センター 長グループ、フランス Grenoble Alpes 大学の Bernard Dieny 教授グループの連携研究 - 熱による高速・高効率な磁極制御-MRAM と AI ハードウェアの低消費電力化の実現へ向けて - Nature Nanotechnology (2018) DOI:10.1038/s41565-018-0306-9

【失敗から得られた知見】

科学研究費補助金の研究においてスピントランスファートルクによるアンチダンピングを利用して高周波を増幅する実験を行っていた。実験には成功したが、トルクの同定を行うとスピントランスファートルクでは説明できないことが分かった。

ここで発見されたジュール熱による磁気異方性変化は、これまで応答速度が遅いためマイクロ波周波数帯では利用することが難しいと考えられていたが、この現象そのものがマイクロ波の周波数にも充分追従する応答速度を有することがはじめて明らかにされた。

【新たな学術的知見の創出】

そこで、このトルクは電圧印加磁気異方性変化によるものと考え、ImPACT においてそのトルクの発生機構を解明する研究を行った。その結果は、現象は電圧印加磁気異方性変化と酷似しているが、電圧に対する異方性の変化がきれいな 2 次関数で表されることなどから、この効果は電力の投入による熱の発生とその結果生じた磁気異方性変化により生じるトルクであることを解明した。熱機関は一般にマクロスケールで高効率・低速度、ミクロスケールで低効率・高速度であることが知られているが、今回の膜構造のスピントロニクス素子では、高効率・高速度な熱現象が発生することが判った。すなわち加熱により GHz で応答するトルクが発生するという新しい学術的知見を得た [M.Goto et al, Nature Nanotechnology,14,40 (2019)]。

【派生的に生み出された成果】

この効果を用いるとどちら向きの電流の場合でも、磁気異方性が下がる。一方、STT-MRAM を高速動作させようとするとスイッチング時間の短縮に伴い急激に反転電流が増大するという問題がある。そこで、この熱による磁気異方性変化を併用することにより問題が解決できる可能性を見出した。すなわち、この熱誘起の高効率かつ高速な磁気異方性変化を利用することでマイクロ波信号が増幅される現象がスピントロニクスにおいてはじめて発見された。

◇ 産業技術総合研究所 湯浅新治センター長グループと物質・材料研究機構 宝野和博拠点長グループとの連携研究

単結晶 MTJ ウェハ接合・3次元積層集積化プロセス

【失敗から得られた知見】

シリコンウェハ上への単結晶 MTJ の開発において、多結晶系の標準トンネル障壁層材料である MgO では失敗続きであった。そこで従来は、より技術難易度が高いと考えられていた新材料のスピネル系トンネル障壁を用いたところ、大型シリコンウェハ上に世界で初めて単結晶 MTJ を作製することに成功した。

【派生的に生み出された成果】

不揮発性 MRAM メモリへの適用を目指して単結晶 MTJ の 3 次元積層技術を開発したが、開発された材料・プロセス技術は磁気センサに限らず、広くセンサ集積回路などへの応用にも適用可能な波及効果の大きな成果となった。

◇ 東北大学 工学研究科 佐橋政司教授/野崎友大准教授グループとスイス連邦工科大学チューリッヒ校(Eidgenössische Technische Hochschule Zürich, ETH Zürich) Spaldin 教授グループとの連携研究

Search for the magnetic monopole at a magnetoelectric surface

PHYSICAL REVIEW X 9, 011011 (2019)

【派生的に生み出された成果】

本研究成果は、本プログラムの一つのプロジェクトである「交差相関電圧書込み磁気記録」の実現を目指して東北大 佐橋教授グループ等が取り組んだ「線形電気磁気効果を示す Cr_2O_3 の良質な薄膜作製」の成果の派生研究から生まれたものである。電気磁気双対性対称性ゆえに古典的な電磁気学から期待されている磁気モノポールは、その捕捉の難しさから何世紀もの間、物理学者の関心の的であった。特にそれらの関連性を、Dirac が磁気モノポールは磁場の既知のゼロ発散との一貫性を維持することを可能にするとの説明および、その存在が宇宙の電荷の観測された量子化を説明するであろうとの主張に則り、高感度宇宙線検出器を使用した探索からコライダー実験でのモノポールの生成の試みまで、磁気モノポールの探求は今日も活発な研究分野となっている。

本連携研究では、マクスウェルの方程式を解くことによって、スラブ表面の線形電気磁気効果を示す材料は、表面の下にイメージ磁気単極子を生成することを示し、その存在(磁気モノポールは、スラブの外側に理想的な単極磁場を生成)を、低エネルギーミュオンスピン分光を用いて世界ではじめて測定することに成功したものです。

(2) PM自身の活動（プログラム・マネージメント）に関する評価

① <目標設定> 産業や社会のあり方変革を目指した研究開発プログラムとして、目標設定の水準は妥当であったか。

我が国のエレクトロニクス産業再興の突破口、起爆剤となり得る圧倒的差別化技術の創出、すなわちシーズイノベーションを梃に、市場洞察(変化点の読み)と革新技術を通して、社会変革(インベーションの創出)への応用展開に挑む本プログラムでは、揮発性のコンピュータエレクトロニクスから不揮発性への技術革新をメモリ階層のみならず論理集積回路までのすべての階層で実現することに挑み、その研究開発ターゲットはスピントロニクス集積回路、電圧駆動 MRAM とともに桁違いの低消費電力を狙うもので、目標設定の水準は極めて挑戦的である(図 27、28 参照)

本ImPACTプログラムの取り組み方針

- ビッグデータやモノのインターネット、人工知能などの新たな情報通信技術の進展により大きな技術変革期にあるコンピュータエレクトロニクスの今後の展開とエネルギー消費量の増大、地球環境との共存を注視
- 昨今の我が国半導体エレクトロニクス産業の状況を鑑み(トップ15に1~2社)、エネルギー消費量を根本的原理から桁違いに削減可能でかつ我が国のエレクトロニクス産業の再興に資する突破口、起爆剤となり得る圧倒的差別化技術の創生と社会変革への応用展開に挑む取り組みを重視した実施計画を遂行

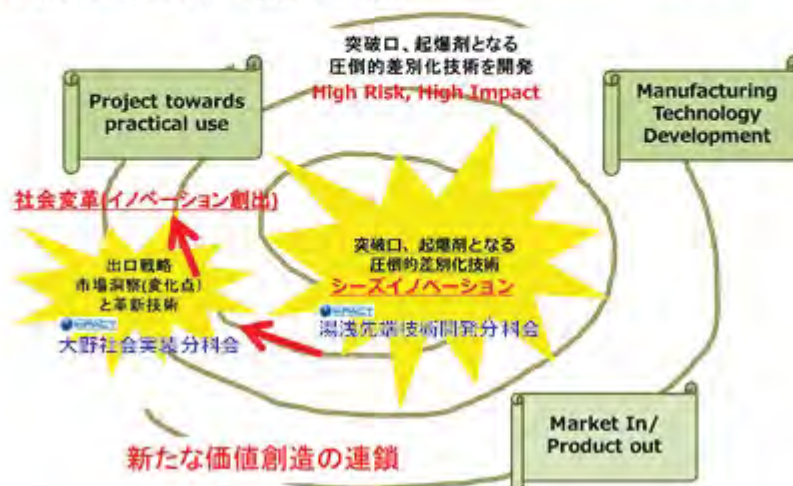


図 27 ImPACT 佐橋プログラム; シーズイノベーションから社会変革イノベーションの創出に

佐橋ImPACTの研究開発ターゲットの目安

Breakthrough from Integrated Circuit
=> Logic in Memory

Breakthrough from MTJ Performance
=> Cache/Main Memory

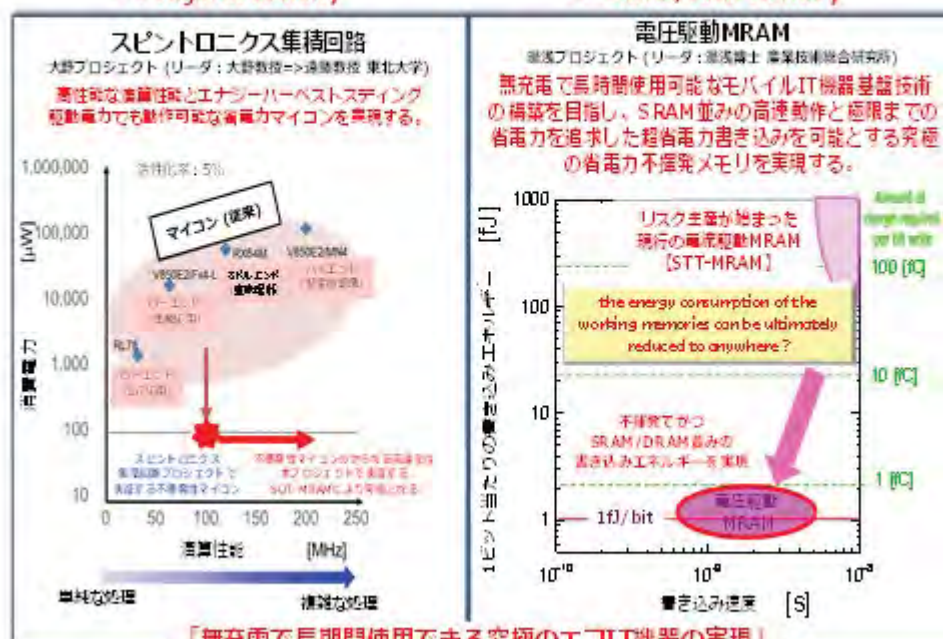
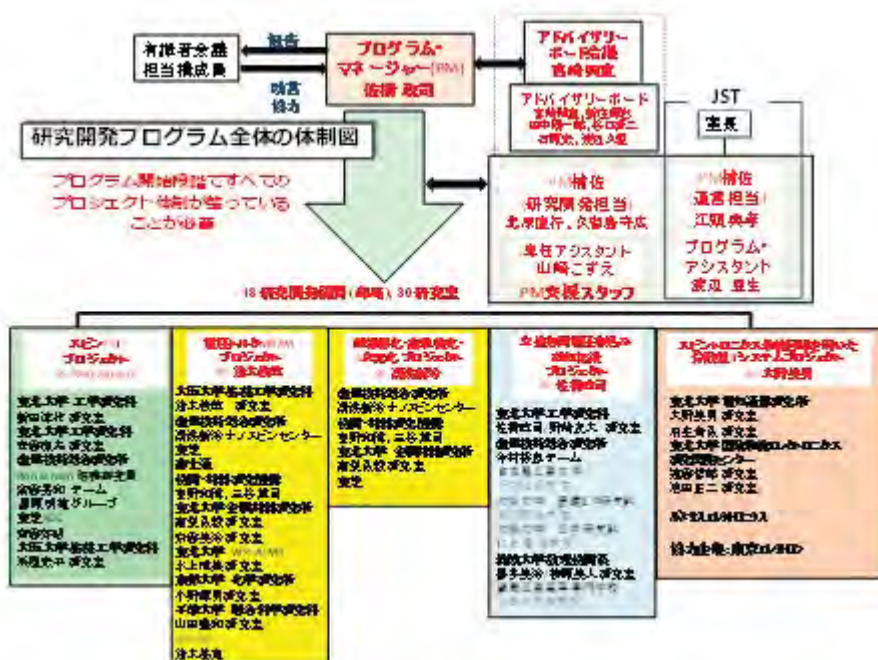


図 28 佐橋 ImPACT プログラムの研究開発ターゲットの目安

② **＜作り込み＞** トップ研究者の採用や異分野研究者との融合、外部専門家からの助言聴取など、国内外から斬新なアイデアや最先端の知見等を結集して研究開発を推進できたか。また、研究開発の実施体制は適切であったか。

本プログラムである「無充電で長期間使用できる究極のエコ IT 機器の実現」を目指して、先端技術の開発スピードが早いエレクトロニクス分野の研究開発事情とロジックを含めたコンピュータの各メモリ/ストレージ階層における根本的な低消費電力化を追求する本プログラムの目的を鑑みて、まずはいち早くプログラムの研究開発を開始すべく、不揮発特性において、最も動作速度が早くかつ信頼性に優れる“磁気”に的を絞り、日本のスピントロニクスおよび磁気ランダムアクセスメモリ(MRAM)のトップ研究者を、PM のリーダーシップのもと、18 研究開発機関の 30 研究室から結集、5 プロジェクト体制でプログラムの研究開発を推進する体制を敷いた。その推進のなかで、異分野研究者との融合や外部専門家からの助言聴取を積極的に取り込むべく、磁気と半導体の物理、材料、プロセス、デバイス、システムの各外部専門家、計 6 名と PM から構成されるアドバイザリーボード会議、知財の専門家(弁理士と特許事務所)を組み込んだ知的財産戦略委員会、JEITA の後援のもとコンピュータシステム寄りの外部専門家等から構成される先進不揮発性半導体応用展開勉強会を併設するとともに、企業を呼び込む形での分科会運営会議・研究開発推進会議を設置した。また、分科会体制への思い切った研究開発体制の再編に合わせて、計算科学支援チームを新設して研究開発の効率向上を図った。このように、プロジェクト体制およびその後の分科会体制を機軸に、適宜併設した各種会議、委員会、勉強会、支援チーム、米国 California State University Northridge 校の Nicholas Kioussis 教授らとの共同研究などを両輪に、斬新なアイデアや最先端の知見等を結集して研究開発を推進し、適宜思い切った研究開発ロードマップの見直し、研究開発体制の再編を行なうなど、研究開発体制の適切化を図った。

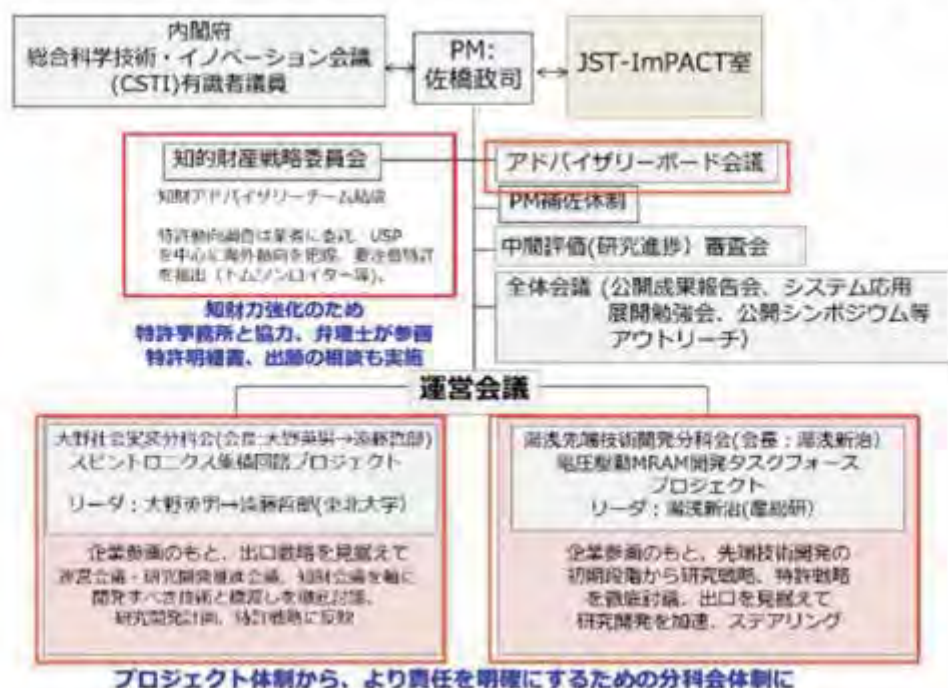


③ <進捗管理> 研究開発の進捗状況や国内外における研究開発動向（ベンチマーク）等に応じ、各プロジェクトの加速、減速、中止、方向転換等を果敢に行うことができたか。

5 プロジェクト体制下でのロードマップ管理、中間(研究進捗)審査会、ステージゲート審査会、アドバイザリーボード会議、および研究開発動向と特許出願動向等を第3者機関(トムソンロイター⇒クラリベイト・アナリティクス)に調査委託することも含めた知的財産戦略委員会、ImPACT 国際シンポジウムを適宜実施し、研究開発の進捗状況や国内外における研究開発動向(ベンチマーク)等を的確に把握したうえで、プロジェクトの統廃合、分科会体制への移行、計算科学支援チームの新設、研究開発ロードマップ上の重点化(選択と集中)等を思い切って行ない、20名におよぶPIの退場と公募による5名のPIの新規参入を促した。

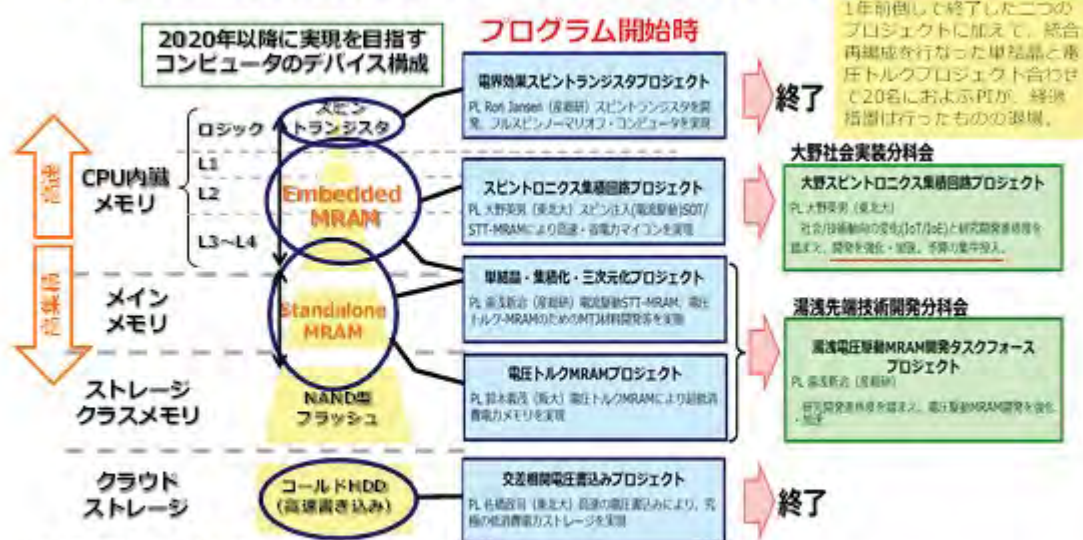
1年前倒しで実施したステージゲートは、予想以上に進展が著しいIoT/AIの進捗と大きな社会変革の波の到来を予測し、いち早く社会実装へとつなげるべく日本が世界と戦える分野として、社会を変える情報インフラ機器の革新、特にエッジに注力することを念頭に置き、各プロジェクトの研究進捗および新たに柱の一つに組み込むスピン軌道トルク(SOT)への予算確保を踏まえて、大野社会実装分科会/スピントロニクス集積回路プロジェクトへの予算の傾斜配分と電圧駆動MRAMの開発強化策としてのプロジェクトの統廃合(湯浅先端技術開発分科会/電圧駆動MRAM開発タスクフォースプロジェクトの発足)を実施した。基礎技術開発にImPACT期間以上の時間を要すると判断したスピンFETと交差相関電圧書き込みは、退場プロジェクトとして一年の経過措置を設定後終了とした。この判断には、かなり悩んだが今となれば、この英断は良かったと考える。

研究開発プログラム全体の体制図 I：研究開発推進体制



研究開発プロジェクト体制（プログラム開始時と平成28年度以降の見直し後）

いち早く社会実装するため、ステージゲートによりプロジェクトを統廃合

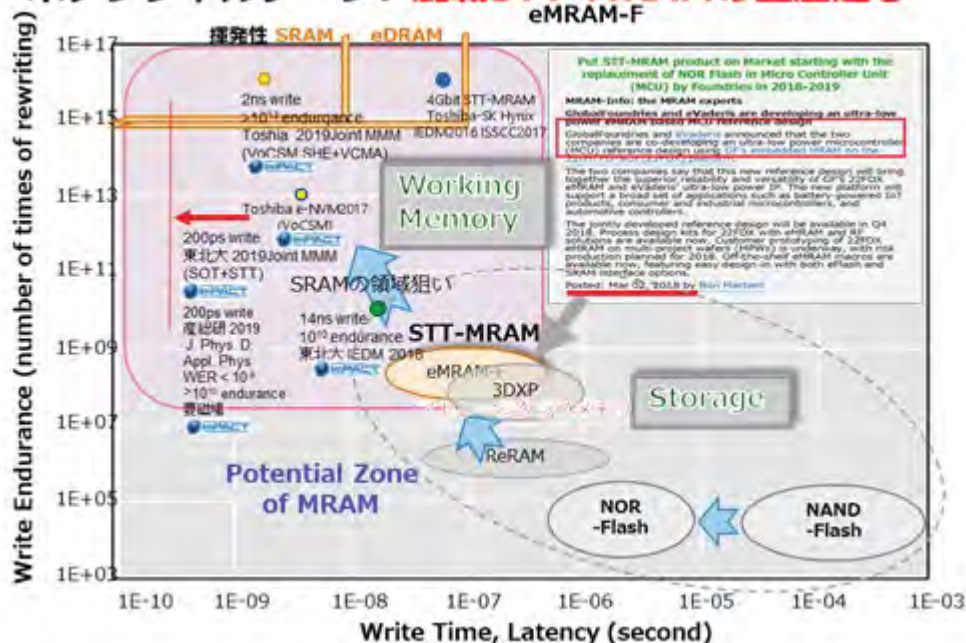


※MTJ(磁気)トンネル接合)はすべてのMRAMの基本構成要素

日本が世界と戦える分野として、社会を変える情報インフラ機器の革新に注力

内閣府 革新的研究開発推進会議資料(平成28年3月24日)

不揮発性スピントロニクスメモリ(MRAM)のポテンシャルゾーン: 混載STT-MRAMの量産近し



④ **<関係者の巻き込み> 研究開発に関連する産業界を巻き込み、それら関係者の自発的な研究開発投資を誘導することはできたか。**

本研究開発プログラムは、当初より参加研究開発機関としてプログラム/プロジェクトに最も積極的に参画した**株式会社東芝**、外部機関の関与として絶大な協力体制を敷いてくれた**ルネサスエレクトロニクス株式会社**の自発的な研究開発投資を誘発しながら行われた。特に、東芝の人的投資とルネサスのロジック用 CMOS ウェハの設計・製造に対する研究開発投資には感謝したい。

また、プログラムの研究開発成果である IoT エッジ応用の超省電力不揮発性マイコンと高速動作に大きな特徴を持つスピン軌道トルク電流駆動 MRAM や ImPACT 発新概念メモリである VoCSM(Voltage Control Spintronics Memory)による混載 SRAM/DRAM 技術の革新および In Memory Computing への応用展開と VoCSM ストレージクラスメモリへの開発展開、単結晶 MTJ のウェハ接合・3次元積層集積化プロセスの実用化などを通して、今後は、600~700 億ドルと拡大の一途を辿る半導体製造装置メーカーの雄の一つである**東京エレクトロン**や NAND を中心にしたストレージメーカーとなった**東芝メモリ**、自動運転で益々重要度が増す車載エレクトロニクスの雄であるルネサスエレクトロニクスや世界トップのイメージセンサメーカーである**ソニー**などを巻き込み誘発を促して行くとともに、グローバルイノベーションを指向す ImPACT 発 Startup Venture を通しての研究開発へのグローバルな投資を誘発して行くとともに、特にエッジ側のプラットフォーム構築を目指して、日本電気、富士通、デンソー、トヨタなどのシステム応用レイヤーの産業界の巻き込みを誘発する。

日本電気、富士通、日立、三菱などが次々と半導体事業からの撤退を決めて行く我が国のエレクトロニクス産業の厳しい状況に加えて、プログラム開始当初は産業革新機構の監視下のもと、リストラの嵐が吹き荒れていたルネサスやプログラム半ばに突如浮上した不正経理問題と米国の原子力事業での大損失による東芝の危機と虎の子のメモリ事業の売却など、本プログラムを取り巻く劣悪な研究開発環境のなかで、「IoT/AI で活況を呈する世界の半導体産業に伍して戦えるのは、スピントロニクスしかない」との確信を持ち続け、関係各位の絶大な協力のもと、ベストを尽くせたと考える。

⑤ **<成果の展開> 得られた研究成果の産業界への橋渡しや将来的な実用化・事業化に向けた戦略（知財及び標準化を含む。）及び体制が構築できたか。**

大野社会実装分科会(リーダ：東北大 大野英男教授=>遠藤哲郎教授)は、その成果である超省電力不揮発性マイコンの分散型自律適応 IT システムへの実用化展開を挺に、「**戦略的イノベーション創造プログラム (SIP) 第2期/フィジカル空間デジタルデータ処理基盤/超低消費電力 MTJ/CMOS Hybrid IoT デバイス基盤技術の研究開発**」へと研究開発成果を展開、ルネサスエレクトロニクスに加えて、日本電気、キーサイトテクノロジーの他、モビリティ関連企業をも巻き込み、主としてエッジ側のプラットフォーム構築を目指した社会実装戦略の具体的体制を構築した。

併せて、東北大学国際集積エレクトロニクス研究開発センターに特許管理機能を持たせ、基本回路 IP 等の知財の蓄積を図り、今後の展開に備えた。

一方、大学における基礎研究の成果[Nature Materials 11,39 (2012)]を基に、究極の超省電力駆動である電圧駆動 MRAM メモリの開発に挑んだ湯浅先端技術開発分科会(リーダー：産総研 湯浅新治研究センター長)では、その研究成果の特徴を活かし、大きく以下の3つに分けて成果展開を図る。

④ ImPACT 発新概念メモリ VoCSM(Voltage Control Spintronics Memory)

MRAM ストレージ層の磁気異方性の電圧制御(簡略化して電圧効果と表現)とスピンホール効果を併用する新アーキテクチャと電圧制御の特徴を活かした新規な記録方式を用いた新概念の不揮発性メモリで、高速型と大容量型の2種類があり、それぞれの特徴を活かした Open & Closed 戦略のもと、産業界への橋渡しを行なう。

④-1 高速型 VoCSM

1ビット当たりの書込みエネルギーが揮発性の SRAM/DRAM 並み以下の 1fJ 以下と究極の超省電力化が可能で、かつ 2ns 以下の短パルス幅(高速書込み)で 10^{13} 回以上(実質無限回)の書換え耐性(Endurance)を示す特徴を最大限活かすべく、**ImPACT プログラム知財(USP+KH)を梃に、SoC の基盤を成す揮発性混載 SRAM/DRAM の不揮発化を狙った Startup Venture:Spin-Orbitronics Technologies, Inc.(代表取締役 與田博明)を設立、資金調達も含めた集積回路チップ開発試作スキルの向上を図り、産総研つくば地区を開発拠点にグローバル戦略を立案してオープンイノベーションを図る。**

④-2 大容量型 VoCSM

リフレッシュ電力が必要な DRAM (平均数百 mW) に比べて、平均消費電力を 10 分の 1 以下にすることが可能など、1ストリング上の 8ビットの MTJ を一括書込みし、大容量メモリとして優位な特徴を示す大容量型 VoCSM は、参加研究開発機関の1つである株式会社 東芝に外部機関として関与している東芝メモリ株式会社の事業領域とのマッチングから、「データセンターのトラブル解決や高度な情報連携処理による生産現場データの活用」など、近年その重要度が増して来ている**高速ロギングメモリへの展開**などを皮切りに、10年後の Standalone 事業の目玉を目指して DRAM の不揮発化、ストレージクラスメモリ(SCM)技術/事業領域への展開を図るため、電圧効果の一層の向上などの課題は残すものの東芝メモリへの橋渡しを図る。日本で事業展開を図れるのは東芝メモリしかない。

⑤ 電圧トルク MRAM

大学における基礎研究の成果[Nature Materials 11,39 (2012)]を基に、電圧トルクによる磁化のダイナミクス制御の高効率化、書込みエラー率(WR)の低減を図り、MRAM ストレージ層材料を中心にした材料素子開発と電圧パルス制御方法の開発で、 10^{-6} 台

の低 WER を実証した電圧トルク MRAM は、高速書込みの特徴を最大限活かせる用途をソニーとの共同研究のなかで模索する。

◎ **単結晶 MTJ(磁気トンネル接合)・ウェハ接合・3次元積層集積化プロセス**

300mmSi ウェハ上へのエピタキシャル成長 MTJ の作製、300mm ウェハ接合技術の確立を通しての 300mmCMOS 基板上への単結晶 MTJ の 3 次元積層集積化プロセスの構築は、これまでは CoFeB ストレージ層と MgO バリア層に限られていた MRAM の要を成す MTJ 材料の選択肢を大幅に広げるほか、MRAM の大容量化により求められる微細化された MTJ の特性バラつきを大幅に改善することが期待できることから、**産総研から東京エレクトロン株式会社への技術移管および東京エレクトロンと産総研との共同開発による事業展開を図る。**

⑥ **＜PM 支援機能の活用＞ PM 補佐や JST、外部支援の活用など PM 支援機能を有効に活用できたか。**

PM 補佐等の支援は言うまでもありませんが、本プログラムを軌道に乗せるための研究開発予算の増額については、内閣府及び JST-ImPACT 室の関係各位のご指導、ご支援の賜物と考えています。また、Big Data、モバイル IT、IoT の進展に加えて、本プログラムを始める頃(2014 年、H26 年)から急速に動向が変化し始めたコンピュータ技術の変革、米国 IT 企業での AI チップ開発を含めた AI 技術の進展など本プログラムの研究開発を取り巻く環境が大きく変化しつつあることを受けて始めた、トムソンロイター社(⇒クラリベイト・アナリティクス社)への調査委託(学術論文誌と特許から見た不揮発性メモリ全般や MRAM の技術開発動向調査)や東京大学の中村宏教授のご協力のもとはじめた『先進不揮発性半導体応用展開勉強会』は、JEITA の後援および JST の CRDS も含めた多くの外部の方々の支援のもと有意義な議論と情報交換の場を作ることが出来た。**本勉強会の委員は、佐橋、中村 宏(東大)、竹内 健(中央大)、羽生貴弘(東北大)、藤田 忍(東芝)、湯浅新治(産総研)、川上景一(JEITA)、PM 補佐、藤原 洋(ブロードバンドタワー)、薬師寺 啓(産総研)、秋永広幸(産総研)、與田博明(東芝)、内山邦男、金山敏彦(日本工学アカデミー)、参加頂き議論させて頂いた方々は、土井三浩(日産)、松尾芳明、鯉渕 健(トヨタ)、安浦寛人(九大)、木村康則(富士通、JST-CRDS)、竹上嗣郎(経産省/内閣府)、山岡志郎、亀岡和弘(日立)、本村真人(北大)、山道新太郎、久世和資(IBM)、中村祐一(NEC)の現在第一線でご活躍の面々にお集り頂き、佐橋プログラムの出口展開へと反映することが出来たものと考えています。**

一方、H28 年度に分科会体制へと移行させたと同時に設置した「知的財産戦略委員会」には、日向寺国際特許事務所(代表弁理士 日向寺雅彦)と英知国際特許事務所(代表弁理士 岩崎孝治)にも参画頂き、若手研究者の特許出願窓口等出口展開のうえで重要な戦略的な特許の造出へとつなげることが出来た。また、日本工学アカデミーの「次世代コンピューティ

ング技術プロジェクト」にも参画、2030 年に向けた次世代計算機技術開発戦略について議論、報告書の策定に協力した。

加えて、Startup Venture 設立に向けては JST の SUCCESS スタッフの皆さん、株式会社ジャフコ、JST-ImPACT 室など国内外の多くの方々と議論のうえ、その方向性を決めた。最後に、本 ImPACT プログラムでは磁気工学/磁性物理および半導体デバイス/プロセス各分野の重鎮にアドバイザリーボード会議のメンバとなって頂き、定期的に開催したアドバイザリーボード会議に加えて、中間審査会、ステージゲート審査会などの各種審査会を一体となって推進し、プロジェクト体制および分科会体制における研究開発の進捗の管理に取り組んだ。

⑦ **＜アウトリーチ＞アウトリーチ活動等が積極的に行われ、研究開発の意義・重要性等に関し、関連する産業界や一般の理解が深まったか。**

H27 年 6 月より本プログラム独自の国際シンポジウムを年 1 回開催、H29 年 9 月までに 3 回の国際シンポジウムを実施し、関連する産業界(半導体及びコンピュータ、自動車関連)、世界のトップ研究者と本研究開発の意義・重要性等を議論する公開の場を設け、一般の方々とともに、本分野の理解を深めることに努めた。

第 1 回 国際シンポジウム「The 1st [ImPACT] International Symposium on Spintronic Memory, Circuit and Storage」は、H27 年 6 月 21 日(日)から 22 日(月)の 2 日間にわたり、東京国際交流館プラザ平成にて開催した(参加者～200 名)。プログラスマネージャーおよび 5 つのプロジェクト、それぞれのプロジェクトリーダーより「ImPACT 佐橋プログラムの研究開発の取り組み」について、国内外に向けてアピールするとともに、世界でスピントロニクス最先端の研究開発を牽引している国内外の研究開発者の参集を得て、先端研究の動向の共有化および活発な議論を通しての情報交換を行うことにより、新たな省電力エレクトロニクス研究開発の方向性を確認、グローバルな研究開発展開を図ることができた。

第 2 回 国際シンポジウム「The 2nd [ImPACT] International Symposium on Spintronic Memory, Circuit and Storage」は、H28 年 9 月 30 日(金)につくば国際会議場にて開催した(参加者～200 名)。プログラムの構成を H28 年度より前年度までの 5 プロジェクト体制から出口戦略を強く意識した 2 分科会/2 プロジェクト体制に統廃合・集約してからの初の国際シンポジウムとして、各々の分科会からの活発な研究成果のアピールと、MRAM マーケットを見据えて世界でスピントロニクス最先端技術開発を牽引している国内外の技術者/研究者からの話題提供、さらには IoT, AI, Automobile 分野に関わる国内外の技術者からの話題提供等も含めて、今後の出口展開の戦略構想を立案するにあたり有意義な意見交換の場となった。また、日経エレクトロニクス誌にも取り上げられるなど、佐橋プログラムの取り組み、最新成果の情報発信機会としても有効な場となった。

第 3 回 国際シンポジウム「The 3rd [ImPACT] International Symposium on Spintronic

Memory, Circuit and Storage」は、H29 年 9 月 23 日(土)から 25 日(月)の 3 日間にわたり、東北大学 青葉山キャンパス カタールホールにて開催した(参加者~160 名)。第 3 回は、STT-MRAM のリスクプロダクションの開始宣言やコンピュータを取り巻く技術開発動向の急激な変化を踏まえて、Luncheon Seminar 【Technical Issue to be overcome and the challenges on the MRAM exit strategy】も含めて、応用展開を強く意識した多岐の分野の専門家が集い、本分野のインベーションを広く議論、情報交換を行う場とした。日産、ルネサスエレクトロニクス、東芝メモリ、TSMC、Globalfoundries、Avalanche Technologies、東京エレクトロン、IBM、富士通、NEC などの国内外の関連企業の技術者をはじめ、SPINTEC、National Tsing Hua University、Duke University、Cornell University、National California State University Northridge、University of Singapore、Minnesota University、UCLA など、海外の大学の世界トップ研究者から、本 ImPACT プログラム参加の大学、国研、企業も含めて、計 30 件に及ぶ講演と活発な議論がなされた。

また、H30 年度に入ってから、最終年度にあたり本 ImPACT プログラムの研究開発成果を広く一般の方々にも報告、ご意見を頂くための公開の報告会を、2 回にわたって行うことにした。最初の公開成果報告会は、H30 年 6 月 29 日(金)に東京国際フォーラム(プログラムセッション会場 ホール D7、ポスターセッション会場 ホール D5)で行ない、総数 203 名(日本国内 200 名、アメリカ 2 名、韓国 1 名)に及ぶ参加者との間で、活発な質疑応答がなされた。36 以上の機関が参加した。主なところは、アルバック、アドバンテスト、アルプス電気、Avalanche Technology、インテル、KEYSIGHT TECHNOLOGES、キャノンアネルバ、クラリベイト・アナリティクス・ジャパン、Samsung、住友精化、ソニー、田中貴金属、TDK、デンソー、東京エレクトロン、東京大学、東京工業大学、豊田中央研究所、日本電子、NTT、日産化学工業、ファストリンクテック、富士通、富士電機、フルヤ金属、ブロードバンドタワー、一般社団法人半導体産業人協会、北海道大学、マイクロンメモリ、三菱総合研究所、ルネサスエレクトロニクス、陸上自衛隊、宇部マテリアルズ、名古屋工業大学、三井化学、JST であった。

そして最後の開催となる^{未来を拓く}公開総括成果報告会を H31 年 3 月 4 日(月)に JST 東京本部別館(市ヶ谷)で、デモンストレーション展示も含めて実施した。200 名を超える参加者が集い、活況を呈した公開報告会となった。

その他、応用展開を意識した個別のワークショップとして、H28 年 7 月 6 日(水)には、スマートホン・タブレット・自動車等の電子部品メーカである、村田製作所のコンポーネント事業、技術事業本部所属の数名と現在開発している最新技術の発信や事業化の観点からの問題等、多岐に亘っての議論がなされ、有意義なワークショップとなった。ここから発展したのが、先の『先進不揮発性半導体応用展開勉強会』である。

加えて、研究開発の進捗に合わせたタイムリーなプレスリリース、ホームページ・リーフレット等による積極的な広報・アウトリーチ活動を行なった。ホームページについては、ImPACT 佐橋プログラムの公式ホームページを開設し、本プログラムで推進する研究開発の

内容紹介、実施体制、各プロジェクトの研究成果、進捗状況、公募情報などを都度発信・公開して来た。さらに、研究開発の進捗に応じた研究成果の発信、ImPACT 佐橋プログラムの国際シンポジウムや公開成果報告会などの案内を適宜行なって来た。

プレスリリースについては、Joint MMM-Intermag や VLSI、IEDM、ISSCC などの主要国際会議での採択・発表とインパクトファクター10 相当以上の学術論文誌への掲載、Startup Venture の設立等重要なイベントを中心に行ない、以下のように内閣府、JST と参加研究開発機関との共同発表だけでも 17 件のプレスリリースを既に行っている。2 月 28 日(木)に行われた内閣府主催の記者懇談会では、ISSCC と Joint MMM-Intermag での発表に対するプレスリリース等を行なった(日経産業新聞 6 面トップ、2019/3/15 の先端技術欄)。以上を通して、アウトリーチ活動等を積極的に行ない、研究開発成果の発信などとともに、本研究開発の意義と重要性等は十分関連する産業界や一般の方々の理解に訴えることが出来たものと確信しています。

LSIのオリンピックと言われるISSCCに採択



SESSION 12 **Tuesday February 19th, 8:30 AM**

Emerging Technologies

Session Chair: *Wim Dehaene, Kuleuven-MICAS, Leuven, Belgium*
Associate Chair: *Sriram Vangal, Intel, Hillsboro, OR*

8:30 AM

12.1 An FPGA-Accelerated Fully Nonvolatile Microcontroller Unit for Sensor-Node Applications in 40nm CMOS/MTJ-Hybrid Technology Achieving 47.14uW Operation at 200MHz

M. Natsu¹, D. Suzuki¹, A. Tamakoshi¹, T. Watanabe^{1,2}, H. Honjo^{1,2}, H. Koike^{1,2}, T. Nasuno^{1,2}, Y. Ma¹, T. Tanigawa^{1,2}, Y. Noguchi^{1,2}, M. Yasuhira^{1,2}, H. Sato¹, S. Ikeda^{1,2}, H. Ohno¹, T. Endoh^{1,2}, T. Hanyu¹

¹Tohoku University, Miyagi, Japan
²JST/ACCEL, Tokyo, Japan

2019 Joint MMM-Intermag Conference, Washington DC
GD-10

Real-Time Observation of Fast and Highly Reliable Magnetization Switching in Voltage-Control Spintronics Memory (VoCSM)

T. Inokuchi, H. Yoda, K. Koi, N. Shimomura, Y. Ohsawa, Y. Kato, S. Shirotori, M. Shimizu, H. Sugiyama, S. Oikawa, B. Altansargai, and A. Kurobe

2019.01.18
Corporate R. & D. Center, Toshiba Corporation

This work was partly supported by the ImPACT Program of the Council for Science, Technology and Innovation (Grant-in-Aid for Scientific Research).

TOSHIBA



革新的研究開発推進プログラム
ImPACT
Innovative Materials and Processes for Advanced Technology

© 2019 Toshiba Corp.

佐橋プログラム プレスリリース一覧 内閣府、JSTとの共同発表

2015.12.10	産総研	電圧書き込み方式不揮発性メモリーの安定動作の実証と書き込みエラー率評価
2016.07.16	東北大学	反強磁性体の新しい物理と応用を開拓～スピン・軌道相互作用を用いた磁化の制御に成功～
2016.03.22	東北大学	新構造磁気メモリ素子を開発～スピン軌道トルク磁化反転の第3の方式の動作を実証～
2016.07.26	東北大学、東京大学、京都工芸繊維大学	マンガン系合金ナノ膜を用いたMRAM記憶素子の開発に成功 ～大容量の不揮発性磁気抵抗メモリ(MRAM)の開発に資与～
2016.09.30	産総研	世界最高性能の半導体系トンネル磁気抵抗素子を開発 ～特低電力ゼロのトランジスタ実現へ道を拓く～
2016.12.04	京大、産総研	不揮発性磁気メモリのための新たな電圧駆動書き込み方式を開発 ～超低消費電力・高速メモリ「電圧トルクMRAM」の実現に道筋～
2016.12.04	京大	電圧制御磁化反転を使った不揮発性磁気メモリに新たな書き込み方式を提案 ～究極の省電力・大容量メモリの実現を目指す。書き込み確率の大幅改善を実証～
2017.2.28	産総研	不揮発性磁気メモリ-MRAMのための高性能歩留率を開発 ～大容量MRAMの開発を加速～
2017.5.16	産総研	不揮発性磁気メモリ-MRAMの3次元積層プロセスを開発～新世代半導体MRAM製造の可能性～
2017.6.1	東北大学	反強磁性体スピンの反転に必要な電圧を大幅低減 ～交換結合ヘテロ積層電圧書き込み磁気記憶デバイスに道筋～
2017.8.23	大阪大学、東北大学、産総研	原子の動きを変えて超省エネルギーメモリ ～大型放射光施設SPring-8で電圧磁気効果の新原理解明～
2017.7.12	産総研	電圧書き込み方式不揮発性メモリーの書き込みエラー率を徹底的に低減 ～超低消費電力な電圧書き込み型MRAMの開発を加速～
2017.12.1	産総研	高効率な電圧スピン制御を実現する新材料を開発 ～超省電力な電圧トルクMRAMの実用化に貢献～
2018.2.14	東北大学	磁気トンネル接合素子、素子の一画ナノメートル領域で動作実現 ～超大容量・低消費電力・高性能不揮発性メモリの実現に道筋～
2018.10.12	東北大学、高輝度光科学研究センター	クロム酸化物反強磁性体薄膜の微細磁化を自在に制御する技術を開発 ～従来不可能だった数ナノメートル厚の反強磁性スピンの電圧反転も視野に～
2018.12.3	大阪大学、産総研	熱による高速・高効率な磁化制御 ～MRAMとAIハードウェアの低消費電力化の実現へ向けて～
2018.12.7	東北大学	磁気のない金属からナノ薄膜磁石を作ることに成功 ～超高集積不揮発性磁気メモリを実現するための材料開発に新しい視点～

スピントロニクスを結核開拓技術を開いて、高性能(動作速度約 200MHz)と超低消費電力(平均電力 50μW以下)を実現。

⑧ <人材育成> 若手や女性を含め研究人材の育成にどの程度貢献できたか。また、基礎研究からイノベーションを生み出す取り組みに関する参画研究者の意識改革がどのように進んだか。

本 ImPACT の研究開発プログラムは、当初 30 に近い参画研究開発機関の若手を中心に女性も含めて 250 人にも及ぶ研究者が参画して、本 ImPACT プログラムの大きな目的である「無充電で長期間使用できる究極のエコ IT 機器の実現」を目指して、5 プロジェクトそれぞれの目標の達成に向けて、多くの大学、国研をはじめとするアカデミーの若手研究者に目的・目標を明確化した目的基礎研究に取組んでもらう体制を敷いた。期初のキックオフ全体会議や期末全体会議、運営会議等を通して、PL、PI など個々の研究開発を牽引する研究責任者および参加研究者との問題意識の共有化を度々図りながら、個々の PI が責任を持って若手研究者と議論しながら研究開発の目標を擦り合わせ、研究開発を推進する仕組みとした。また、中間審査やサイトビジットの機会を利用して、アドバイザリーボード会議メンバーの先生方の意見、助言に若手研究者が直接触れる機会を増やし、基礎研究からイノベーションをリアルに生み出す取組みの難しさと挑み続けることの重要性を肌で感じ、実際に取り組んでもらうことで多くのアカデミーの先生方が周知している科学研究費補助金事業とは異なる ImPACT が掲げるイノベーションの重要性を理解もらうべく主に若手研究者の意識改革に努めることで、意識改革はかなり進んだと確信しているが、いかにも 4 年半は短く、極めて残念ながら定着化には及ばなかった。以前より述べていることではあるが、

High Risk で High Impact な研究開発に挑み、基礎研究から社会の変革を引き起こすようなイノベティブな研究成果を導くには最短でも 10 年の継続した研究開発プログラムの仕組みが必要である。

さらに、分科会体制に移行してからは、各々の分科会で若手研究者も参加する研究開発推進会議を開催し、目的・目標の共有化と継続した意識改革に努めた。その結果、PM のみの力ではなく、PL および PI の的確な指導の賜物と考えているが、私どもスピントロニクス技術分野において、アカデミー及び産業界で今後の日本否や世界を牽引する人材の育成が、出来たものと確信する。このような若手研究者の意識改革については、唯一の企業からの参加研究機関であった東芝のコーポレート研究所の若手研究者にも出来たものと考えたいが、度重なる激震が東芝を襲ったことが、ImPACT と同時期であったことは極めて残念である。

⑨ **<全体> 更なる研究開発の発展や、我が国の産業競争力の強化、困難な社会課題の解決に向け、どれほどの貢献ができたか。**

スピントロニクス集積回路研究におけるエナジーハーベスティング駆動可能な超省電力不揮発性マイコンの開発試作実証は、SoC(システム LSI)の超省電力化を、マイコンの 100MHz ~200MHz の高性能な演算性能下において世界で初めて実証に成功したもので、分散型自律適応 IT システムへの実用化展開を梃に、「戦略的イノベーション創造プログラム (SIP) 第 2 期/フィジカル空間デジタルデータ処理基盤/超低消費電力 MTJ/CMOS Hybrid IoT デバイス基盤技術の研究開発」へと研究開発成果を展開、ルネサスエレクトロニクスに加えて、日本電気、キーサイトテクノロジーの他、モビリティ関連企業をも巻き込み、主として今日の社会的課題であるエッジ側のプラットフォーム構築を目指した社会実装戦略の具体的体制を構築するなど、スピントロニクス技術の SoC(システム LSI)応用への発展に著しく貢献出来たものと考ええる。

また、大学における基礎研究の成果[Nature Materials 11,39 (2012)]を基に、究極の超省電力駆動不揮発性メモリの実現に挑んだ、電圧駆動 MRAM メモリの研究開発における

『ImPACT 発新概念メモリ VoCSM(Voltage Control Spintronics Memory)』の発明は、待機電力ゼロと言った不揮発性メモリが抱えていた大きなジレンマである書込み電力に大きなブレークスルーを与える新技術を創生した画期的成果であり、いよいよ動き出した混載 MRAM 分野に弾みをつける開発成果として、学会でも高く評価されている。具体的には、1 ビット当たりの書込みエネルギーを揮発性の SRAM/DRAM 並み以下の 1fJ 以下を実証するなどの究極の超省電力化駆動のもと、2ns 以下の短パルス幅(高速書込み)で 10^{13} 回以上(実質無限回)の書換え耐性(Endurance)を世界で初めて実証したもので、スピントロニクスメモリの分野に新風を吹き込み、大きく発展させるとともに、混載 SRAM/DRAM の不揮発性化の可能性を大いに前進させたものである。限られた研究予算、限られた期間の ImPACT 内では叶わない、本技術の集積回路チップ開発は、諦めることなく確信と執念を持って、ファンドなど市場からの資金調達で実施すべく、グローバルイノベーションを狙って Startup

Venture 事業として開発の推進を図って行く。

- ⑩ <全体> 目標通りの成果が得られなかった事例等の原因分析や解析が適切に行われ、そこから得られた知見や教訓を次の挑戦に活かすことができるか。失敗を通して次の挑戦につながる道筋は描けたか。

【目標通りの成果が得られなかった事例と原因分析/要因解析】 および

【得られた知見や教訓を活かした次なる挑戦】

(a)大容量型電圧駆動 MRAM に要求される 1000fJ/Vm 以上の電圧効果(界面磁気異方性の印加電圧変化係数)の未達

⇒

未だ物理的に未解明であった界面磁気異方性およびその印加電圧変化の物理機構の解明は、本 ImPACT プログラム開始当初より重要な課題の一つとして、電圧トルク MRAM および H28 年度よりプロジェクトの統廃合で再編成した湯浅先端技術開発分科会/電圧駆動 MRAM 開発タスクフォースプロジェクトの課題として、MRAM デバイス開発と併行する形で継続して取り組んだ。その結果、阪大と JASRI Spring-8、産総研の実験グループの実験的知見と計算科学支援チームの東北大グループの理論計算(第一原理計算)から、界面磁気異方性の印加電圧変化は、外部からの印加電圧により強磁性金属の電子数が変化し、軌道磁気モーメントが変化する要因となっている「スピン軌道相互作用エネルギーをスピンが保存した波動関数で挟んだ時に得られるエネルギー」に起因するもの(Fe などの 3d 遷移金属はこの効果が支配的)と、金属界面での静電遮蔽と金属中に生じる不均一電界のために、外部印加電圧により金属原子の電子雲が歪み電気四極子が発生することに起因するもの(スピン軌道相互作用が大きい Pt ではこの電気四極子機構が無視できないほど大きい)の 2 種類の物理機構によって起こることが判った。この物理解明の結果、電圧印加による界面磁気異方性の変化(電圧効果)には軌道モーメントの変化と磁気双極子モーメントの変化が起源となっている 2 種類の物理機構があり、個々の物理機構は 1000fJ/Vm 以上の大きな電圧効果を示すことが判った。したがって目標の 1000fJ/Vm 以上の電圧効果は決して無謀なものでなかったが、残念ながら 2 種類の電圧効果の符号は、あらゆる重金属(Hf、Ta、W、Re、Os、Ir、Pt、Au)において常に逆符号となり、実験で得られるトータルの電圧効果は数百 fJ/Vm に止まることが判ったことは、極めて大きな進展と言える。尚、この磁気双極子モーメントの変化が磁気異方性エネルギー(Magnetic Anisotropy Energy:MAE)の電圧変調の起源となっていることを示したのは、世界で初めての成果である。このような原因分析/要因解析より、大容量型 VoCSM など要求される 1000fJ/Vm 以上の高い電圧効果を得るためには、再現性も含めて更なる精査が必要ではあるが、図 19 のような格子歪効果を組み込んだ結晶磁気異方性の電圧効果に関する研究の深耕が重要との方向性が得られた。

(2) その他、ImPACT プログラム全体に対する所感・提言(自由記述)

【所感】

リスクは大きい、成功・完成の暁には社会に大きなインパクトを与える研究開発に果敢に挑むこと、基礎研究からイノベーションを生み出す取り組みを推奨することを骨子とする今回の ImPACT プログラムの趣旨と思い切った PM 制度の導入には大賛成であり、私が確信をもって信念としている「**大きな目的を持って取り組む重要な基礎研究は、未だ全体像を描き切れない基礎研究の段階から思い切って研究開発投資を行なう、またそのための研究戦略を可能な限り描き切る**」と言った信条と合致していた。事実、この信条でまだまだ基礎の段階の研究からシステム屋らを巻き込み、研究開発を推進して誰も実現出来なかった液体ヘリウムを使うことなく 4K の極低温で出力の取れる磁性蓄冷材小型気体冷凍機の開発に成功している。また、世界に先駆けていち早く巨大磁気抵抗型(GMR)ヘッドの開発に成功して、世界初の GMR ヘッド搭載 HDD を製品化するなどの HDD の大変革につながる実績も挙げて来ている。この GMR の物理的発見でフランスのアルベール・フェール(Albert Fert)とドイツのパーター・グリュンベルク(Peter Gruenberg)はノーベル物理学賞を受賞している。

ただ、以下の 4 点で本 ImPACT プログラムの試みは中途半端であり、極めて残念に思う。

- ① 中途半端な PM 制度の導入
- ② 中途半端な研究開発期間と研究開発費
- ③ 国家戦略の欠如
- ④ 産業界との相互理解

【提言】

① 中途半端な PM 制度の導入に対して:

PM が、リスクは大きい、成功・完成の暁には社会に大きなインパクトを与える研究開発に果敢に挑むこと、基礎研究からイノベーションを生み出す取り組みを推奨することを骨子とする ImPACT プログラムの趣旨を踏まえて、研究開発の全体構想を描き、世界トップクラスの一流研究者を呼び込みながら、その実現に挑むとき、PM の立ち位置をどのように位置づけかが重要。

その位置づけには以下の二つが考えられる。

- (I) PM が大きな意味でのプログラム研究開発のリーダーとなって研究開発を牽引、イノベーション創出に向けて果敢に挑む(会社で言えば、技師長あるいは技術マネジメントに長けた**研究者がリーダー**となってプロジェクトを動かす)
- (II) PM を DARPA のような Research Project Agency の一員と位置付けて、一定の処遇を保証した上で、組織の一員としてしかるべき研究者との討議や技術動向調査なども含めて、最低でも 1 年じっくりと研究開発構想を練り上げて後、産業界等関係機関の理解も得たうえで、構想を実現に導く体制を組み、イノベーション創出に向けて果敢に挑む(まさに PM は技術マネジメントに徹し、研究は行わない。組織は PM が最大の成果を出せるようバックアップする)

今回の ImPACT では、僅かな大学のエフォートは認められていたものの、PM はプロデューサだとか、ディレクターだとかで、研究はするなどのスタンス。それでいて、PM が公募に応募、4 年半経てば「はいそれまで」では、本来の ImPACT の趣旨である「リスクは大きい成功・完成の暁には社会に大きなインパクトを与える研究開発に果敢に挑むこと、基礎研究からイノベーションを生み出す取り組みを推奨することを骨子とする」を貫くための研究開発の継続性に問題。極めて中途半端である。

上記(Ⅰ)か(Ⅱ)のいずれかに PM の立ち位置を明確化すべきと提言する。加えて、アカデミアの若手であれ、企業の中堅、若手であれ、PM 補佐が個人のキャリアアップ/キャリアディベロップメントにつながるポジションとすべく、大学・国研及び産業界との擦り合わせをしなければ、優秀な PM 補佐(研究マネジメント)を揃えることは不可能と提言したい。

② 中途半端な研究開発期間と研究開発費:

Big Data 時代を切り拓いた垂直磁気記録の発明者で、ベンジャミン・フランクリン・メダルを受賞された岩崎俊一先生が唱える 30 年説(イノベティブな研究開発の社会実装には 30 年の年月が必要)や、今やモバイル機器のストレージ、Big Data や IoT/AI で社会を大きく変革する原動力となっているフラッシュメモリを発明し、コンピューターヒストリーミュージアムと全米家電協会(CEA)に続いて殿堂入りを果たした舩岡富士雄先生が「フラッシュメモリは HDD を駆逐する」と言い始めたのが、私が HDD に大変革を引き起こす GMR ヘッドの全社プロジェクトを立ち上げようとしていた 1990 年はじめ、今が 2019 年であることを考えるとフラッシュメモリも今日を築くのに 30 年を要している。私が発明した GMR ヘッドも IBM の粘り強い MR ヘッドの研究が基になっていることを考えると社会実装まで 30 年を要している。私に近い分野だけでも基礎研究あるいは基礎技術開発から社会実装までに 30 年を要し、社会に大きな変革をもたらした例が多くある。磁性蓄冷材や磁気冷凍は 40 年を要したこれからが本当の社会変革につながる時期に入ったのかも知れない。イメージセンサ(人工網膜)も同じかも知れません。

このように観て来ると、真に社会に大きな変革をもたらすイノベティブな研究開発には、時を要する。したがって、「リスクは大きい成功・完成の暁には社会に大きなインパクトを与える研究開発に果敢に挑むこと、基礎研究からイノベーションを生み出す取り組みを推奨することを骨子とする」本 ImPACT のような制度では、ステージゲートはあっても良いが、10 年スパンの研究開発期間としかるべき研究開発費での研究開発構想の立案とその実行を提言したい。ちなみに私どものプログラムを例にとると電圧駆動 MRAM が大学での基礎研究成果が Nature Materials に掲載されてから 7 年、VoCSM はデバイス概念実証 1 年と本格開発 2 年のまだたった 3 年弱、不揮発マイコンが FIRST から ImPACT にわたる 10 年です。VoCSM はあと 3 年あったら集積回路チップ開発を終えていたかも知れない。おそらく終えて、次のシステムとの連携により早く進展したものと思われる。

③ 国家戦略の欠如:

国家戦略は言い過ぎかも知れませんが、国家の機軸と考えられる「鉄に代表されるような材料」や半導体などの産業のコメ、最近では IoT/AI などの基盤技術等の国力強化策が不十分な気が

します。100年に一度とも言われる産業構造および社会構造の大変革のカギを握る半導体分野に欧米や中国がこぞって国家政策レベルで半導体産業の強化に動いている今日、日本は本当に半導体産業などのICT、IoT/AIの基幹を成すエレクトロニクス産業の復興に対して、国家戦略を持たなくて良いのでしょうか。2015年に中国政府はハイテク製造業を振興するために「中国製造2025」を策定し、その中の第一に**次世代情報技術(半導体、5GやAI)**を位置づけるとともに、情報化(情報通信技術と製造業の融合)、イノベーションの促進などの4項目で数値目標を設け、政府は、消費や生産の各分野における多様なデータをIoT、センサ等で収集・蓄積し、ビッグデータやAIなどを駆使して分析することで、新規ビジネス創出や産業の活性化を図ることを狙っている。日本の「とある半導体製造装置メーカー」の首脳は「材料、装置、部品と日本には強い産業が集積する。その育成基盤である半導体そのものに、国としてもっと力を入れるべきだ」との意見も述べている。

本ImPACTプログラムでも、すべてとは言わないが、社会により大きな変革をもたらす国家の機軸/基盤を成す分野・課題により重点化した取り組みも必要と考え、一刻も早く産業競争力強化の国家戦略の策定、とりわけ「待ったなし」で、かつ「100年に一度」とも言われる産業構造/社会構造の変革のカギを握る半導体産業強化のための国家戦略の策定を提言する。

④ 産業界との相互理解:

経済成長期、バブル期には、日本の産業競争力の源泉となる科学技術を牽引して来た企業のコーポレート研究所(中央研究所)には、もはやその力がなく、期待が出来ない。このような状況下ではアカデミーを中核に置く本ImPACTのような大きな研究開発の仕組みは極めて重要である。したがってこの仕組みの継続、強化のためにも産業界との相互理解をもっと図り、産業界の後押しを促す仕掛けを提言したい。PM業務の一つかも知れないが、一人のPMでは自ずから限界があり、より大きなムーブメントを誘発するための知恵と仕組み/仕掛けが必要である。