

## 1-2 インホイールモータの設計

インホイールモータの設計にあたり、タイヤの縁石乗り上げシミュレーション（計算）から必要電流および発熱量を求めた。図5に計算結果を示す。

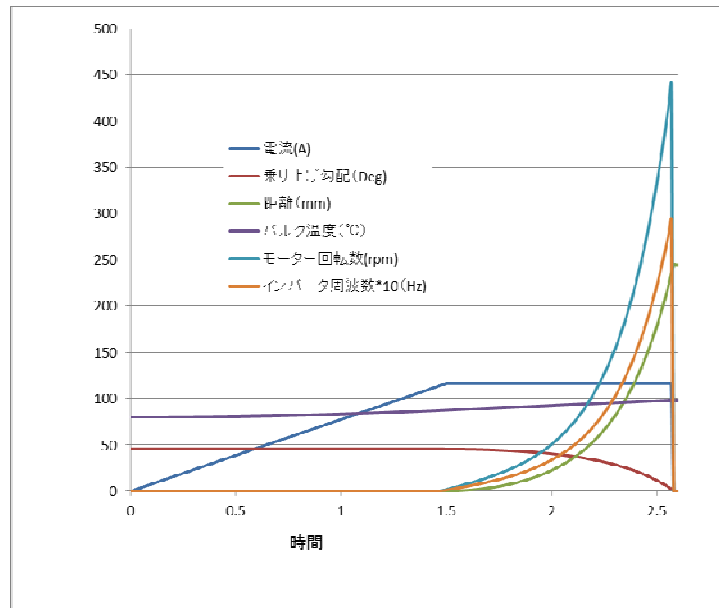


図5 縁石乗り上げ時の必要電流計算結果

図5より縁石乗り上げ時に最大電流を必要とすることが分かり、本計算からモータの必要トルクおよびデバイス電流を求めることができる。図6に設計したインホイールモータのレイアウトを示す。図6のモータで40kWの出力を予定しており、今後詳細な電磁気設計を行っていく。

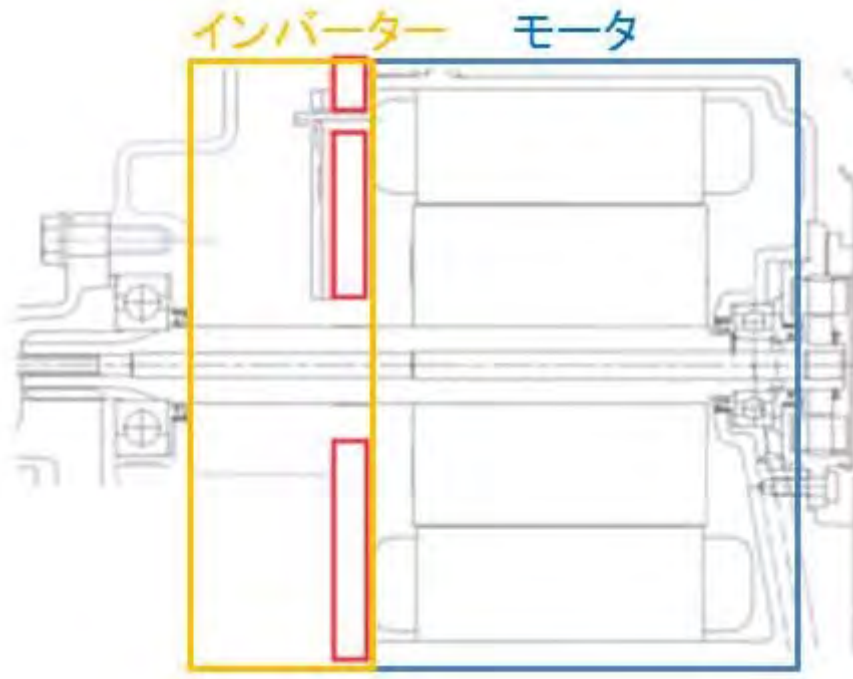


図6 インホイールモータレイアウト（一部抜粋）

## 実施項目 2【機電一体インバータシステムの研究開発】

実施項目 1 で導出したデバイス電流をもとに、インバータの設計を行った。まず SiC チップの選定のためデバイス調査を行った。表 2 に調査結果, 図 7 に定格電流とオン抵抗の関係を示す。

表 2 デバイス調査結果

Fab. Maker	Die	VDS (V)	ID (A) 25C	RDS (mΩ)	Tjmax (°C)
A	○	1200	90	25	150
B	○	1200	100	25	150
	○	600	80	36	150
C	○	1200	72	50	200
D	○	1200	40	80	175
	○	650	29	120	175

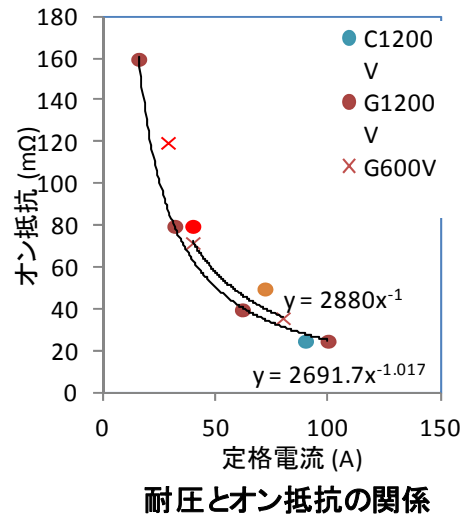


図 7 耐圧および定格電流とオン抵抗の関係

図 7 より 600V 定格と 1200V 定格のデバイスにおいてオン抵抗の差がほとんどないことが分かり, 本研究開発では 1200V 100A クラスのデバイスを使用していくこととした。

次にデバイスの発熱量からチップの並列数を検討した。チップの電流-オン抵抗特性より近似曲線を求め 120°C でのオン抵抗を導出し (図 8), チップ発熱量を求めた (図 9)。さらに設計モジュールの熱抵抗から Tj 温度上昇値を求めた (表 3)。結果より 120A チップ単独ではデバイス許容損失を超える一方, 2 並列では温度上昇値も許容できるため 2 並列で構成することとした。今後モジュールレイアウトを進めていき試作-検証する予定である。

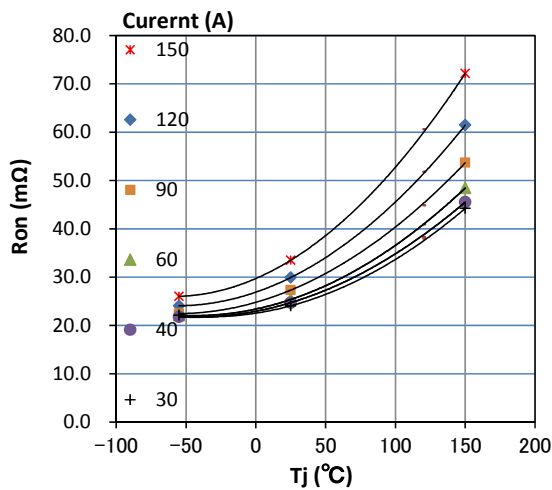


図 8 Tj-Ron 特性

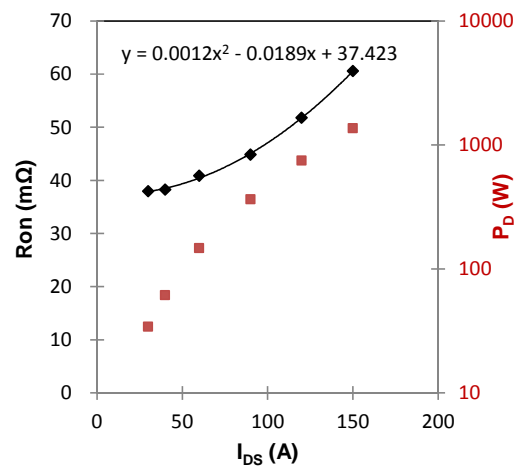


図 9 Ids-Ron 特性

表 3 チップ並列数と発熱量, 温度上昇の関係

Num. of chips	T <sub>j</sub> =120°C, 120A/modul時の1 chip各量				半田-BP界面温度TC		
	P <sub>D</sub> (W)	I <sub>D</sub> (A/chip)	V <sub>DS</sub> (V)	R <sub>on</sub> (mΩ)	R <sub>th jc</sub> (K/W)	ΔT <sub>jc</sub> (°C)	T <sub>c</sub> (°C)
1	746	120	6.2	51.8	0.143	107	13
2	147	60	2.5	40.9	0.143	21	99
3	61	40	1.5	38.2	0.143	9	111
4	34	30	1.1	37.9	0.143	5	115

2. 成果（当該年度分についてのみ記載）

(1) 研究発表・講演（口頭発表も含む）

該当なし（研究実施初年度のため）

(2) 特許等

該当なし（研究実施初年度のため）

(3) 受賞実績

該当なし（研究実施初年度のため）

3. その他特記事項（当該年度分についてのみ記載）

(1) 成果普及の努力（プレス発表等）

該当なし（研究実施初年度のため）

(2) その他

該当なし（研究実施初年度のため）

契約管理番号	1 4 1 0 1 7 0 3 - 0
--------	---------------------

備考：様式の寸法は、日本工業規格 A 列 4 とし、左とじとすること。

# 開発項目「超高次非線形誘電率顕微鏡法を用いた SiC 基板材料及び パワーエレクトロニクス素子の高性能化に資する評価技術の開発」

平成 26 年度～平成 27 年度のうち平成 26 年度分

## 中間年報

委託先名：国立大学法人東北大学

### 1. 研究開発の内容及び成果等

SiO<sub>2</sub>/SiC 界面の移動度は大きな界面準位密度のため SiC の物性値から予測される値よりは小さく ON 抵抗を下げるために界面の特性の向上が望まれている。しかしこの問題は 20 年来解決されておらず、そのバルクの物性値から期待されたほどには高性能な SiC-MOS デバイスは得られていない。この課題にとっての最大の問題点は今まで非破壊で直接 SiO<sub>2</sub>/SiC 界面を観測できる計測技術が皆無であったことである。一方当該研究者らは超高次非線形誘電率顕微鏡法

(SHO-SNDM) という、半導体中の固定電荷や活性化されたドーパント分布(キャリア分布)が超高感度で高分解能に(極めて詳細に)観測できる新しい計測手法を開発している。

そこで今年度は SHO-SNDM を用いて SiO<sub>2</sub>/SiC 界面が非破壊で観測可能である事を証明する研究を行なった。

図 1 に n 型 4° オフ角を持つ 4H-SiC の Si 面を(a)酸化膜なし(b)2.5nm 酸化膜あり(c)45nm 酸化膜ありの 3 サンプルを SHO-SNDM で計測した結果を示す。実デバイスで用いられる 45nm の SiO<sub>2</sub> 膜を通して SNDM を使えば SiO<sub>2</sub>/SiC

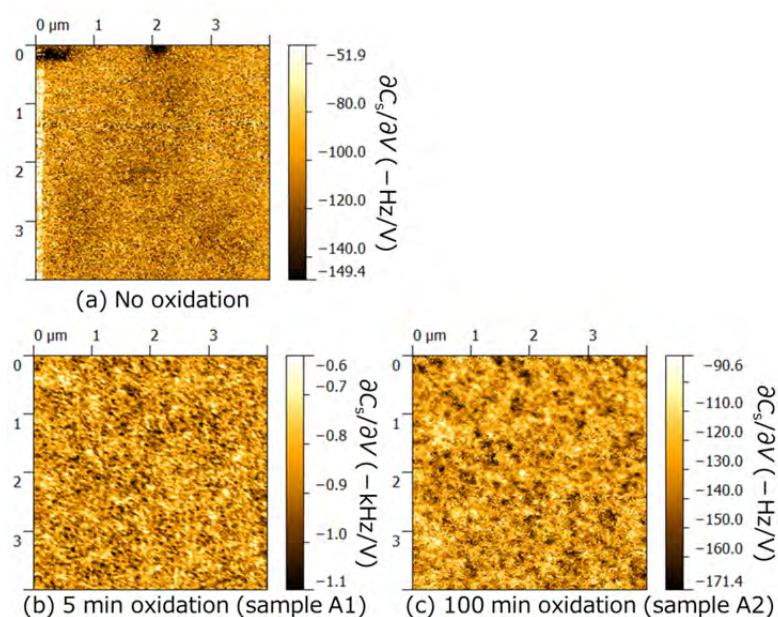


図 1 SiC ウェハ表面の SNDM による観測結果(a)酸化膜なし(b)2.5nm 厚の酸化膜あり.  
(c)45nm 厚の酸化膜あり.

界面の状態がはっきりと観測できる事が明らかになった。これは初めての成果である。また  $\text{SiO}_2$  膜の成長に伴い界面の状態を示すと思われる斑模様の分布が大きくなることも併せて明確に観測できた。

次に図 2 に示すように酸化膜厚 2.5nm のサンプルで NO ポスト酸化アニールを行なった前後での界面を計測した。その結果窒化処理により SNDM 信号が増加し界面のキャリアが増加していることと、更に信号を中心値で規格化すると NO 処理により界面のムラが小さくなり均一な界面が得られていることが分かり、NO 処理により MOS 界面の移動度が上がる事が知られているが、このことが界面の直接観察でも裏付けられた。これも世界初の知見である。

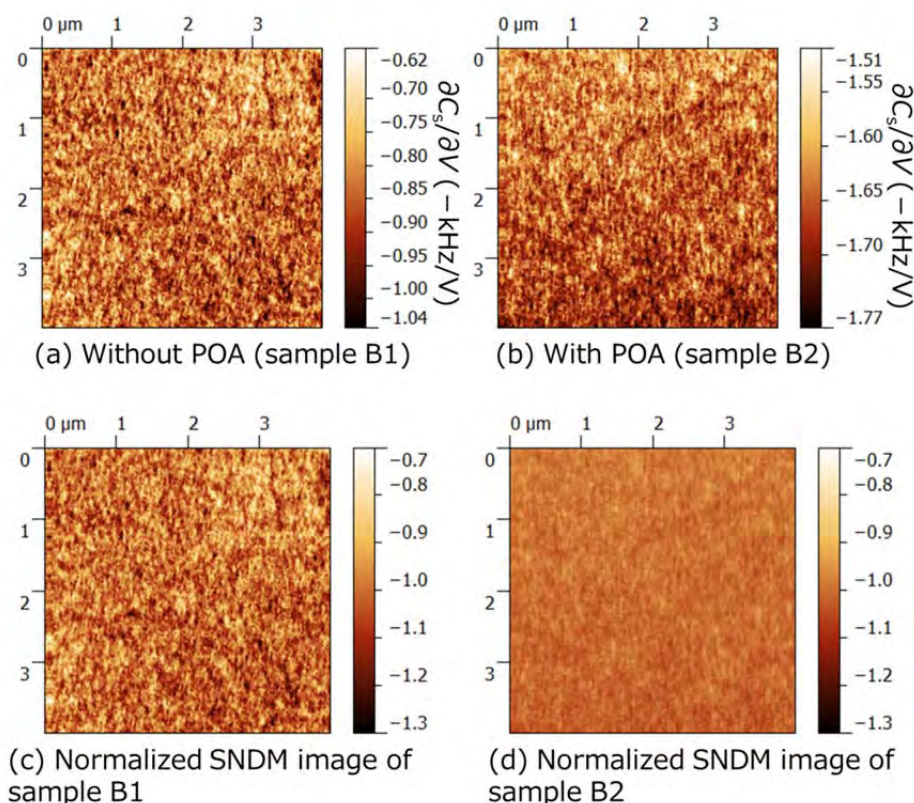


図 2 (a)ポストアニール前の  $\text{SiO}_2/\text{SiC}$  界面(b)ポストアニール処理した  $\text{SiO}_2/\text{SiC}$  界面。 (c)(d)は(a)(b)をそれぞれその中心値で規格化した SNDM 像。

次に SHO-SNDM 法を用い NO 処理前後のサンプルで局所的な C-V 曲線を再構成した結果を図 3 に示す。図 3 (b)の NO 処理ありの場合には大きな印加電圧依存性を持ちヒステリシスも殆ど無いが図 3 (a)では大きなヒステリシスが観測された。これは NO 処理なしの  $\text{SiO}_2/\text{SiC}$  界面には大きな界面準位密度があることを直接的に示している。

最後に局所 C-V 曲線の一次微分値のバイアス電圧依存性を SHO-SNDM 法を使い求めた結果を図 4 に示す。アキュミュレーション側（負側）に電圧を印加した時に大きな分布が現れていることが明確に見て取れる。このことはキャリアの電子が  $\text{SiO}_2/\text{SiC}$  界面に蓄積していつている過程を可視化している可能性を



示唆しており次年度に行うより詳細な実験により局所的な界面準位密度の分布と併せて最終的な結論を得たい。

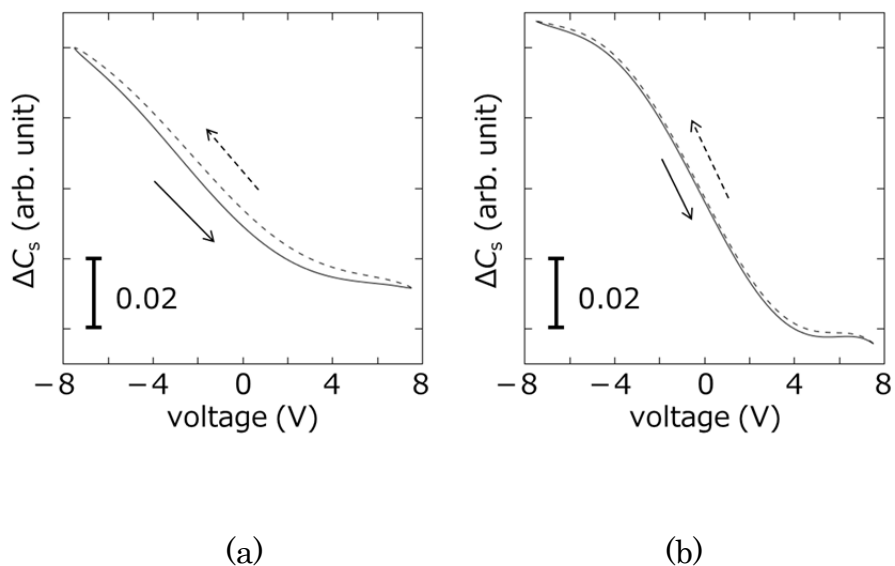


図3 SHO-SNDM 法による局所 C-V 曲線. (a)ポストアニールなし(b)ポストアニールあり.

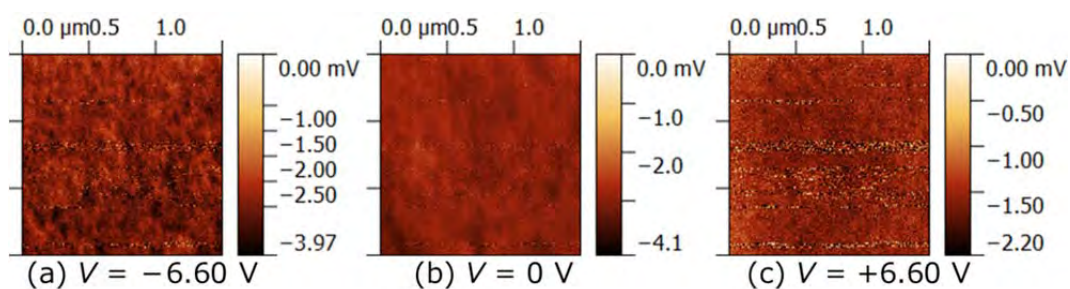


図4 局所 C-V 曲線の一次微分値の分布の電圧依存性. 負側が電子が界面に蓄積する向きである.

以上のようにSHO-SNDMを用いて世界で初めて非破壊でSiO<sub>2</sub>/SiC界面が可視化できることが明らかになり, 更に界面移動度低下につながると考えられる多くの現象をとらえることが出来たのは, 今年度の本研究の大きな成果であったと考えられる.

## 2. 成果

### (1) 研究発表・講演

長 康雄：「界面の新たな評価手法について」，S I P（戦略的イノベーション創造プログラム）／次世代パワーエレクトロニクス第2回 ワークショップ，  
H26年12月19日

### (2) 特許等

「なし」

### (3) 受賞実績

H26年10月報公賞受賞

## 3. その他特記事項

### (1) 成果普及の努力

「なし」

### (2) その他

契約管理番号：14101704-0