

開発項目 「SIP（戦略的イノベーション創造プログラム）／次世代パワーエレクトロニクス／将来のパワーエレクトロニクスを支える基盤研究開発／材料科学に基づく 4H-SiC 上の高品質ゲート絶縁膜形成手法の研究開発」 平成 26 年度～平成 27 年度のうち平成 26 年度分中間年報

委託先名 国立大学法人 東京大学

1. 研究開発の内容及び成果等

(1) 4H-SiC(0001)上の高品質 MOS 界面形成手法の確立

～ 酸化膜成長後アニールによる D_{it} 低減技術とその制御 ～

今年度は 4H-SiC(0001)面での界面準位密度 $D_{it} < 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ を実現する手法を確立することを目的として、界面反応の理解と制御に基づくプロセス設計を進めた。熱酸化膜の成長後に、何らかのアニール (post-oxidation anneal; POA) を追加することは界面欠陥準位密度 D_{it} の制御のために有効であるとされてきた。ここでは他元素を導入することにより生じる化学的なパッシベーション効果との区別を明確にするため、POA は酸素及び窒素のみで行うこととしている。まず、本研究グループが既に見出している速度論的・熱力学的制御指針に沿い、ランプ加熱炉を用いた高温、ドライ O_2 雰囲気中での酸化処理により、4H-SiC(0001)上に熱酸化膜を成長させた後、POA 処理を追加することによる界面準位密度 (D_{it}) の変化を観察した。 D_{it} はコンダクタンス法により決定した。また POA 温度については、高温で形成した MOS 界面の骨格を大きく変えることなく欠陥修復する効果を狙うため、酸化膜成長よりも低温に設定した。

POA 前後の D_{it} のエネルギー分布を比較したところ、 O_2 を導入した低温 POA では（後述のように時間を最適化すれば） D_{it} を $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 前後へ低減できた。特に、反転層移動度に強く影響する浅いエネルギー領域 $E_C - E = 0.1 \sim 0.3 \text{ eV}$ での D_{it} 低減効果が顕著である。一方で、 N_2 を導入した POA では、効果が現れない。このように酸素の導入が不可欠となる理由として、酸素による界面近傍の酸素欠損の修復、及び残留不純物の酸化による焼き出し効果が重要であることが考えられる。高温の熱酸化では SiO を形成する反応を完全に抑制できず、また酸化後の冷却中の低温域では固相中の副生成物生成を完全に排除できないためと考えるのが妥当である。

一方で、このような低温 O_2 -POA には、適切な処理時間が限定されていることを見出した。図 1 は伝導帯端から 0.2 eV のエネルギー位置における D_{it} の O_2 -POA 時間依存性について調べた結果の例である。どの温度においても、ある時間範囲は D_{it} が低減するが、途中から増大に転ずる傾向が観察された。これはどの温度でも欠陥修復過程と同時に、欠陥を新たに増大させてしまう過程が同時進行しており、その競合過程を観察しているためであると理解できる。時間を延長するに従って欠陥密度が増大する理由は、低温であっても新たに SiC が酸化する過程が無視できないため

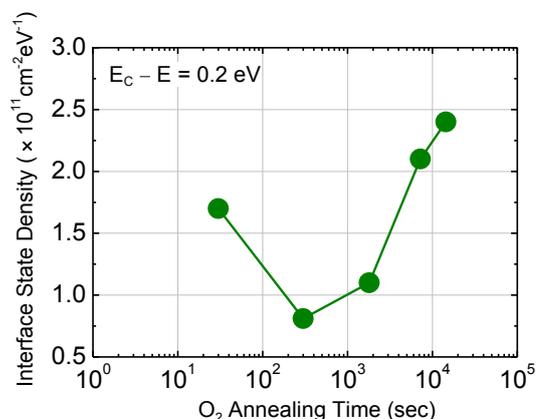


図 1 POA 温度を変えたときの、伝導帯端から 0.2eV のエネルギー位置での D_{it} のアニール時間依存性。最初は欠陥修復が進行するがあるアニール時間から D_{it} 増大へ転じる。

あると考えられる。これは、余剰な炭素が残留し易く望ましくないと考えられる低温酸化が POA 中に進行してしまうと、徐々に界面特性が悪化するからである。また低温であるほど、 D_{it} 最小化のために最適な POA 時間が長くなるが、これは反応速度が温度と共に低下しているためである。従って D_{it} を最小化するための POA に求められる条件とは、 O_2 を導入しつつも、低温または短時間の処理に限定することで界面の再酸化を十分に抑制することである。

以上のように、SiC MOS 界面の D_{it} は、熱酸化膜成長後の POA 処理条件に敏感である。低い POA 温度と適切な処理時間のウィンドウを選ぶことにより、NO を始めとする他元素パッシベーション処理を用いることなく、 D_{it} を $<10^{11} \text{ eV}^{-1}\text{cm}^{-2}$ に抑制した MOS 界面が実現できることが明らかとなった。次年度は、前述の①～③のアプローチに基づきながらも、特に③については今年度に得られた知見を拡張し、(000-1)面、(11-20)面へ適用する予定である。

(2) MOS 界面特性の解析手法の高度化

～ 遅い応答を示す酸化膜中トラップの定量化手法の検討 ～

酸化膜中に潜り込んだ位置にあってバイアス印加によって電荷の捕獲と放出を繰り返すトラップは near-interface trap (NIT) と呼ばれる。4H-SiC の MOS 界面では高密度な NIT の存在が疑われるものの、その定量的な評価手法は確立されていない。MOS 界面の高品質化のためには、 D_{it} と併せて NIT の大小を把握することが不可欠である。そこで今年度は、意図的に界面特性の劣る試料を選び、以下に述べる $C-t$ 測定法について、NIT 定量化手法への適用可能性を検討した。

一旦、酸化膜中トラップに捕獲された電子が SiC 基板へと戻る際、電子はトンネル現象により輸送されるというモデルに基づくと、界面からのトラップの距離に応じて急激に時定数が増大する。このように遅い応答である場合、MOS キャパシタへの印加電圧を急峻に変化させたときにみられる電気容量の過渡応答 ($C-t$ 特性) によって、トラップから電子が放出される過程の追跡が可能である。具体的には、n 型基板を用いた MOS キャパシタに対し一旦、蓄積側となるゲートバイアスを印加しておき、ある時刻ゼロにおいて急峻にフラットバンド状態に戻すことを行った。この際、N 型基板のフェルミレベルより浅いエネルギー準位にトラップされた電子の放出が起こる過程を $C-t$ 特性として観察できる。時定数は、トラップの空間的な深さ、即ちトンネル距離の関数であるため、時定数が広く分布した過程が観察される。従って $C-t$ 曲線は単純なデバイ緩和とはなり得ず、時定数の広がりを表わすパラメータ β を考慮した以下の拡張デバイ緩和の式で表現される。ここで τ_{eff} は実効的な平均の時定数であり、 C_{eq} はトラップ電荷放出後に収束する容量である。実際、 $C-t$ 曲線から得た $\Delta C(t)$ は β と τ_{eff} 、 ΔC_0 を調整することよりフィッティングすることができた。

$$\Delta C \equiv |C(t) - C_{\text{eq}}| \cong |\Delta C_0| \exp \left[- \left(\frac{t}{\tau_{\text{eff}}} \right)^\beta \right]$$

得られた ΔC_0 から、フェルミレベルが掃引したエネルギー範囲に存在するトラップ電荷の積算量が推定できる。さらに、トラップさせるための蓄積状態をつくる際に印加するバイアスの大きさを変化させれば検出の対象となるエネルギー範囲を変えることができ、トラップ電荷量のエネルギー微分から膜中トラップのつくる実効的な準位密度の抽出が可能である。こ

の準位密度をここでは D_{ox} ($\text{cm}^{-2}\text{eV}^{-1}$) と呼ぶ。

D_{it} の比較的多いサンプル ($D_{it} \sim 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ @ E_c から 0.2eV 付近) をテスト試料として本手法を適用し、 D_{ox} のエネルギー分布を推定した。C-t 特性の例を図 2 に示す。測定系の応答速度と測定点数の制約から、C-t 曲線に現れる時定数が 0.1 s ～ 数 100 s の減衰過程のみを解析しているのだが、測定温度によって（主としてフェルミ分布関数に応じて時定数が変化するため）応答の速さの異なる準位を評価対象とすることができる。例えば 200K まで冷却して測定すると、主としてトンネル距離の短い（応答の速い）準位が評価対象となり、室温ではトンネル距離の長い（応答の遅い）準位だけを評価することになる。その結果、図 3 のように距離の短いトラップが $\sim 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ 台、距離の長いトラップは $\sim 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$ 台となり、空間的に浅い位置に相対的に高密度なトラップが存在していることが推定された。観測された時定数及び電子のトンネル質量を考慮すると、空間的に浅い位置とはたかだか数 \AA 、即ち SiO_2 の 1 ユニット程度の深さであり、一方空間的に深い位置とはおよそ 1 nm 前後のところに対応すると示唆される。このような膜中トラップの密度は D_{it} と並ぶ MOS 界面の重要な評価項目である。本手法はその有望な評価法の 1 つであり、次年度以降の評価に適用する予定である。

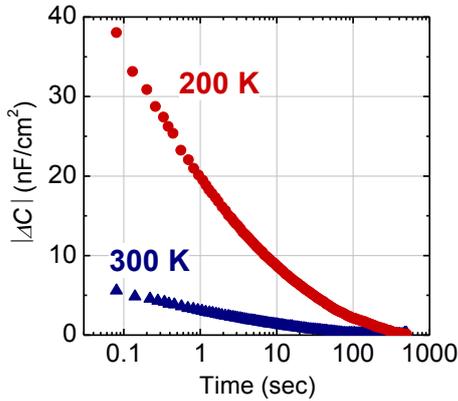


図 2 n 型基板上的 MOS キャパシタにおいて、時刻ゼロに蓄積状態からフラットバンド状態に急激にバイアスを変化させた際の電気容量の経時変化の例。時定数の分布を考慮した拡張デバイの式でフィッティングができる。

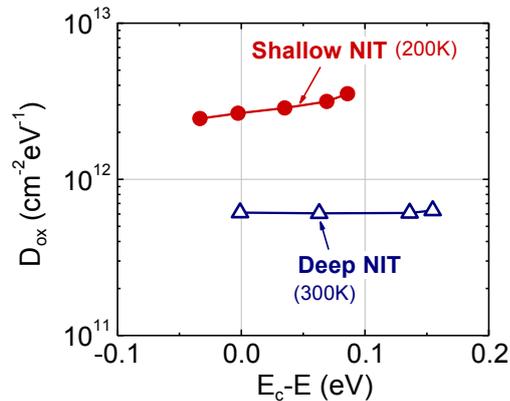


図 3 $D_{it} \sim 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ (@ $E_c - E = 0.2\text{eV}$) と劣化した界面を持つ n 型キャパシタから推定された D_{ox} 。界面からの距離の浅い位置には相対的に高密度のトラップの存在が推定された。

(3) 本研究の熱酸化プロセスの効果実証（研究開発項目 (I) との連携研究）

～ 横型 MOSFET 試作による移動度向上効果の実証 ～

本研究の MOS 界面特性制御技術を適用することによる MOSFET 特性への効果に関する実証実験を行った。P 型エピタキシャル層を有する P 型ドーパの 4H-SiC(0001) 基板上にイオンインプラネーション (I/I) と活性化アニールによるソース/ドレイン領域形成を行った。本研究で提唱する熱酸化プロセスによるゲート酸化膜成長を行った後に、ゲートパターンニングと S/D コンタクト形成を行って横型 MOSFET とした。試作は、まず産総研のグループ（研究開発項目 (I)）と連携し、S/D 活性化済みのウェハの提供を受けて、当研究グループが熱酸化を行って試作した。また、これとは別に、外注により I/I 及び活性化アニールを済ませた基板上で、(1) で述べた POA 効果を取り入れたプロセスを適用した。

これまでの試作で得た μ_{FE} の値は図 4 に示すとおり最大で $\sim 37 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ であり、NO 処理を施して移動度を向上させたとして多く報告されている MOSFET の典型的な値と同等、或

いはそれ以上であると結論できる。まだ多くのプロセス上の課題は残されているものの、ここまでの結果から、本研究の「熱酸化+低温 O₂-POAのみ」の MOS 界面制御技術を適用すれば、従来に考えられてきた熱酸化膜の特性よりも相対的に良好な特性が得られることが実証された。

ただし、今回得られた結果は、本研究の MOS 形成プロセスによって達成可能な特性を十分に抽出したものではない。実際、同プロセスを経た MOS キャパシタの特性は、本研究で従来検討していた MOS キャパシタのものよりも明らかに劣ったものであった。特に活性化アニール等のプロセス起因の劣化抑制の余地が大きく残されている。次年度は、プロセスの改善によるさらに高い移動度の実証を進め、さらに移動度評価精度を高めた議論を行う予定である。

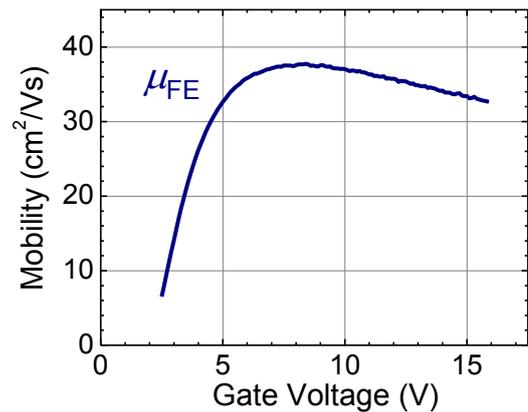


図4 4H-SiC(0001)上 $T_{ox}=30$ nm の横型 nMOSFET で観察されるチャネル内の電界効果移動度 μ_{FE} の評価例。L/W=200 μ m/100 μ m。MOS 界面は熱酸化と低温 O₂-POA 処理のみで形成した以外にパッシベーション処理は適用していない。

2. 成果（当該年度分についてのみ記載）

(1) 研究発表・講演（口頭発表も含む）

発表年月日	発表媒体	発表タイトル	発表者
平成27年3月13日	第62回応用物理学会 春季学術講演会（東 海大学 湘南キャンパ ス）	4H-SiC面内MOSFET上の dry酸化界面における 電界効果移動度と実効 移動度の乖離	平井悠久, 喜多浩之

発表年月日	発表媒体	発表タイトル	発表者
平成27年3月13日	第62回応用物理学会 春季学術講演会（東 海大学 湘南キャンパ ス）	低温酸素アニールによ るSiO ₂ /4H-SiC(0001) 界面準位密度の増減機 構の理解と制御	菊地リチャード平 八郎, 喜多浩之

発表年月日	発表媒体	発表タイトル	発表者
平成27年3月13日	第62回応用物理学会 春季学術講演会（東 海大学 湘南キャンパ ス）	種々の温度における容 量の過渡応答(C-t特性)に基づくSiC MOS界面 近傍の膜中トラップ密 度の定量化	藤野雄貴, 菊地リチ ャード平八郎, 喜多 浩之

発表年月日	発表媒体	発表タイトル	発表者
平成27年1月15日 (オンライン)	Appl. Phys. Express 8, 021401 (2015).	Suppression of bypro duct generation at 4 H-SiC/SiO ₂ interface by the control of o xidation conditions characterized by inf rared spectroscopy	Hirohisa Hirai, Koji Kita

発表年月日	発表媒体	発表タイトル	発表者
平成26年12月10日	45th IEEE Semiconduc tor Interface Specia lists Conference (SI SC) (San Diego, CA, USA)	Infrared Spectroscop ic Study on Near-Int erface Structure of Thermally-Grown Oxid es and Oxidation-Ind uced Byproducts at 4 H-SiC/SiO ₂ Interface	Hirohisa Hirai, Koji Kita

(2) 特許等

特になし

(3) 受賞実績

特になし

3. その他特記事項（当該年度分についてのみ記載）

(1) 成果普及の努力（プレス発表等）

特になし

(2) その他

契約管理番号	1 4 1 0 1 7 0 5 - 0
--------	---------------------

備考：様式の寸法は、日本工業規格 A 列 4 とし、左とじとすること。