

## 情 4 - 7

### 主要技術のロードマップ

半導体 (SoC)

	1999	2000	2002	2005	2008	2010	[単位]
DRAM素子寸法	180	165	130	100	70	60	(mm)
MPU孤立ライン	140	120	85	65	45	30	(nm)
Siウェーハ径	200	200	300	300	300	300	(mm)
ゲート絶縁膜厚	1.9~2.5	1.9~2.5	1.5~1.9	1.0~1.5	0.8~1.2	0.6~1.0	(nm)
電源電圧	1.5~1.8	1.5~1.8	1.2~1.5	0.9~1.2	0.6~0.9	0.5~0.8	(V)
層間絶縁膜比誘電率	3.5~4.0	3.5~4.0	2.7~3.5	1.6~2.2	1.5	1.5<	(k)
配線層数	6~7	6~7	7~8	8~9	9	9~10	(-)
DRAMビット数	1(2)	2(4)	4(8)	8(22.6)	22.6(64)	64(168)	(Gbit)
SoC素子数	50(80)	80(100)	100(300)	300(800)	800(1,000)	1,000(2,000)	(M.Tr.)
クロック周波数(Trレベル)	1.25	1.49	2.10	3.50	6.00	10.00	(GHz)
クロック周波数(MPU)高性	1.20	1.32	2.00	3.50	6.00	10.00	(GHz)
クロック周波数(MPU)量産	0.60	0.66	0.80	1.1	1.4	1.80	(GHz)
クロック周波数(SoC) ~酸化膜ゲートCMOS~	0.50	0.56	0.70	0.90	1.2	1.50	(GHz)
クロック周波数(SoC) ~窒化膜ゲートCMOS~			0.73	1.00	1.5	1.50	(GHz)
消費電力	2	1	1/2.3	1/7.2	1/10.8	1/15.8	(倍)

(注) 消費電力は、現在の消費電力を何倍にするかの値を表している。( )内の数値は研究レベル。