

主要技術のロードマップ修正案

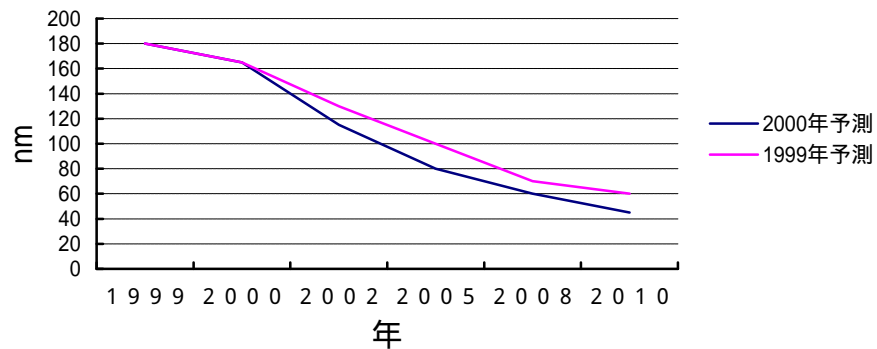
半導体 (SoC)

	1999	2000	2002	2005	2008	2010	[単位]
DRAM素子寸法	180	<u>165</u>	<u>115</u>	<u>80</u>	<u>60</u>	<u>45</u>	(nm)
MPU孤立ライン	140	120	90	65	45	37	(nm)
Siウェーハ径	200	200	300	300	300	300	(mm)
ゲート絶縁膜厚	1.9~2.5	1.9~2.5	1.5~1.9	1.0~1.5	0.8~1.2	0.6~1.0	(nm)
電源電圧	1.5~1.8	1.5~1.8	1.2~1.5	<u>0.8~1.1</u>	0.6~0.9	0.5~0.8	(V)
層間絶縁膜比誘電率	3.5~4.0	3.5~4.0	2.7~3.5	1.6~2.2	1.5	1.5<	(k)
配線層数	6~7	6~7	7~8	8~9	9	9~10	(-)
DRAMビット数	<u>1.07</u>	<u>1.52</u>	<u>3.04</u>	<u>8.59</u>	<u>19.70</u>	<u>36.80</u>	(Gbit)
SoC素子数	<u>19.7</u>	<u>27.8</u>	<u>53.2</u>	<u>131</u>	<u>324</u>	<u>591</u>	(M.Tr.)
クロック周波数 (Trレベル)	1.25	<u>1.62</u>	<u>2.49</u>	<u>4.15</u>	<u>7.12</u>	10.00	(GHz)
クロック周波数 (MPU) 高性	1.20	<u>1.39</u>	<u>1.72</u>	<u>2.16</u>	<u>2.66</u>	<u>3.00</u>	(GHz)
クロック周波数 (MPU) 量産	0.60	<u>0.69</u>	<u>0.89</u>	<u>1.23</u>	<u>1.52</u>	1.80	(GHz)
クロック周波数 (SoC) 高性能品 (酸化膜ゲートCMOS)	<u>0.50</u>	<u>0.59</u>	<u>0.76</u>	<u>0.98</u>	<u>1.30</u>	<u>1.50</u>	(GHz)
クロック周波数 (SoC) 低電力品 (酸化膜ゲートCMOS)	0.02	0.04	0.08	0.16	0.3	0.60	(GHz)
クロック周波数 (SoC) (窒化膜ゲートBalanced CMOS)			0.73	1.00 (3.00)	3.00	5.00	(GHz)
消費電力 (低電力SoCの場合)	2	1	1/2.3	1/7.2	1/10.8	1/15.8	(倍)
消費電力 (窒化膜ゲートBalanced CMOSの場合)		1	1/3	1/10	1/30	1/50	(倍)
消費電力 (MPU高性能品)	<u>90</u>	<u>108</u>	<u>140</u>	<u>170</u>	<u>171</u>	<u>175</u>	(W)

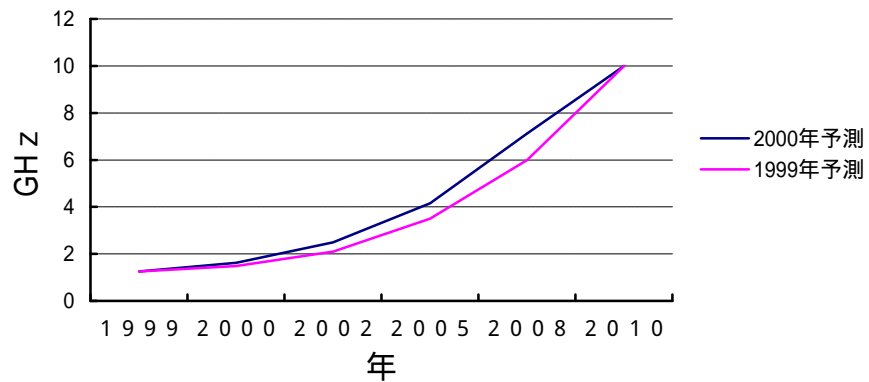
(注) 消費電力は、現在の消費電力を何倍にするかの値を表している。()内の数値は研究レベル。赤字下線部・・・修正箇所。

1999年予測および2000年予測の対比例

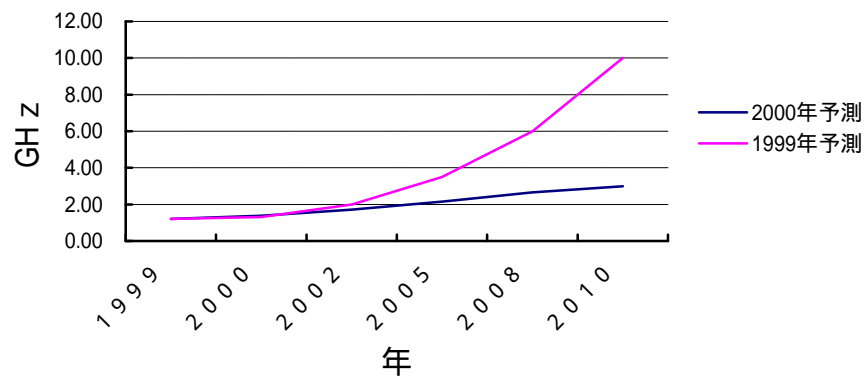
DRAM素子寸法



クロック周波数 (Trレベル)



クロック周波数 (MPU) 高性能品



クロック周波数 (SoC) 高性能品

