

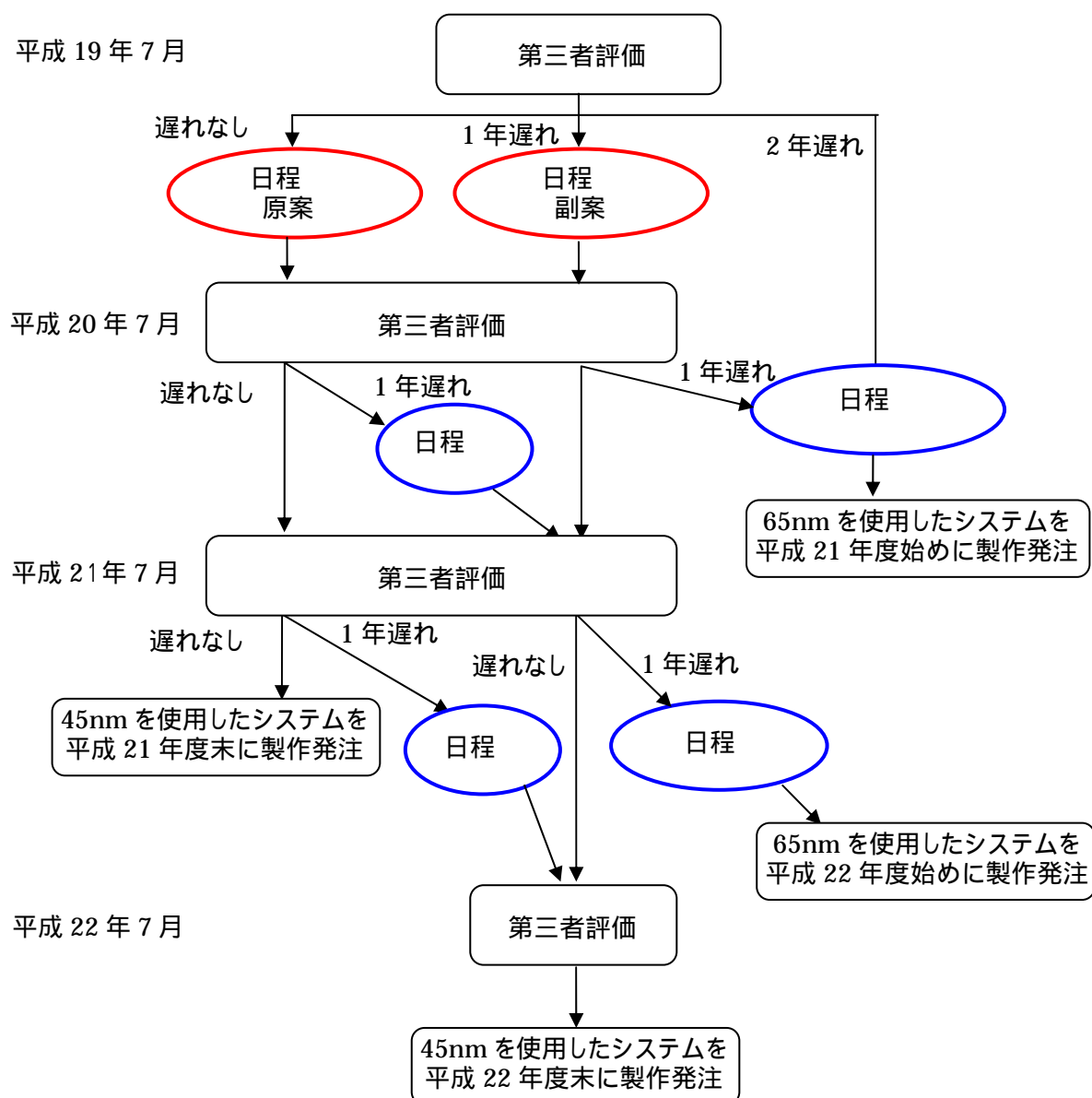
平成 17 年 9 月
情報技術推進室

コンティンジェンシー・プランについて(案)

1. 京速計算機システムの開発におけるリスク管理フロー

京速計算機システムでは、ITRS の半導体ロードマップによれば、45nm LSI の利用可能な時期が平成 22 年であることから、大規模処理計算機、逐次処理計算機について、45nm LSI の利用を考えている。

しかし、最先端の LSI 技術を使う場合、歩留まり、性能不足などのリスクがある。したがって、以下のフローで、45nm LSI の利用の可否を評価し、適切にリスク管理を行う必要がある。



注) 65nm を使用する場合は、開発は行わず調達となる。

2. 京速計算機システムの開発における不確実性評価

(1) 評価項目の分類

京速計算機システムの開発プロジェクトの各開発項目を不確実性にに基づき、以下のように分類する。

運用部分: 開発成果の実用化が**確実な項目**

選択部分: LSI 技術の状況により**選択が必要な項目** (実用化が**確実なもの**を選択)

リスク部分: 選択の結果次第で、**投資の回収が困難**となる可能性のある項目

上記、評価項目に従って、京速計算機システム開発の各項目別に見た不確実性の検討結果は次表のとおり。

分類	項目	理由	不確実性
運用部分	システムソフトウェア (グリッドミドルウェア設計・製作、評価)	グリッドミドルウェアは、サイバーサイエンスインフラストラクチャを実現するための中核機能であり、開発成果の実用化が 確実	無
	システムソフトウェア (異機種統合ソフトウェア設計・製作、評価)	65nm/45nm の選択に関わらず利用可能であり、開発成果の実用化が 確実	無
	グラウンドチャレンジアプリケーション		無
	特定処理計算加速部	開発成果の実用化が 確実	無
	異機種間接続超高速インターコネクション		無
	ファイルシステム等	65nm/45nm の選択に関わらず実用化が 確実	無
	立地調査、建屋建設、付帯設備整備		無
選択部分	大規模処理計算機部(製作、システム強化)	65nm/45nm のいずれかの選択が必要	無
	逐次処理計算機部 (製作、システム強化)		無
リスク部分	大規模処理計算機部・逐次処理計算機部(設計)	45nm を選択しない場合、投資を回収できない可能性あり(注 1) - 設計: 日程 - 要素技術設計・評価: 日程	有
	大規模処理計算機部・逐次処理計算機部(要素技術設計・評価)		有

(注 1) 本プロジェクト以降(平成 25 年度以降)のスパコン開発に活かせる可能性もある

(2) 各日程での総費用、損失額等

(1)の分類を踏まえ、各日程で必要となる総費用、損失額、運用開始年度を以下にまとめた。

	使用半導体プロセス	総費用	(うち追加額)	(うち損失額)	運用開始年度	
日程	45nm	1,154 億円	0 円	0 円	平成 22 年度末	
日程		1,162 億円	8 億円	0 円	平成 23 年度末	
日程						
日程	65nm	(注 2)	1,075 億円	6 億円 (-85 億円)	8 億円	平成 22 年度末
日程		(注 3)	1,137 億円	11 億円 (-28 億円)	65 億円	平成 23 年度末

(注 2) 調達により、設計費の一部、実装技術設計・評価費が削減(85 億円)

(注 3) 調達により、実装技術設計・評価費の一部が削減(28 億円)

- 遅くとも平成 23 年度末には、運用開始。
- 65nm 半導体を使用した場合、損失額は発生するが総費用は 45nm を使用した場合より低い。

(3)想定されるシステムスペック(イメージ)

計算機部	項目	45nm	65nm
大規模処理計算機	理論性能	0.5 ペタ FLOPS	0.25 ペタ FLOPS(注 4)
	メモリ容量	0.13 ペタ Byte	
逐次処理計算機	理論性能	1 ペタ FLOPS	0.5 ペタ FLOPS(注 4)
	メモリ容量	0.25 ペタ Byte	
特定処理計算加速機	理論性能	20 ペタ FLOPS	
	メモリ容量	6 テラ Byte	
システム全体	理論性能	21.5 ペタ FLOPS	20.75 ペタ FLOPS

(注 4) 調達するシステムの規模については、45nm を使用したシステムの運転コストと同額程度とした。

- 45nm と比較して、65nm 半導体を使用した場合、大規模処理計算機・逐次処理計算機の理論性能は半分程度になる見込み。
- 特定処理加速機を含めたシステム全体の性能では、65nm と 45nm での理論演算性能の差は 5%以下。

3. 結論

- (1) LSI の選択(45nm/65nm)に関わらず、平成 23 年度末までに京速計算機システムの運用開始が可能。
- (2) 45nm LSI 技術に 1 年の遅れが生じた場合、総費用は 1162 億円(当初計画より 8 億円増(0.7%))の見込み。
- (3)システムの全体性能は 65nm LSI 技術の場合 5%低下。ただし、大規模処理計算機、逐次処理計算機の理論性能が 2 分の 1 となるため、当初期待された成果が得られないアプリケーションが出てくる可能性がある。

当初計画と副案

【当初計画】

年度		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度	費用計
開発項目	評価等	★ 研究開発チーム発足		★ 見極め! 計画本格化判断 (設計仕様、開発体制、立地 運用方針採用する半導体 プロセスの決定等)			★ 研究開発状況評価 (システム性能・機能等)		★ COE形成、運用評価 (利用状況、研究成果、 人材育成状況等)		
	システムソフトウェア	NAREGI (平成15年度より)	異機種統合ソフトウェア設計・製作			異機種統合ソフトウェア評価					
ソフトウェア			グリッドミドルウェア設計・製作			グリッドミドルウェア評価					
	Grand Challengeアプリケーション	NAREGI (平成15年度より)	次世代ナノ統合シミュレーション設計・製作			次世代ナノ統合シミュレーション評価					
			次世代生命体統合シミュレーション設計・製作				次世代生命体統合シミュレーション評価				
	革新的シミュレーションソフトウェアの研究開発										
	次世代高精度・高分解能シミュレーション技術の開発										
	費用小計		23	26	30	33	33	3	3		151
ハードウェア	要素技術開発	将来のスーパーコンピューティングのための要素技術の研究開発									
		通信・演算情報量の爆発的増大に備える超低消費電力技術の創出									
	大規模処理計算機部(45nmプロセス)		設計	実装技術設計・評価		製作	システム強化				
	逐次処理計算機部(45nmプロセス)		設計	実装技術設計・評価		製作	システム強化				
	特定処理計算加速部(65nmプロセス)		設計	実装技術設計・評価		製作					
	異機種間接続超高速インターコネクション(65nmプロセス)		設計	実装技術設計・評価		製作					
費用小計		13	23	71	107	179	180	40		613	
その他合計		4	21	44	132	80	94	14		389	
費用総計		41	70	145	272	292	277	57		1,154	

★ 外部評価会による評価

【副案】

年度		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度	費用計	
開発項目	評価等	★		★ 見極め!			★		★			
			計画本格化判断 (設計仕様、開発体制、立地 運用方針、採用する半導体 プロセスの決定等)				研究開発状況評価 (システム性能・機能等)		COE形成、運用評価 (利用状況、研究成果、 人材育成状況等)			
ソフトウェア	システムソフトウェア	研究開発チーム発足 NAREGI (平成15年度より)	異機種統合ソフトウェア設計・製作 (3/4のリソースで継続)			異機種統合ソフトウェア評価						
			グリッドミドルウェア設計・製作			グリッドミドルウェア評価						
	グランドチャレンジアプリケーション	NAREGI (平成15年度より)	次世代ナノ統合シミュレーション設計・製作 (3/4のリソースで継続)			次世代ナノ統合シミュレーション評価						
			次世代生命体統合シミュレーション設計・製作				次世代生命体統合シミュレーション評価					
	革新的シミュレーションソフトウェアの研究開発											
	次世代高精度・高分解能シミュレーション技術の開発											
	費用小計		23	26	28	31	33	12	3		156	
ハードウェア	要素技術開発	将来のスーパーコンピューティングのための要素技術の研究開発										
		通信・演算情報量の爆発的増大に備える超低消費電力技術の創出										
	大規模処理計算機部(45nmプロセス)		設計 (1年間中断)	設計	実装技術設計・評価	製作	システム強化					
	逐次処理計算機部(45nmプロセス)		設計 (1年間中断)	設計	実装技術設計・評価	製作	システム強化					
	特定処理計算加速部(65nmプロセス)		設計	実装技術設計・評価	製作							
異機種間接続超高速インターコネクション(65nmプロセス)		設計	実装技術設計・評価	製作								
費用小計		13	17	38	99	86	140	180	40	613		
その他合計		4	21	44	132	80	94	14	3	392		
費用総計		41	64	110	262	199	246	197	43	1,162		

45nmLSI製作開始

平成19年7月に45nmLSIの導入時期を見極める

★ 外部評価会による評価

- 1)平成21年度から使用可能な場合は、計画変更なし。
- 2)平成22年度(1年遅れ)から使用可能な場合は、
・大規模処理計算機、逐次処理計算機は、1年後ろ倒し。

3)平成23年度(2年遅れ以上)から使用可能な場合は、**開発計画の抜本的見直し**

京速計算機システム開発スケジュール(コンティンジェンシープラン)

開発項目	評価等	平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度	費用計
		★ 研究開発チーム発足	★ 計画本格化判断 (設計仕様、開発体制、立地・運用方針)	★ 45nm半導体利用判断	★ 45nm半導体状況評価	★ 45nm半導体状況評価	★ 研究開発状況評価 (システム性能・機能等)	★ COE形成、運用評価 (利用状況、研究成果、人材育成状況等)			

1.運用部分

ソフトウェア	システムソフトウェア	異機種統合ソフトウェア設計・製作			異機種統合ソフトウェア評価			LSI技術の状況により、費用・スケジュールが異なる			
		グリッドミドルウェア設計・製作			グリッドミドルウェア評価						
	グランドチャレンジャアプリケーション	次世代ナノ統合シミュレーション設計・製作			次世代ナノ統合シミュレーション評価						
		次世代生命体統合シミュレーション設計・製作							次世代生命体統合シミュレーション評価		
ハードウェア	大規模処理計算機部	2項の日程 ~ 日程 から選択									
	逐次処理計算機部	2項の日程 ~ 日程 から選択									
	特定処理計算加速部(65nmプロセス)	設計	実装技術設計・評価		製作						
	異機種間接続超高速インターコネクション(65nmプロセス)	設計	実装技術設計・評価		製作						
	遠隔可視化装置				実装設計・評価	製作					
その他	ファイルシステム等			設計	製作		システム強化				
	立地調査、建屋建設、付帯設備整備	検討	設計	建設			付帯設備整備				
	統括										
固定部分費用計			7	9	9	9	9				43
変動部分費用計(異機種統合ソフトウェア、次世代ナノ統合シミュレーション)			29	49	97	216	143	97	17		648
費用小計			36	58	106	225	152	97	17	0	691

2.選択部分

当初計画(日程) **45nm** 平成22年度末運用開始

		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度	
ハードウェア	大規模処理計算機部		設計		実装技術設計・評価		製作	システム強化			
	逐次処理計算機部		設計		実装技術設計・評価		製作	システム強化			
	費用小計		5	12	39	47	45nm 140	180	40	0	463
費用総計			41	70	145	272	292	277	57	0	1,154
										追加額	0
										損失額	0

副案(日程) **45nm** 平成23年度末運用開始

		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度	
ソフトウェア	システムソフトウェア		異機種統合ソフトウェア設計・製作				異機種統合ソフトウェア評価				
	グランドチャレンジアプリケーション		次世代ナノ統合シミュレーション設計・製作				次世代ナノ統合シミュレーション評価				
	費用小計		7	9	7	7	9	9			48
ハードウェア	大規模処理計算機部		設計	(1年間中断)	設計	実装技術設計・評価		製作	システム強化		
	逐次処理計算機部		設計	(1年間中断)	設計	実装技術設計・評価		製作	システム強化		
	費用小計		5	6	6	39	47	45nm 140	180	43	466
費用総計			41	64	110	262	199	246	197	43	1,162
										追加額	8
										損失額	0

日程 **45nm** 平成23年度末運用開始

		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度	
ソフトウェア	システムソフトウェア		異機種統合ソフトウェア設計・製作				異機種統合ソフトウェア評価				
	グランドチャレンジアプリケーション		次世代ナノ統合シミュレーション設計・製作				次世代ナノ統合シミュレーション評価				
	費用小計		7	9	7	7	9	9			48
ハードウェア	大規模処理計算機部		設計	(1年間中断)	設計	実装技術設計・評価		製作	システム強化		
	逐次処理計算機部		設計	(1年間中断)	設計	実装技術設計・評価		製作	システム強化		
	費用小計		5	12	10	29	47	45nm 140	180	43	466
費用総計			41	70	114	252	199	246	197	43	1,162
										追加額	8
										損失額	0

日程 **45nm** 平成23年度末運用開始

		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度		
ソフトウェア	システムソフトウェア		異機種統合ソフトウェア設計・製作				異機種統合ソフトウェア評価					48
	グランドチャレンジャアプリケーション		次世代ナノ統合シミュレーション設計・製作				次世代ナノ統合シミュレーション評価					
	費用小計		7	9	7	7	9	9				
ハードウェア	大規模処理計算機部		設計	実装技術設計・評価 (1年間中断)		製作	システム強化				466	
	逐次処理計算機部		設計	実装技術設計・評価 (1年間中断)		製作	システム強化					
	費用小計		5	12	39	9	38	140	180	43		
費用総計			41	70	143	232	190	246	197	43	1,162	
注) 縦線の項目は、状況によっては実施しない可能性あり。										追加額	8	

日程 **65nm** 平成22年度末運用開始

		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度	
ハードウェア	大規模処理計算機部		設計 (1年間中断)	再設計	製作						384
	逐次処理計算機部		設計 (1年間中断)	再設計	製作						
	費用小計		5	3	6	185	185				
費用総計			41	61	112	410	337	97	17	0	1,075
										追加額	6
										損失額	8

日程 **65nm** 平成23年度末運用開始

		平成17年度	平成18年度	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度	平成25年度		
ソフトウェア	システムソフトウェア		異機種統合ソフトウェア設計・製作				異機種統合ソフトウェア評価					48
	グランドチャレンジャアプリケーション		次世代ナノ統合シミュレーション設計・製作				次世代ナノ統合シミュレーション評価					
	費用小計		7	9	7	7	9	9				
ハードウェア	大規模処理計算機部		設計	実装技術設計・評価		再設計	製作				441	
	逐次処理計算機部		設計	実装技術設計・評価		再設計	製作					
	費用小計		5	12	39	15	185	185				
費用総計			41	70	143	238	337	291	17	0	1,137	
注) 縦線の項目は、状況によっては実施しない可能性あり。										追加額	11	
										損失額	65	