

平成17年度における大規模新規研究開発の事前評価
第2回評価検討会提出資料

**最先端・高性能
汎用スーパーコンピュータの開発利用
(第2回追加宿題に対する回答)**

平成17年10月11日
文部科学省研究振興局
情報課

目次

9. 半導体プロセスについて	ページ
全て65nmプロセスを用いた場合、設定した性能目標を達成できるのか。できるとすれば、消費電力見積もりや、物理的な規模、理論性能との関係など、その根拠となるデータを示されたい。	2
45nmプロセスがいつごろ利用可能になるかがポイントとしてあげられるが、その点について、LSIベンダーの具体的な状況を示されたい。	5

9. 半導体プロセスについて

9. 全て65nmプロセスを用いた場合、設定した性能目標を達成できるのか。できるとすれば、消費電力見積もりや、物理的な規模、理論性能との関係など、その根拠となるデータを示されたい。

そもそも、45nmプロセスを先導することにインセンティブがあり、全てに65nmプロセスを用いることを前提に議論すべきではない。

ポイント

全て65nmプロセスを用いた場合でも、性能目標として設定したLinpack10ペタFLOPS、HPC CHALLENGEの半分以上の項目での世界最高性能の達成は可能である。

1. 性能目標の達成

京速計算機システムの性能目標としては、以下の2項目を設定している。(第一回評価検討会資料2-1を参照)

- (1) Linpackで10ペタFLOPSを達成する(平成23年6月のスーパーコンピュータサイトTOP500でランキング第1位を奪取)

Linpack性能の測定では、実行時間の殆どを占めるプログラムの中核部分は特定処理計算加速部で実行される。特定処理計算加速部は、当初より65nmプロセスでの製作を予定しており、システム全体を65nmで製作した場合でも性能劣化はない。このため、Linpack性能への影響は軽微であり、目標は達成できると考えている。

- (2) HPC CHALLENGE 全28項目中、過半数以上の項目で最高性能を達成する。

HPC CHALLENGEは、28項目の性能評価(Linpackやメモリ転送性能等)を行うベンチマークテストである。Linpack等については、(1)に記載したように特定処理計算加速部を使用するため、全てに65nmを採用したとしても、性能への影響は軽微である。メモリ転送性能については、大規模処理計算機が逐次処理計算機、特定処理計算加速部機と比較して圧倒的に優位であることと、65nmプロセスを使用した京速計算機システムの性能(2項を参照)を上回る、大規模処理計算機の開発計画が他にないことから、全て65nmを用いた場合でも、当初の目標である、HPC CHALLENGEの半分以上の項目における世界最高性能の達成は可能と考えられる。

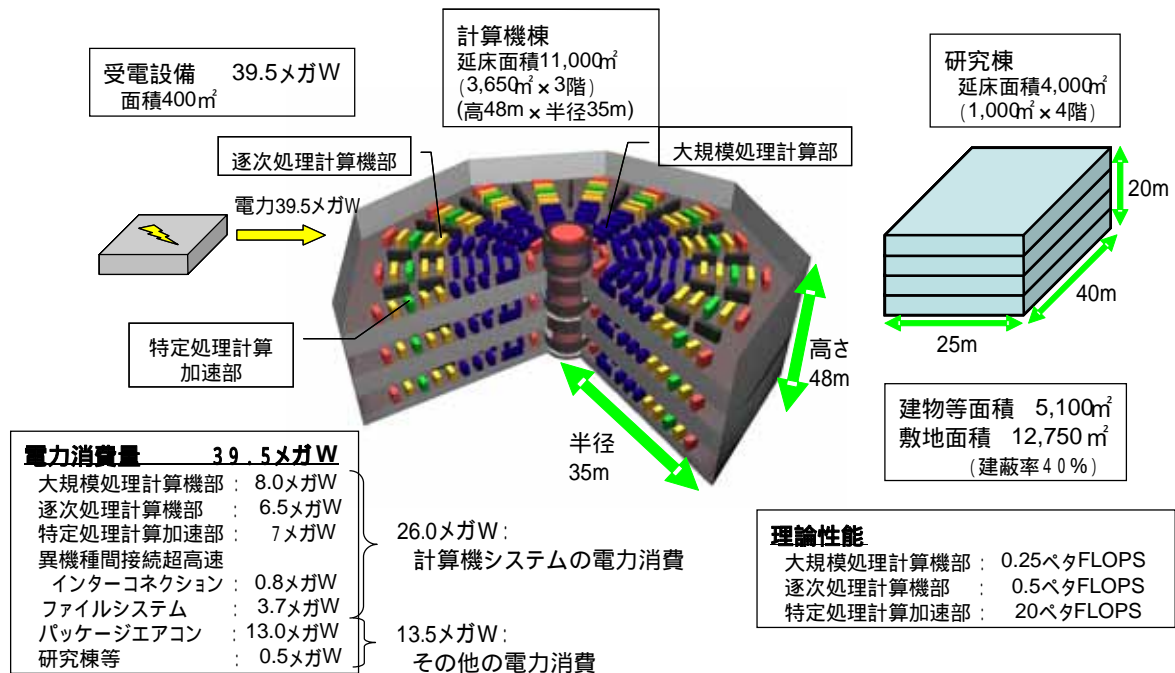
2. 45nmと65nmの演算性能、メモリ容量比較

計算機部	項目	プラン (45nm 開発)	プラン (65nm 調達)
大規模処理 計算機	理論性能	0.5 ペタ FLOPS	0.25 ペタ FLOPS
	メモリ容量	0.13 ペタ Byte	
逐次処理 計算機	理論性能	1 ペタ FLOPS	0.5 ペタ FLOPS
	メモリ容量	0.25 ペタ Byte	
特定処理 計算加速機	理論性能	20 ペタ FLOPS	
	メモリ容量	6 テラ Byte	
システム全体	理論性能	21.5 ペタ FLOPS	20.75 ペタ FLOPS

なお、大規模処理計算機部、逐次処理計算機部の CPU 数/ノード数は、45nm と 65nm のいずれを用いた場合でも変わらない。(大規模処理計算機：4,096CPU/512 ノード、逐次処理計算機：32,768CPU/1,024 ノード)

3. 電力見積もり、物理的規模

全てに 65nm を用いた場合の京速計算機システムの消費電力量見積もり、物理的規模は以下のとおり。



注) ノード数は 45nm の場合と同一であるため、設置面積は変わらない。

4. 運用コストの比較

項目	金額	
	プラン (45nm 開発)	プラン (65nm 調達)
電力代	22.1 億円	29.1 億円
計算機等保守費	32.0 億円	23.1 億円
その他保守費	13.8 億円	16.6 億円
運営費	12.6 億円	
合計	80.5 億円	81.4 億円

(参考) プラン がプラン より「お得」な理由

ポイント

プラン (45nmで開発)の方が、プラン (65nmで調達)よりも、大学・公的研究機関に導入される商用スパコンの運用コスト低減に対する寄与度が遙かに大きい。

1. プラン は低電力技術に関する各種要素技術の研究開発成果を導入することから、単に商用機を調達するプラン に比べ、電力あたりの演算性能が3倍以上となる。
2. その結果、プラン の場合、平成23年頃に45nmの計算機システムによって主要な大学・公的研究機関(15機関)の計算機システムの更新が行われた時の電力代の合計額が28.2億円と見積もられる。これに対し、プラン の場合、平成23年頃に65nmの計算機システムによって主要15機関でプラン と同程度の演算資源量で更新されたと仮定した場合の電力代の合計額は93.3億円と見積もられる。つまり、平成22年度までに65nmの計算機システムを実現することができれば、年間65.1億円の電力代の節約を見込むことができる。
3. また、プラン の場合、膨大な電力量に対応するため、受電設備の強化等の追加的経費が必要となる。(あるいは受電設備の容量が計算機システムを更新する際の制約要因となり、必要とされる演算資源量の確保が困難となる可能性が高い)

現状の主要な大学・公的研究機関(15機関)におけるスパコン予算の合計は、約260億円/年。

平成23年頃に1000億円で調達可能な計算機システムの諸元は次の通り。

半導体プロセス		プラン (45nm 開発)	プラン (65nm 調達)
15 機関 ^(*) の総予算 (リース契約)		260 億円/年	260 億円/年
製作費/10 テラ FLOPS		2.5 億円/10 テラ FLOPS	2.6 億円/10 テラ FLOPS
演算資源量合計		4.3 ペタ FLOPS	4.1 ペタ FLOPS ^(**)
消費電力	計算機部分	25.5 メガ W	84.5 メガ W
	空調部分	12.8 メガ W	42.3 メガ W
電力代	計算機部分	18.8 億円	62.2 億円
	空調部分	9.4 億円	31.1 億円
小計	消費電力	38.3 メガ W	126.8 メガ W
	電力代	28.2 億円	93.3 億円
ギガ FLOPS /W ^(***) (総対比)		0.17 (3.4)	0.05 (1)

(*) 15 機関：北海道大学、東北大学、東京大学、名古屋大学、京都大学、大阪大学、九州大学、筑波大学、東京工業大学、宇宙航空研究開発機構、海洋研究開発機構、日本原子力研究開発機構、理化学研究所、防災科学研究所、物質・材料研究機構

(**) 電力代の負担を考慮すると、実際に導入されるシステムは性能が3割程度落ちる見込み。

(***) 性能を計算機部分の消費電力で割った値

京速計算機システムの開発で、大学・公的研究機関におけるスパコンの電力代を大幅に節約可能。

- 9 . 45 nmプロセスがいつごろ利用可能になるかがポイントとしてあげられるが、その点について、LSI ベンダーの具体的な状況を示されたい。

本件について、スパコン製造ベンダーに照会したところ、次の通り回答があった。

「ベンダーにとって極めて機微な情報であり、個別にご照会いただければ総合科学技術会議までご説明に伺いたい。」