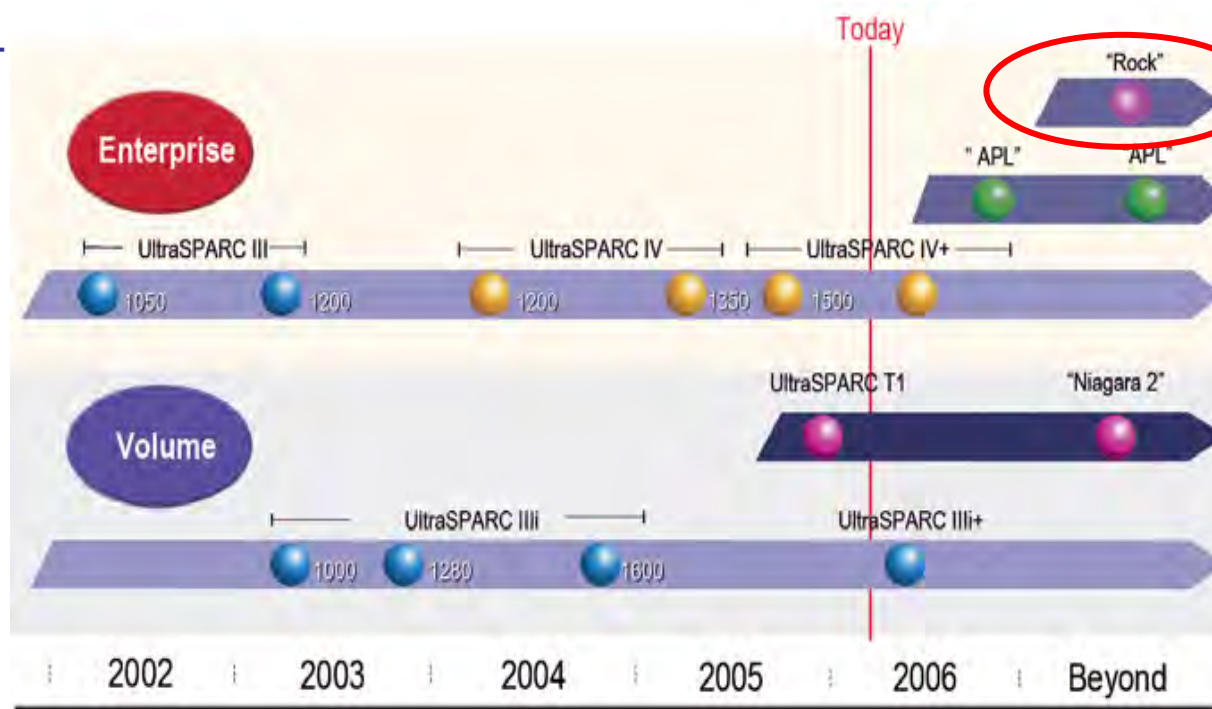


# SunのHPC戦略～ Rockプロジェクト～

- 第3世代のCMT(Chip Multi-Threading)
- Supercomputer-on-a-Chip
- 65nmテクノロジーを採用
- 1.2GHz UltraSPARC-IIIベースのシステムと比較して、30倍以上のスループット性能向上が得られる

2008年

## SPARCプロセッサ ロードマップ

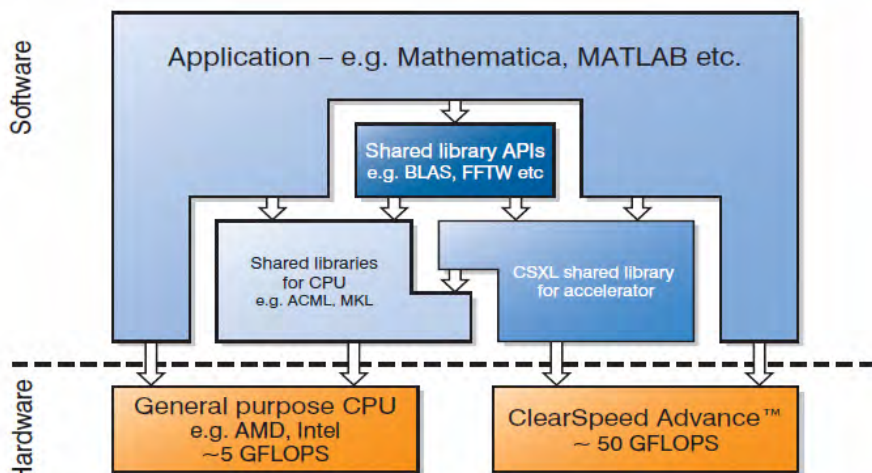


出展：「HPC Product Overview」 Roland Rambau March 2006

# ClearSpeedについて

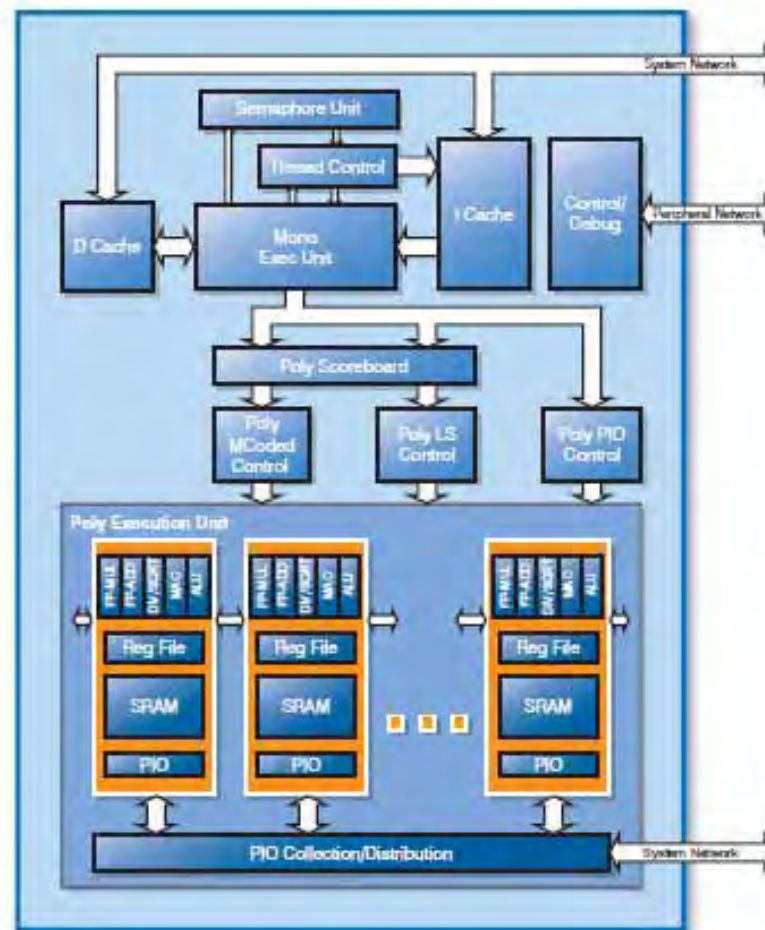
- ・ コプロセッサによりアプリケーション性能を高めるソリューションを提供。
- ・ 現状は、汎用インターフェース(PCI-X)を使用したアクセラレータ製品を提供。ファーストユーザーとして、SunのOpteronクラスタと共に東工大に導入。
- ・ AMDが、将来のOpteronプロセッサにHyperTransportで直結するコプロセッサとして検討中とされている。
- ・ 今後利活用が広がる分野

構造流体連成解析	船舶
構造・衝突解析	自動車初めものづくり全般
タンパク解析	バイオ
材料解析	半導体



【ユーザービュー】

主プログラムは、通信ライブラリによってホストのメモリからアクセラレータボードに入力データを送って、計算結果を待つ。



【構成図】

消費電力10W

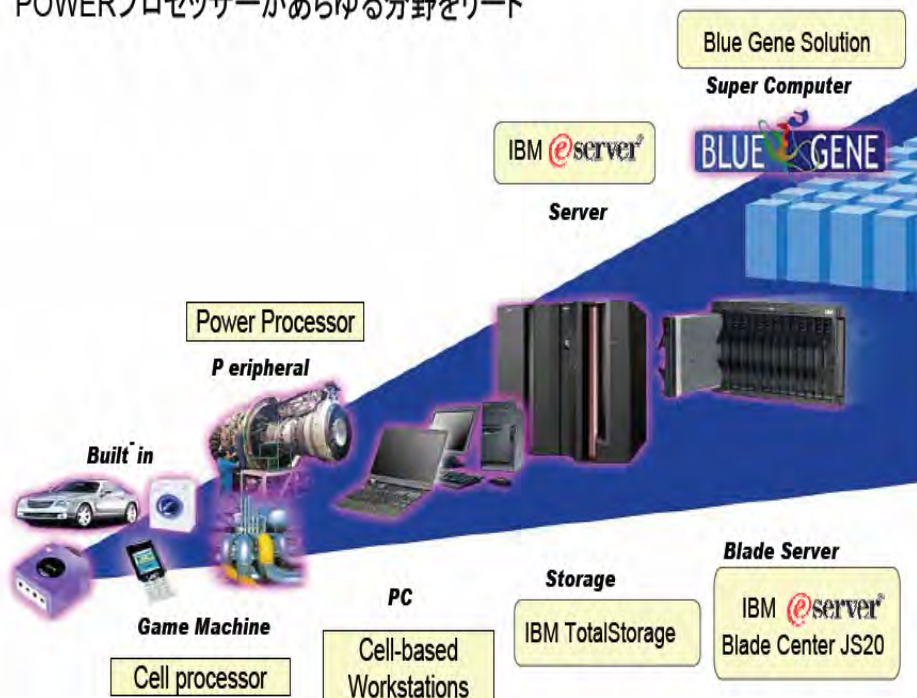
DGEMMの単/倍精度で25GFの実行性能

出展：「CSX Architecture Whitepaper」ClearSpeed Technologies社 HP

# IBMのMPU戦略～Powerアーキテクチャ～

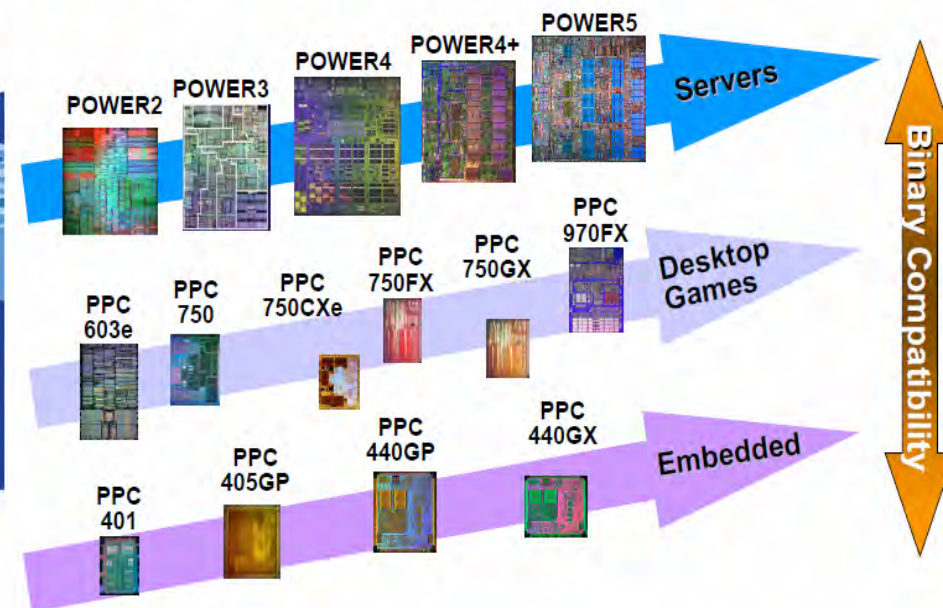
Power Everywhere : Powerアーキテクチャがあらゆる分野で活用されることを目指している。

- ◆ ゲーム機からIBMサーバー、ストレージ、スーパーコンピュータまで POWERプロセッサがあらゆる分野をリード



出展 : 「System & Technology 日本での戦略」 出澤研太, 2005年7月

## POWER : The Most Scalable Architecture



PPC: PowerPC

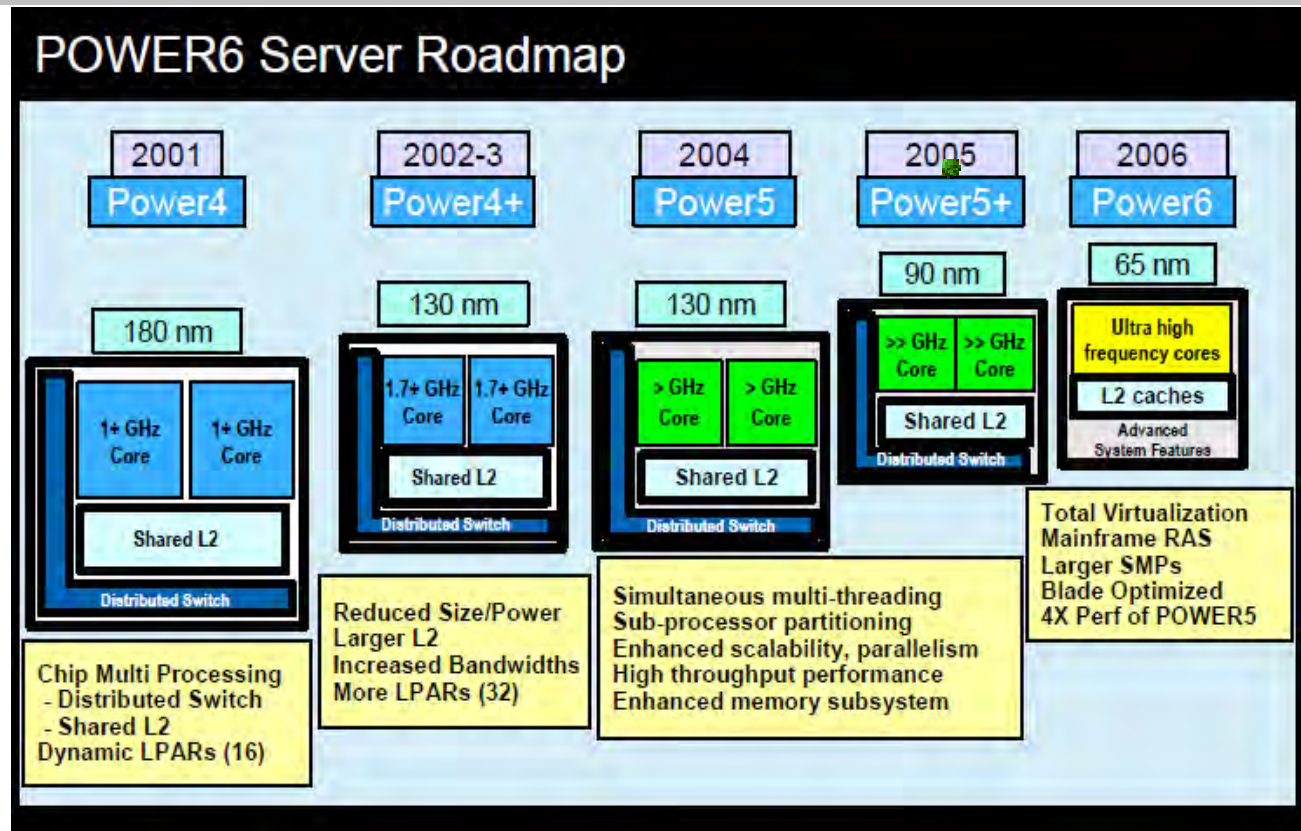
出展 : 「Deep Computing with IBM Systems」 Barry Bolding, May 2005

Power : Performance Optimization With Enhanced RISC

PowerPC : Performance Optimization With Enhanced RISC for Personal Computer

あらゆる分野をカバーするために複数のラインアップを製品化している。更に、Powerアーキテクチャをオープンな仕様にして開発するために、Power.org を2004年12月を発足し、2006年4月5日時点で44社加入。

# IBMのMPU戦略～Powerのロードマップ～



## Power6に関する情報

出展：「Application Driven Supercomputing An IBM Perspective」,  
William R. Pulleyblank,

- 動作周波数は、4～5GHz (Power5の約2倍)

パイプラインのステージ数はPower5と同じ。各ステージの論理回路数を半分にするために、回路に2倍、3倍の処理をさせている。一連のレジスタに複数の機能を割当て、ラッチ間のゲート遅延を半分に抑える。

- 消費電力は、Power5と同レベル

すべてのアプリケーションがマルチコア向けに移植されているわけではない。単一プロセッサ用アプリケーションのシングルスレッド時における性能と、SMP時における性能のバランスをとることに努力している。このために動作周波数を上げた。

- デュアルコア・チップ

# IBMのMPU戦略～Cellプロセッサ～

## 次世代プロセッサ「Cell」の動向

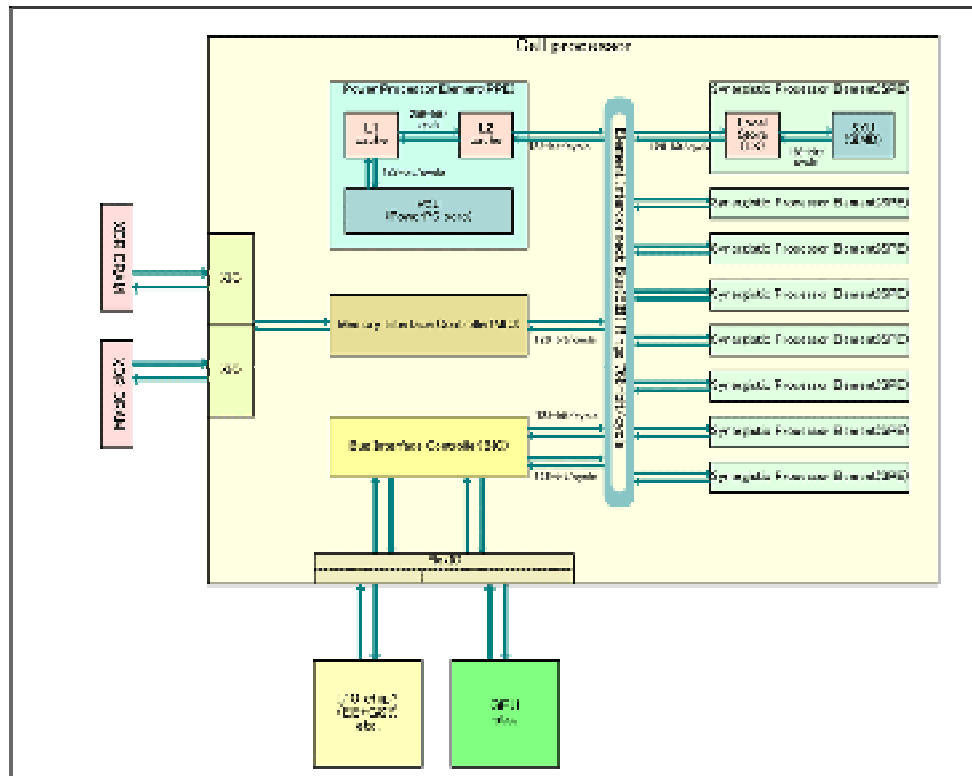
2005年2月7日 ソニー、SCEI、東芝とともにCellの技術仕様を公表

2006年2月8日 米IBM, Cell BEプロセッサ搭載ブレード・サーバーなどを発表

格納しているブレード・サーバー間のデータ転送速度を高速化した新型筐体「IBM BladeCenter H」や, Cell Broadband Engine (Cell BE) プロセッサを搭載した新型ブレード・サーバーなどを発表した。

Cell BEプロセッサ搭載ブレード・サーバーは, 2006年第3四半期に利用可能とする予定。

Cell processor high level diagram



Copyright © 2006 International Business Machines Corporation. All rights reserved.

出展：「後藤弘茂のWeekly海外ニュース～ISSCCで、ついにCellが登場～ソニーグループ、IBM、東芝が共同発表」  
PC watch 2005年2月8日



【9コアのCellプロセッサを搭載したブレード】

出展：「米IBM, Cell BEプロセッサ搭載ブレード・サーバーなどを発表」Itpro Enterprise 2006年2月9日

## 次世代プロセッサ「Cell」仕様

- ・浮動小数点演算理論性能(単精度) 256ギガFLOPS
- ・クロック 4 GHz 以上
- ・9個のコア(PPE × 1, SPEC × 8) : PPEはPowerPC 970(G5)と互換
- ・新メモリ「XDR DRAM(Yellowstone)」インターフェイス
- ・チップ間接続の広帯域インターフェイス「FlexIO(Redwood: レッドウッド)」
- ・90nm SOIプロセス
- ・ダイサイズ現在の試作チップで221平方mm
- ・トランジスタ数 234M個

# INTELのMPU戦略

---

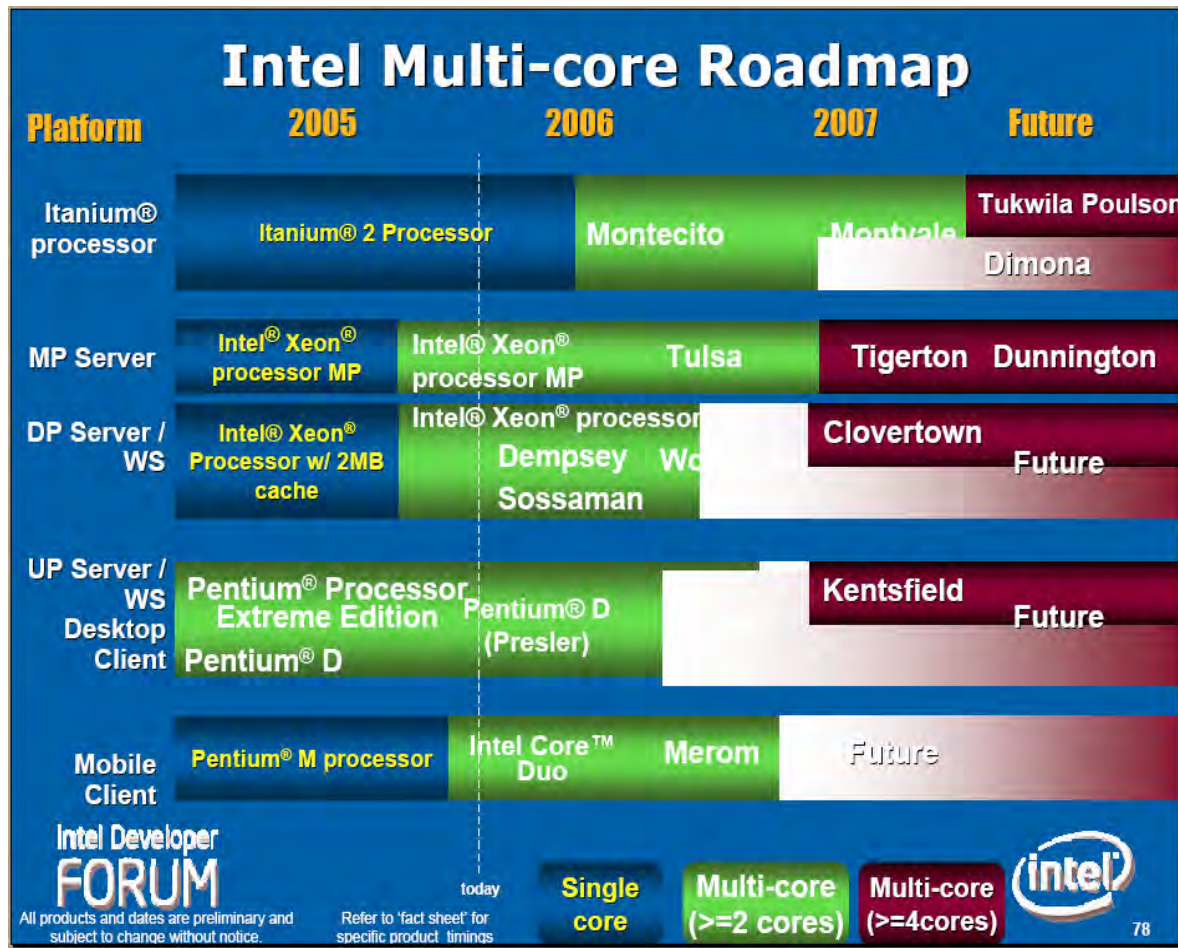
- ハイエンドコンピューティング向け
  - E P I Cアーキテクチャ( I A - 6 4 ) Itanium2
  - I A - 3 2 ( E M T 6 4 を含む ) Xeon

H P Cシステムとしては、E P I Cアーキテクチャのプロセッサだけでなく I A - 3 2系プロセッサによる P C クラスタシステムも増えている。
- サーバー、デスクトップ向けプロセッサ
  - Pentiumなど
- モバイル向けプロセッサ
  - ARMアーキテクチャのXscale

(参考)

- 過去にH P Cへの取り組んだ経験があるが、現在はプロセッサ開発・製造に専念
  - I N T E L ParagonXP/S ( 1993年出荷 )  
R I S C ( i860/XP)ベースのMPPシステム 143.4GF
  - A S C I Red ( 1995年完成 ) Sandia National Laboratory  
Pentium-Proベースのマルチプロッサ 1.34TF(1999年には2.34TF)

# INTELのMPU戦略～マルチコアのロードマップ～



- 2005年後半からデュアルコア製品の提供を開始。
- 2007年ごろから順次4コアの製品化を予定。

出展：Inside the INTEL® Core™ Microarchitecture Microarchitecture  
 March 8, 2006 INTEL Developer Forum講演資料

# INTELのMPU戦略～次世代IA-32コア～

- IA-32系次世代コア「Core™ Architecture」

キーポイントは電力あたり性能の向上。従来のXeon系コアで使われているNetburst系アーキテクチャから、モバイル系プロセッサで活用されているBaniasアーキテクチャの発展系となる。

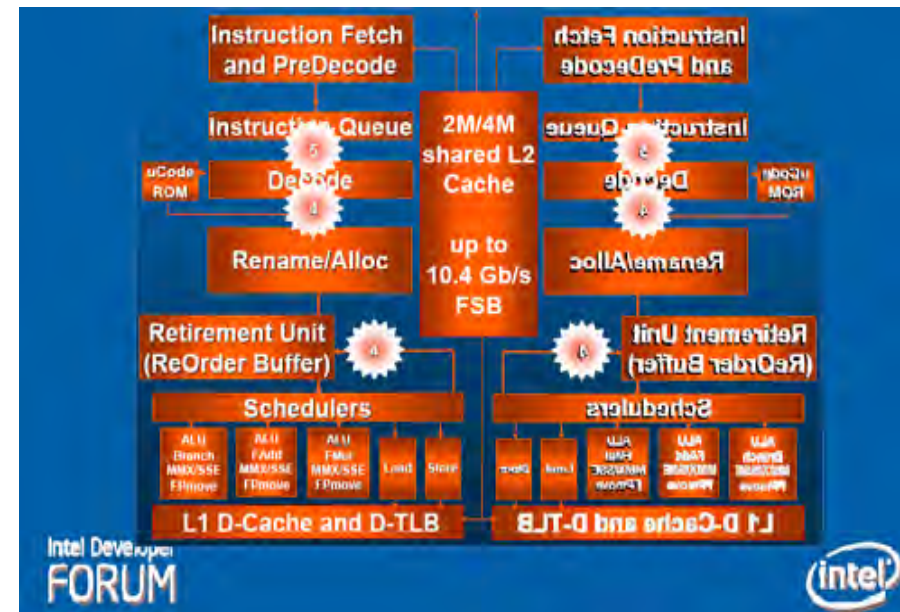
- Xeon系プロセッサではWoodcrest（2006年7月出荷, DP：Xeon 5100シリーズ）Tigerton（2007年2H, MP）から本アーキテクチャに変更となる。

- クロックあたりの並列処理命令数を向上

Xeon DP後継の“Woodcrest(開発コード)”では既存のものより性能を80%改善しながら消費電力は35%削減の見込み。

## Woodcrestの仕様

- 共有L2キャッシュ(4MByte)
- 汎用演算器3個
- Branch命令/FAdd/FMul 1個  
各演算器はSSE命令も実行可
- Load/Store実行ユニット 1個
- 4命令を同時に発行可能
- 2つのマイクロ命令を融合し1命令として発行
- バーチャリゼーション・テクノロジー(VT)搭載
- 省電力機能(Intelligent Power Capability)搭載
- 製造プロセスは65nm



【Woodcrestブロック図】

出展：Inside the INTEL® Core™ Microarchitecture Microarchitecture  
March 8, 2006 INTEL Developer Forum講演資料



# INTELのMPU戦略 ~ 2015年のアーキテクチャ ~

## 1. チップレベルマルチプロセッシング(CMP)

- シンプルで消費電力効率が優れたコアを多数搭載する方式

1チップが提供可能なシステム性能を大幅に向上と、必要以外のHWの活動を休止させる。

- コアとインターコネクト、キャッシュの動的再構成能力

既にINTELの通信機器組み込みプロセッサIXPシリーズは16個のコアを集積した製品でありネットワーク処理に活用されている。

## 2. 特定用途専用ハードウェア

無線LAN用ブロック/3Dレンダリングユニット/DSP/音声認識/文字認識/セキュリティ/可用性管理/XMLやその他のインターネットプロトコル処理/データマイニング/自然言語処理

## 3. 大規模メモリサブシステム

コアの近くにギガByteサイズの大容量メモリを配置する。

オンチップのメモリが既存の主記憶を置き換える。

キャッシュメモリが動的に再配置可能にする。

## 4. マイクロカーネル

ビルトインマイクロカーネル機能の複雑化

タスクの割り当て

コアのパワーのオン/オフなど負荷に応じた再構成

## 5. 仮想化

実ハードウェアの多様性、複雑性の隠蔽、マネージメント、可用性、セキュリティの改善

## 6. シリコン/プロセス技術

シリコン技術は現在のペースで2015年やそれ以降も延び続けていく。高誘電率/メタルゲート/Tri-gateトランジスタ/III-V族トランジスタ/カーボンナノチューブ/シリコンナノワイヤーなどの新素材や構造により牽引する。

## 7. 既存環境との互換性

既存のアーキテクチャとの互換性を保障し続けていく必要がある。

# AMDのMPU戦略

## 1. 半導体プロセス技術

AMDは、2003年1月よりIBMとの半導体プロセス共同開発を開始しており、65nmおよび45nmの微細化技術開発を推進している。65nmプロセスは2006年後半から、また45nmプロセスは2008年から、製品に投入する予定である。

さらに、2005年11月には、半導体プロセス技術開発に関するIBMとの技術提携の範囲を拡充した。期間は2011年までとなり、32nmおよび22nmプロセスを見据えた協業となる。

## 2. プロセッサ技術

2008年までのプロセッサ技術の方向として、

(a)新設計コアと命令セット拡張(電力制御、FPU強化、仮想化、セキュリティ)

(b)クアッドコア・チップと共有L3キャッシュ

(c)ダイレクトコネクト・アーキテクチャの強化(HyperTransport高速化、ソケット数拡大、高速DRAMサポート)

(d)メインフレーム級の信頼性

などを掲げており、サーバ向けプロセッサとしての強化を図っている。

また、主要キーワードとして、性能電力比(Performance per Watt)の向上を掲げている。チップレベルとシステムレベルの電力制御技術を使って改善を図る計画をしている。

その他、

オンチップ・コプロセッサの導入

サードパーティ製のオフチップ・コプロセッサ

FPGAの接続

を掲げている点も特徴的である。FPGAの接続に関しては、2006年4月のEmbedded Systems Conferenceにて、HyperTransportにXilinx社のFPGAを接続し、Celoxica社のプログラミング環境を利用するデモが行われている。

# AMDのMPU戦略～ロードマップ～

時期	テクノロジー	
現行技術	プロセス	90nm S O I
	C P U	A M D 64(Opteron) デュアルコア 拡張ウィルス防止機能
	ノード	ダイレクトコネクト・アーキテクチャ 8ソケット構成 HyperTransport 2.0 D D Rメモリ
	低電力	A M D PowerNow!テクノロジー Cool'n'Quietテクノロジー
2006年	プロセス	65nm(2006年後半)
	C P U	仮想化テクノロジー "Pacifica"
	ノード	D D R 2メモリ メモリR A S
	低電力	電力制御、温度制御の改善
2007年	プロセス	-
	C P U	新コア、命令拡張、F P U強化、クアッドコア、共有L3キャッシュ、セキュリティ技術"Presido"
	ノード	F B - D I M M メモリR A S向上 Hyper Transport 3.0
	低電力	Partitioned A M D PowerNow!テクノロジー
2008年	プロセス	45nm
	C P U	-
	ノード	ダイレクトコネクト・アーキテクチャ 2. 0、32+ソケット構成、D D R 3メモリ
	低電力	-
2008年まで (時期不明)	オンチップ・コプロセッサ サードパーティー製オフチップ・コプロセッサ、サードパーティー製F P G Aの接続	

# 参考文献(1)

## 1. DoE関係

- SciDAC Website <http://www.scidac.org/>
- Energy Department Requests Proposals for Advanced Scientific Computing Research, December 27, 2005  
<http://www.energy.gov/news/2823.htm>
- National Leadership Computing Facility A Partnership in Computational Sciences <http://www.ccs.ornl.gov/nlcf/index.html>
- National Leadership Computing Facility Oak Ridge National Laboratory  
[http://www.inl.gov/scienceandtechnology/cams/d/national\\_leadership\\_computing\\_doug\\_kothe.pdf](http://www.inl.gov/scienceandtechnology/cams/d/national_leadership_computing_doug_kothe.pdf)
- ASC at Livermore <http://www.llnl.gov/asci/>
- The ASCI Red TFLOPS Supercomputer <http://www.llnl.gov/asci/sc96fliers/sn1/ASCIred.html>
- Los Alamos National LaboratoryのASC WebSite <http://www.lanl.gov/projects/asci/>
- High-Performance Computing for National Security [http://www.lanl.gov/news/pdf/HighPerf\\_Computing.pdf](http://www.lanl.gov/news/pdf/HighPerf_Computing.pdf)
- Sandia supercomputer to get dual-core Opterons, ZDNet News: July 29, 2004 [http://news.zdnet.com/2100-9584\\_22-5289251.html](http://news.zdnet.com/2100-9584_22-5289251.html)
- I B M to build fastest supercomputers, ZDNet News: November 18, 2002 [http://news.zdnet.com/2100-9584\\_22-966312.html](http://news.zdnet.com/2100-9584_22-966312.html)

## 2. DoD関係

- DoD HPCMP HP <http://www.hpcmo.hpc.mil/>
- HPCMP Program Overview February 2006 [http://www.hpcmo.hpc.mil/Htdocs/DOCUMENTS/2006FEB13\\_HPCMP0\\_Program\\_Overview.pdf](http://www.hpcmo.hpc.mil/Htdocs/DOCUMENTS/2006FEB13_HPCMP0_Program_Overview.pdf)
- HPCMP Annual Report 2002 [http://www.hpcmo.hpc.mil/Htdocs/ANNUALREPORT/2002\\_HPCmp\\_annual\\_report.pdf](http://www.hpcmo.hpc.mil/Htdocs/ANNUALREPORT/2002_HPCmp_annual_report.pdf)

## 3. NSF関係

- Office of CyberInfrastructure's Website <http://www.nsf.gov/dir/index.jsp?org=OCI>

## 4. NASA関係

- NASA Advanced Supercomputing Division <http://www.nas.nasa.gov/>
- Information from the National Coordination Office for Networking and Information Technology Research and Development: SC|05  
HEC BOF - Federal High-End Computing Update November 17, 2005 [http://www.nitrd.gov/pubs/20041020\\_icr.pdf](http://www.nitrd.gov/pubs/20041020_icr.pdf)
- NASA Web site NAS COMPUTING RESOURCES <http://www.nas.nasa.gov/Resources/resources.html>

## 5. NIH関係

- Information from the National Institutes of Health (NIH) <http://www.nih.gov/news/pr/sep2005/roadmapbackgrounders.pdf>
- Biomedical Information Science and Technology Initiative webpage <http://www.bisti.nih.gov/>
- 7つのNational Centers for Biomedical Computing(NCBC)のウェブサイト  
<http://simbios.stanford.edu/> <http://www.na-mic.org/> <http://www.i2b2.org/> <http://www.loni.ucla.edu/CCB/>  
<http://www.ncibi.org/> <http://magnet.c2b2.columbia.edu/> <http://bioontology.org/>