

ナノテクノロジー・材料共通基盤技術検討WG発表資料

グラフェンの技術課題整理

平成24年12月19日

(独)科学技術振興機構

研究開発戦略センター(CRDS)



グラフェン応用開発ロードマップ(JST作成)



その他

高感度ガスセンサー

分子センサー

バイオセンサー

新規動作原理に基づくスイッチング素子

透明電極応用

パターン形成技術

CVD+転写 技術 大面積グラフェン膜形成技術

基材表面処理

量産技術

ドーピング技術

フレキシブル透明電極

低価格化技術

電気伝導度:ITOの数倍以上

光透過率97%以上

トランジスタ・テラヘルツデバイス応用

グラフェンチャンネルFET

グラフェンCMOS

グラフェンLSI

ナリボンチャンネル形成技術

エッジ制御による特性制御技術

バンドギャップ制御技術

膜質向上と量産技術

スピントロニクス素子

高周波素子 (数10GHz以上)

超高周波素子 (100GHz~1THz)

微小テラヘルツレーザ

共通基盤研究

CVD薄膜形成技術

エッチング加工技術

SiC上グラフェン形成技術

層状物質ヘテロ構造形成

グラフェン膜数制御技術

エッジ修飾技術

グラフェン高純度化技術

界面制御技術

無欠陥グラフェン膜形成技術

2010

2015

2020

2030

2040

グラフェンの技術課題 (1/3)



技術区分	技術課題・目標		KPI (本格的な研究の進展、企業の参入)			目標達成に向けた課題解決の方策例
	技術課題	目標	指標	目標	現状	
共通基盤	高品質グラフェン膜の形成技術 (結晶成長、合成、剥離など)	大面積の単結晶グラフェン薄膜形成	結晶性	既存ウェハ上へのドメインフリー単結晶グラフェン膜形成	小面積、多結晶グラフェン膜	<ul style="list-style-type: none"> 適切な基板や触媒の選択によるCVD成長 大面積SiC基板を用いたSiの昇華 ロールtoロール生産と機械的剥離・転写
	グラフェンのバンドギャップ、キャリア濃度 (導電型、抵抗値) の制御技術	メカニズム解明に基づいたバンドギャップ、キャリア濃度の自由な制御	電気特性制御性	電気特性の制御原理と方法の明確化	一部で理論予測、実験	<ul style="list-style-type: none"> 自己組織化や触媒によるグラフェン膜層数の制御 不純物ドーピング、表面吸着によるキャリア制御 界面修飾、エッジ修飾
	グラフェンの高精度、低ダメージの加工プロセス技術	デバイスに必要な加工精度と電気特性の両立	加工精度と品質	生産性、コストに問題の無い具体的な加工方法の提示	基本的な特性を調べるための加工	<ul style="list-style-type: none"> 低ダメージのプラズマ・ラジカルエッチング 加工プロセスのシミュレーション
	電極との低抵抗コンタクト、保護膜技術	電極とのコンタクトの低抵抗化、および保護膜による特性不安定化抑制	低抵抗コンタクト、特性安定性	デバイス特性を満足する現実的な手法の提示	一部で理論予測、実験	<ul style="list-style-type: none"> 金属とのコンタクト特性の理論的、実験的解明 保護膜との界面の理論的、実験的解明 各種電極形成手法、保護膜手法の実施
	グラフェンの構造、物性の評価、特性予測技術	グラフェン自身や他材料との界面特性の理解	物性の理解度	品質を保証できる物性や現象の理解	一部で物性・特性の理論予測、評価	<ul style="list-style-type: none"> 実験にリンクしたモデリングやシミュレーション ナノレベルの評価と解析

グラフェンの技術課題 (2/3)

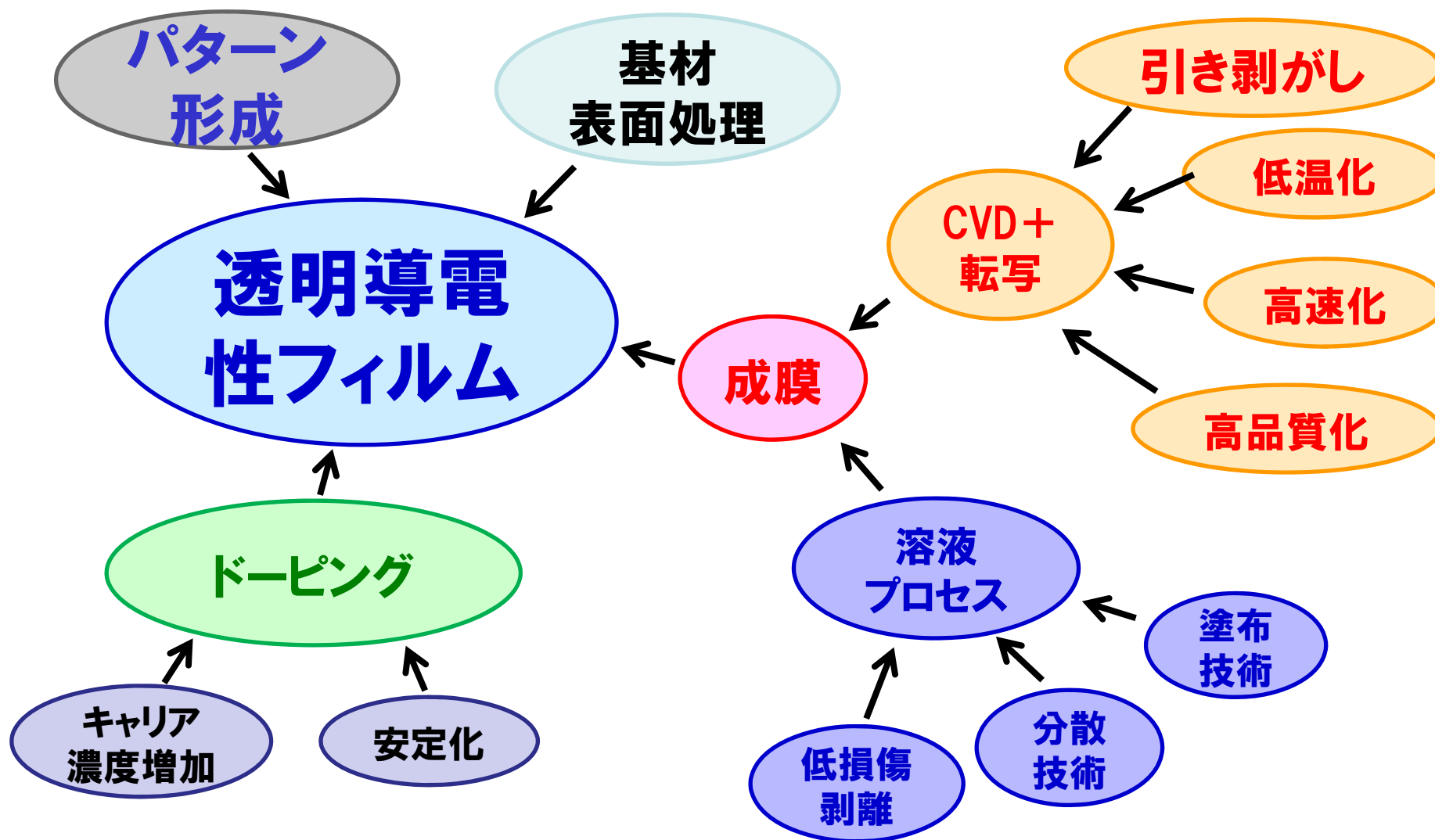


技術区分	技術課題・目標		KPI (本格的な研究の進展、企業の参入)			目標達成に向けた課題解決の方策例
	技術課題	目標	指標	目標	現状	
透明電極・導電膜	高い透明度（光透過率）と低電気抵抗（シート抵抗）を両立するグラフェン膜の形成技術	ITOの特性を超える高い透明度と低電気抵抗の実現	透明度×電気抵抗	光透過率97%以上と、ITOの数倍以上の低抵抗特性	一部で透明電極の試作	<ul style="list-style-type: none"> ・層数の設計と制御 ・キャリア濃度制御 ・膜欠陥制御
	金属電極との低抵抗コンタクト技術	グラフェン膜抵抗に影響を与えない低コンタクト抵抗の実現	コンタクト抵抗	低抵抗性と経済性に優れた電極材料、形成プロセス	一部で実験	<ul style="list-style-type: none"> ・コンタクト特性の理論的解明 ・各種金属材料、ヘテロ構造の検討
	大面積グラフェン膜形成技術	ディスプレイ等応用するデバイスの大きさを実現	面内均一性	基板前面にわたってばらつきのない電気特性	大面積ウェハ上での形成実験	<ul style="list-style-type: none"> ・基材の表面処理 ・CVD等成膜メカニズムの解明 ・成膜装置の大型化
	量産化対応のプロセス技術	コストや安全性に問題の無いプロセスの実現	量産性	他技術との比較で、魅力的な性能・コスト	基本的な特性評価のレベル	<ul style="list-style-type: none"> ・パターン形成 ・早期の安全性評価 ・ステップ数の少ないプロセス開発

グラフェンの技術課題 (3/3)

技術区分	技術課題・目標		KPI (本格的な研究の進展、企業の参入)			目標達成に向けた課題解決の方策例
	技術課題	目標	指標	目標	現状	
超高速・高集積トランジスタ/テラヘルツデバイス	超高速トランジスタの構造・プロセス技術	テラヘルツ領域の動作実証	適切なバンドギャップの半導体特性	0.5V程度以上のバンドギャップ形成	基本的にはゼロギャップナリボン、2層グラフェンで半導体化	<ul style="list-style-type: none"> ・チャンネル幅をnmサイズにするリボン化 ・エッジ制御 ・2層グラフェンへの電界印加
			キャリア移動度	Siの100倍程度の移動度	Siより10倍程度優れた移動度を観測	<ul style="list-style-type: none"> ・結晶性の向上 (欠陥や不純物の低減) ・加工によるダメージの低減
	高集積トランジスタプロセス技術	大面積ウェハへの高集積・低消費電力ロジック、メモリ回路の形成	ウェハ均一性	大面積Siウェハ上への均一な高移動度グラフェン膜形成	基礎的な実験	<ul style="list-style-type: none"> ・単結晶グラフェン成長の大面積化 ・成膜装置の大型化
			しきい値制御性	p型、n型チャンネルのしきい値を自由に制御	単体の素子試作	<ul style="list-style-type: none"> ・チャンネルドーピング ・ゲートスタック
			低消費電力特性	CMOS回路、スピントロニクス回路等での低消費電力特性	単体の素子試作	<ul style="list-style-type: none"> ・し特性制御、設計可能なデバイスの開発
			量産性	現状のSiや他技術との比較で、魅力的な性能・コスト	基礎的な特性評価のレベル	<ul style="list-style-type: none"> ・装置メーカーを取り込んだ、総合的なプロセス開発

透明導電膜応用のための課題



グラフェンFET高性能化のための プロセス技術の課題

