

スターダストプログラム

「宇宙機のデジタル化を実現するマイクロプロセッサ内蔵FPGAモジュールの研究開発」

成果報告

宇宙航空研究開発機構

研究開発部門

1. 背景・目的

衛星軌道上での高速大容量データ通信やオンボード画像処理など、宇宙機のデジタル化が年々加速している。衛星のデジタル化の中核を担う半導体として、高速処理が可能で書き換え可能な特徴を持つFPGA (Field-programmable gate array) の実現が強く望まれている。

R3～R5年度に実施したスターダストプログラム『衛星のデジタル化に向けた革新的FPGAの研究開発』では、国産の低消費電力半導体技術である原子スイッチ(ナノブリッジ)と、JAXAが持つ耐放射線強化回路技術を組み合わせたナノブリッジFPGA(NB-FPGA)の回路技術を構築し、小規模なチップ試作を通じてFPGAの実現目途を得た。

本プログラムでは、上記成果を活用し、高性能FPGA-MPU複合型半導体モジュール実現に必要な以下3つの技術構築を目的とする。

- ①大規模版SoC* NB-FPGA** の試作
- ②JAXA開発MPUチップ(SOI-SOC4)と接続したマルチチップモジュール(MCM)の試作
- ③開発ツール(設計SWと評価ボード)の整備

*SoC : System on a chip
**NB-FPGA : ナノブリッジFPGA

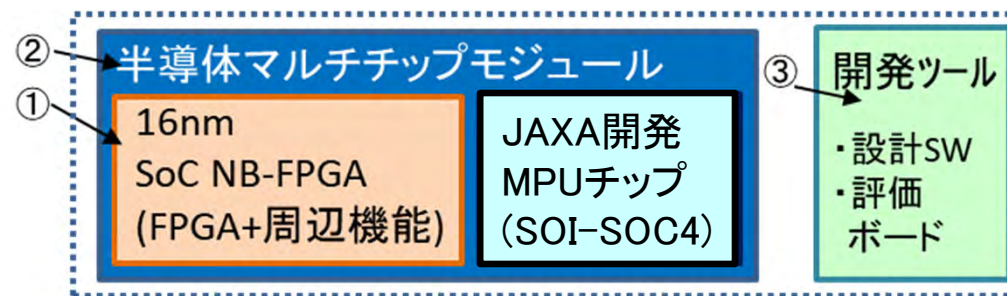


図1 実現するマルチチップモジュールの構成イメージと実施項目①～③との対応

2. 実施項目・実施体制

2-1. 実施項目と工程表

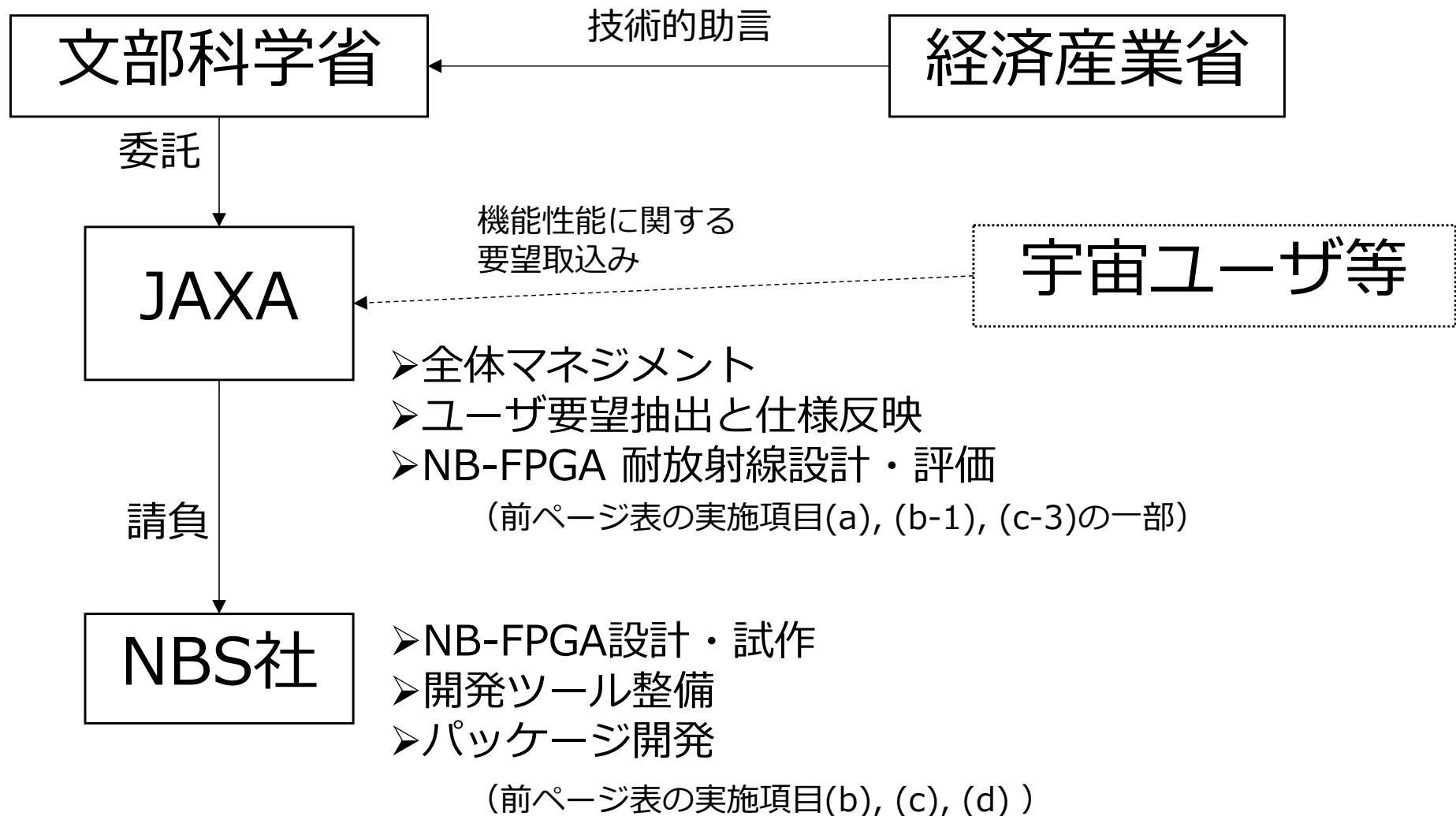
本研究の実施項目と工程表(実績)を以下に示す。文部科学省殿よりJAXAが受託し、ナノブリッジセミコンダクター社を再委託先として実施した。

実施項目	R5年度				R6年度				R7年度			
	1Q	2Q	3Q	4Q	1Q	2Q	3Q	4Q	1Q	2Q	3Q	4Q
(a) プロジェクトの総合推進	(スケジュール・リスク管理, 進捗確認実施)											
(b) 大規模版SoC 16nmNB-FPGAの試作												
(b-1) SoC NB-FPGA仕様決定と設計												
(b-2) SoC NB-FPGAチップ設計、下地半導体部製造												
(b-3) SoC NB-FPGA製造、単体機能評価												
(c) マルチチップモジュール(MCM)の試作												
(c-1) 仕様検討、SOI-SOC4間接続I/F設計												
(c-2) MCMモジュール詳細設計												
(c-3) MCM試作、電気性能と耐宇宙環境性の評価												
(d) 開発環境と計算機ボードの整備												
(d-1) NB-FPGA既存設計ツールの16nm 向け対応改修												
(d-2) 開発ツール設計・製造												

2. 実施項目・実施体制

2-2. 実施体制

本研究の実施体制図と役割について、以下に示す。



3. 成果サマリ

- 目的に掲げた3つの項目である、「大規模版SoC 16nmNB-FPGAの試作」、「マルチチップモジュール(MCM)の試作」、「開発環境と計算機ボードの整備」を計画通り完了した。
(4.1～4.3項に詳述)
- 試作品の性能を確認した結果、海外競合他社製品と比較して低消費電力性と耐放射線性に優れたFPGAが実現されていることを確認した。
(4.4項に詳述)

なお、本プログラムでの実施項目ではないが、NB-FPGAの利用促進に向けた活動状況(宇宙/非宇宙の両分野)および、本成果を踏まえた今後の取組について、改めて整理した。(5項に詳述)

4. 研究成果詳細

4.1 大規模版SoC 16nmNB-FPGAの試作

- 4.1.1 SoC NB-FPGA仕様決定と設計
- 4.1.2 SoC NB-FPGAチップ設計、下地半導体部製造
- 4.1.3 SoC NB-FPGA製造、単体機能評価

4.2 マルチチップモジュール(MCM)の試作

- 4.2.1 仕様検討、SOI-SOC4間接続I/F設計
- 4.2.2 MCMモジュール詳細設計
- 4.2.3 MCM試作、電気性能と耐宇宙環境性の評価

4.3 開発環境と計算機ボードの整備

- 4.3.1 NB-FPGA既存設計ツールの16nm 向け対応改修
- 4.3.2 開発ツール設計・製造

4.4 技術ベンチマーク

4.1.1 SoC NB-FPGA仕様決定と設計

本FPGAの将来のユーザとなり得る企業に対するヒアリングを行い、NB-FPGAとともに1チップ化要望が強い回路機能を選定、これらをチップ内に配置したシステムオンチップ構成を具体化した。外部接続するJAXA開発MPU(以降”SOI-SOC4”と表記)の他に、チップ内部にもRISC-Vプロセッサコアを内蔵しており、処理目的に応じてユーザが両者を選択できる構成とした。(下図の赤破線部。水色ハッチング箇所はナノブリッジが使われる回路箇所。)

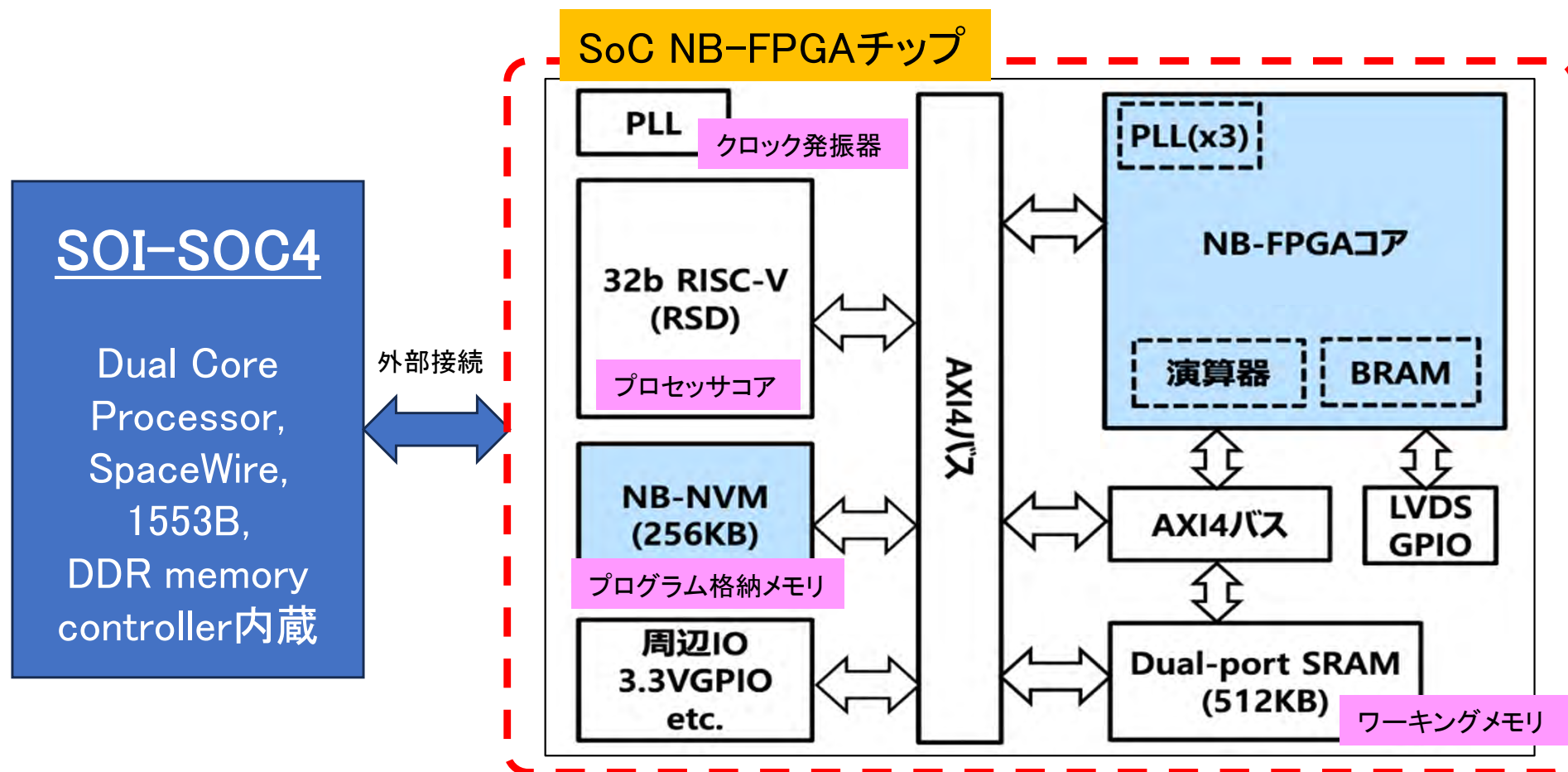


図2 SoC NB-FPGA機能およびマルチチップモジュール構成

4.1.2 SoC NB-FPGAチップ設計、下地半導体部製造

前項の結果を元に、SoC NB-FPGAチップの設計を行った。下地半導体製造は、前回のスターダストプログラムでの試作と同じく、米Global Foundry社で実施することとした。設計の妥当性および製造前の機能検証(論理シミュレーション)は、半導体業界で標準的に使われる設計検証ツールを用いて実施した。

SoC NB-FPGAチップの各機能ブロック図と、チップ上の配置(レイアウト)との大まかな対比を下図に示す。

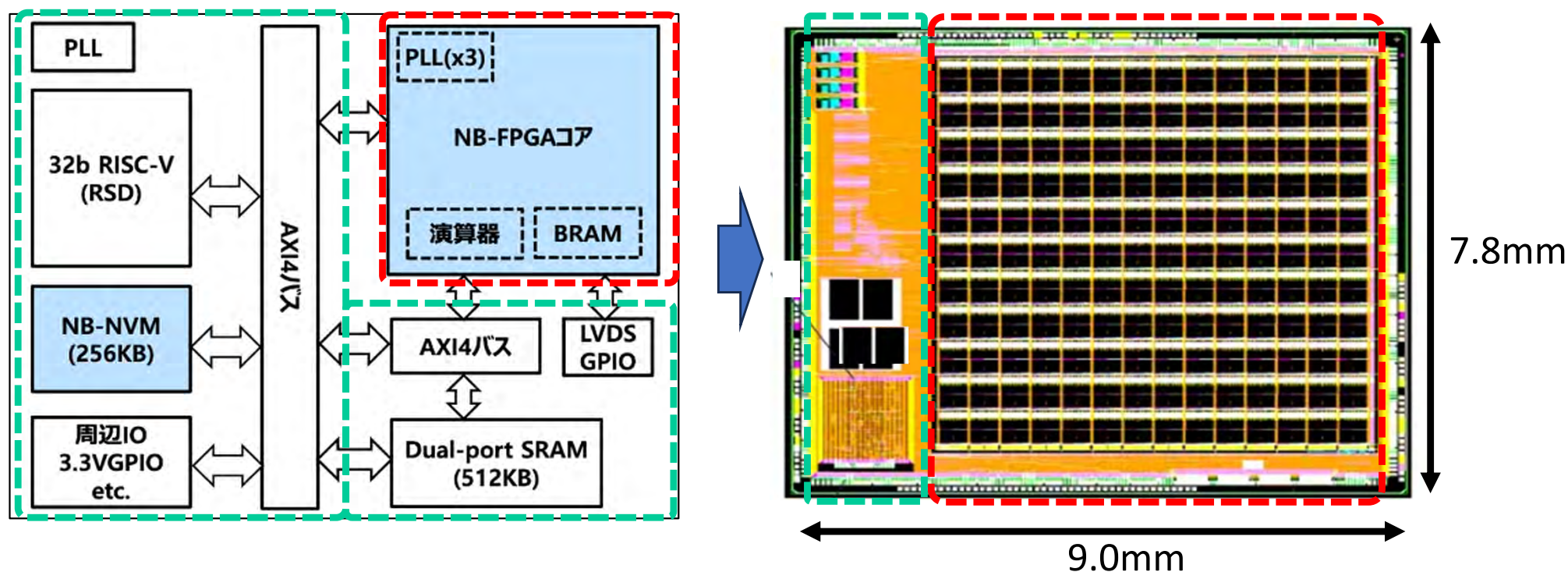


図3 SoC NB-FPGAチップ設計結果(右図)と機能ブロック図(左図)との対比

4.1.3 SoC NB-FPGA製造、単体機能評価

下地半導体製造(ウェハ製造)を米Global Foundry社で実施した後、この半導体ウェハに対するナノブリッジ埋め込みと配線仕上げ作業をNBS社にて実施した。これらの作業の後、半導体ウェハのダイシング*を行い、試作チップを完成させた。外観写真を図4に示す。この試作チップを用いてナノブリッジ部やトランジスタの単体機能評価を実施、FPGAとして必要とされる基本的な機能動作を確認した。(図5)

*半導体ウェハ上に形成された複数のICチップを、ダイシングソー(ダイヤモンドブレード)やレーザーを用いて個別のチップに切断・分割する工程

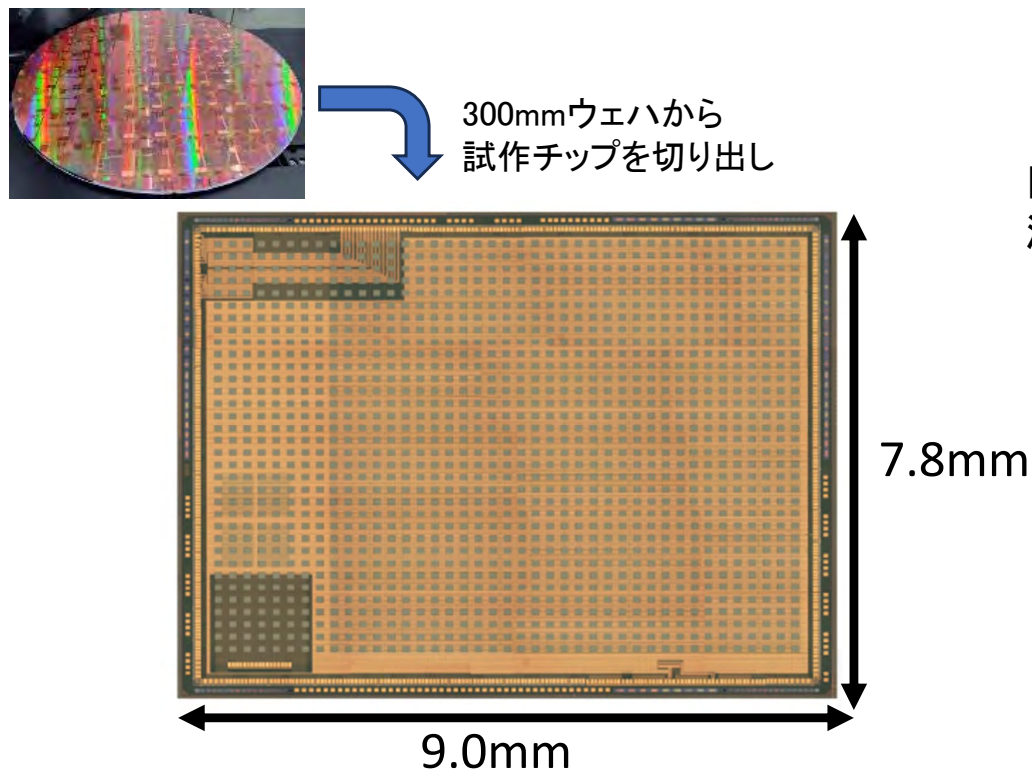


図4 SoC NB-FPGA試作チップ

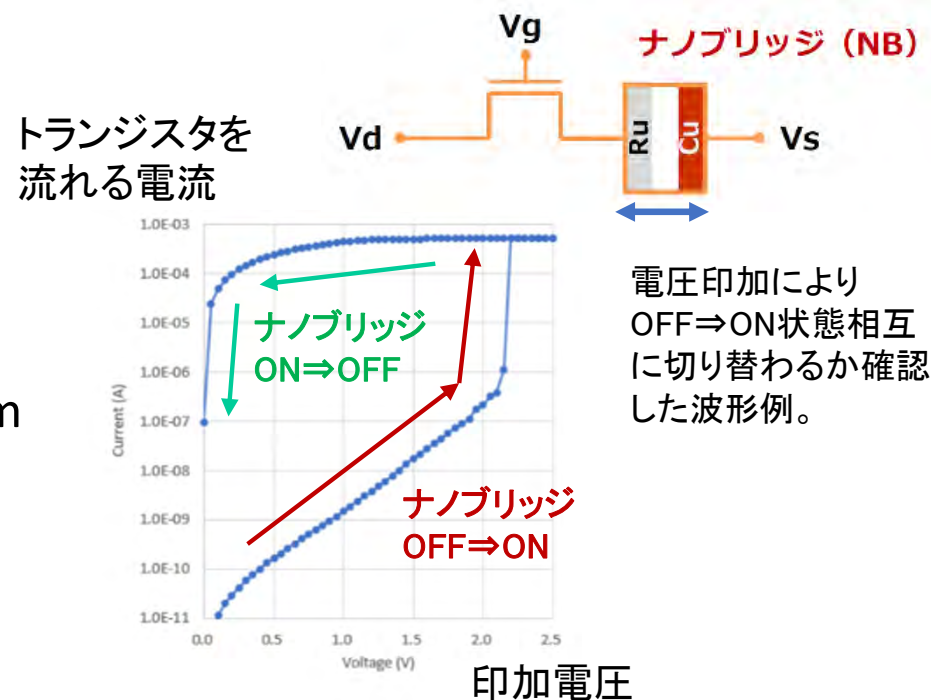


図5 単体機能評価の波形例

4.2 マルチチップモジュール(MCM)の試作

4.2.1 仕様検討、SOI-SOC4間接続I/F設計

4.2.2 MCMモジュール詳細設計

MCMモジュールに内蔵させるSoC NB-FPGAチップとSOI-SOC4チップ間の信号接続I/F設計を行い、論理シミュレーションにより接続が正しいことを確認、この結果を元に、MCM内部でのチップ配置と配線の設計を行った。(図6)

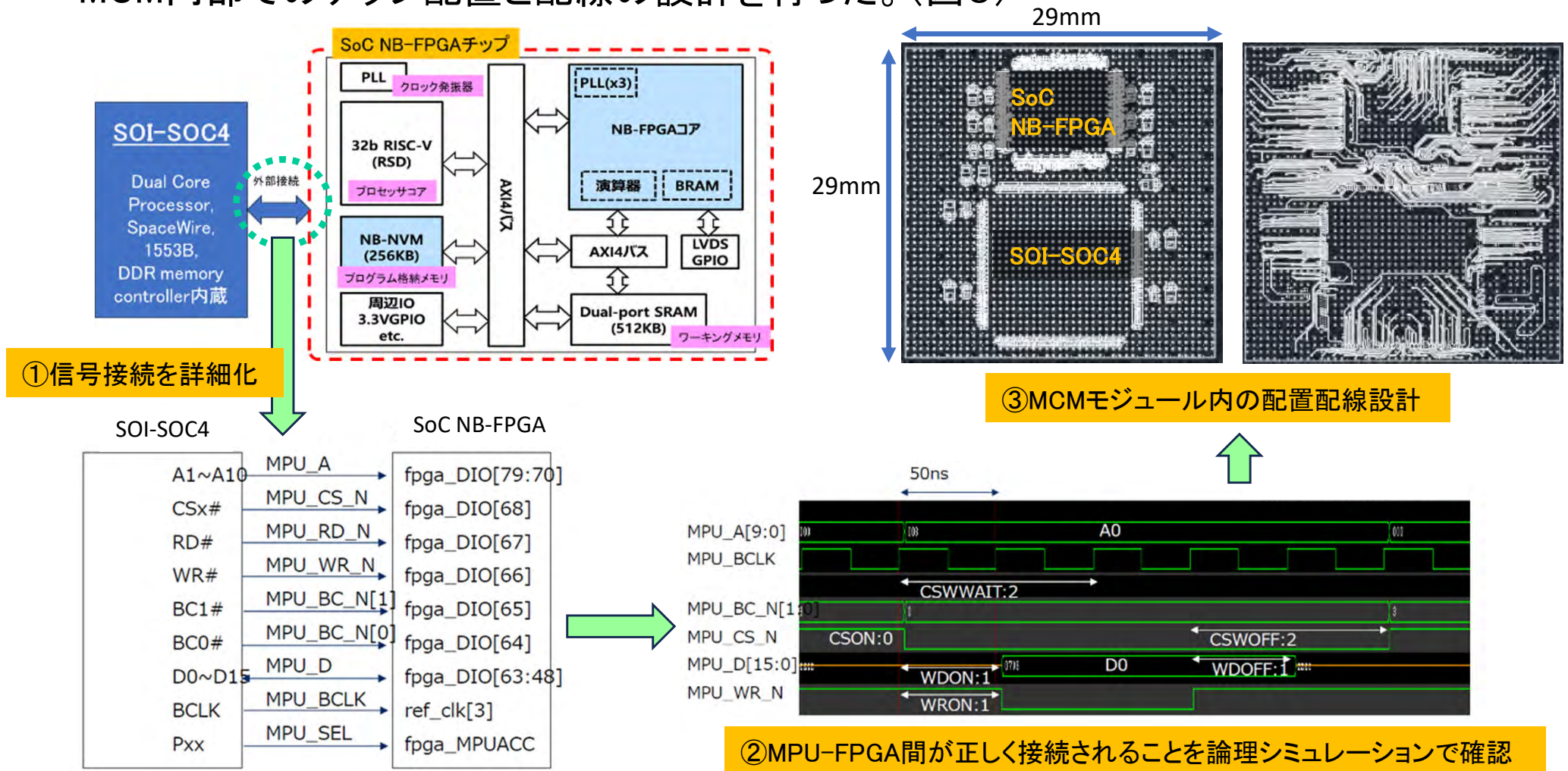


図6 チップ間接続I/F設計からMCM設計までの流れ

4.2 マルチチップモジュール(MCM)の試作

4.2.3 MCM試作、電気性能と耐宇宙環境性の評価

今回試作したMCMモジュールを図7に示す。この形状のパッケージは、JAXA認定品で過去に使われた実績はないが、今回の試作では、耐宇宙環境性を考慮し、「低反り・高信頼性」と「微細配線」を両立可能な、実績ある民生技術を導入した。

また、消費電力値を比較した表を以下に示す。目標としていた5W未満を達成し、競合製品群より優れた低消費電力性を確認した。

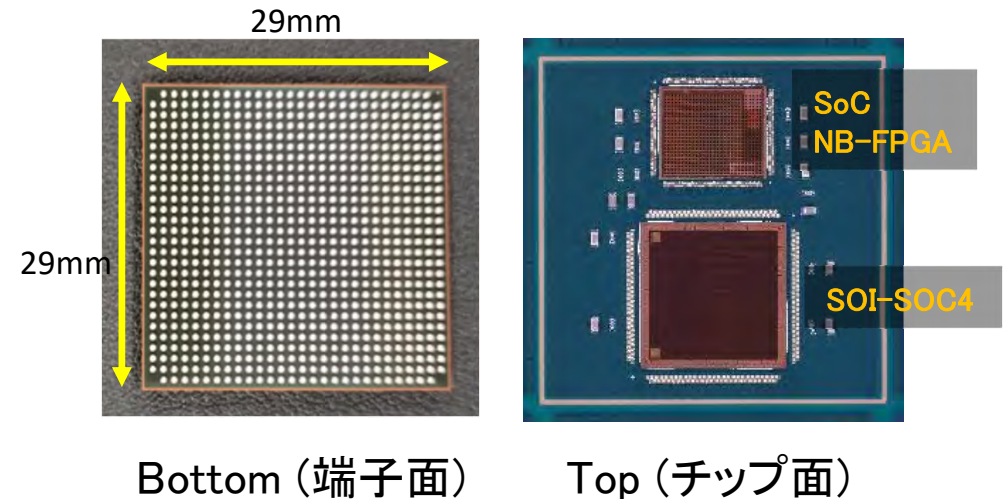


図7 MCM試作品外観 (783 pin BGA^{*1})

^{*1}Ball Grid Arrayの略。パッケージ端子面に格子状のはんだボールを配置した高密度な半導体パッケージ。

表1 試作品の消費電力値ならびに競合製品群との比較

消費電力	本試作品 (16nm)	米 PolarFire RT (28nm)	仏 NG-ultra SoC (28nm)	(参考) COTS FPGA (Zynq Ultrascale, 16nm)
待機状態 [W] (Static Power)	0.073	~0.1	0.7	~0.5
動作状態 [W] (Dynamic Power)	1.6 目標5W未満達成 (SoC NB-FPGA ^{*2} : 0.5W @500 MHz, JAXA MPU ^{*3} : 1.1W @200 MHz)	7~18 ^{*4}	3.1~12 ^{*5*6}	30~80 ^{*7}

^{*2}試作品の結果から、回路使用率90%, 500MHz動作させたときを解析した値。 ^{*3}開発仕様からの引用。

^{*4}製造元提供データ(ミドルレンジ品 MPF200)と、ハイエンド品MPF500換算値。

<https://www.microchip.com/en-us/products/fpgas-and-plds/fpga-and-soc-design-tools/conversion-tools/power-consumption>

^{*5}<https://indico.cern.ch/event/1253805/contributions/5556304/attachments/2731200/4753916/20231002%20CERN%20SoC%20Workshop%20v2.pdf>

^{*6}CNESより入手データ ^{*7}過去のJAXA研究での実測値

4.2.3 MCM試作、電気性能と耐宇宙環境性の評価

試作チップに対する重粒子イオン照射試験を実施し、シングスイベントアップセット(SEU)耐性の評価を行った。本テストチップでは、過去のスターダストプログラム「衛星のデジタル化に向けた革新的FPGAの研究開発」で高い耐性(閾値 $LET=40[\text{MeV}/(\text{mg}/\text{cm}^2)]$)を有することが確認された耐放射線強化回路と同一の回路を採用している。

今回の実験では、 $LET < 40$ でも若干のエラー発生を確認しているが、当該回路の性質上、ウェハ製造時の電気特性の仕上がりばらつきの影響を受けて閾値が変動しうることをシミュレーションで確認しており(補足資料参照)、設計起因の問題があるわけではないと分析した。

以上より、「提案する耐放射線強化回路は $LET=40$ を達成する実力を有している」と結論した。

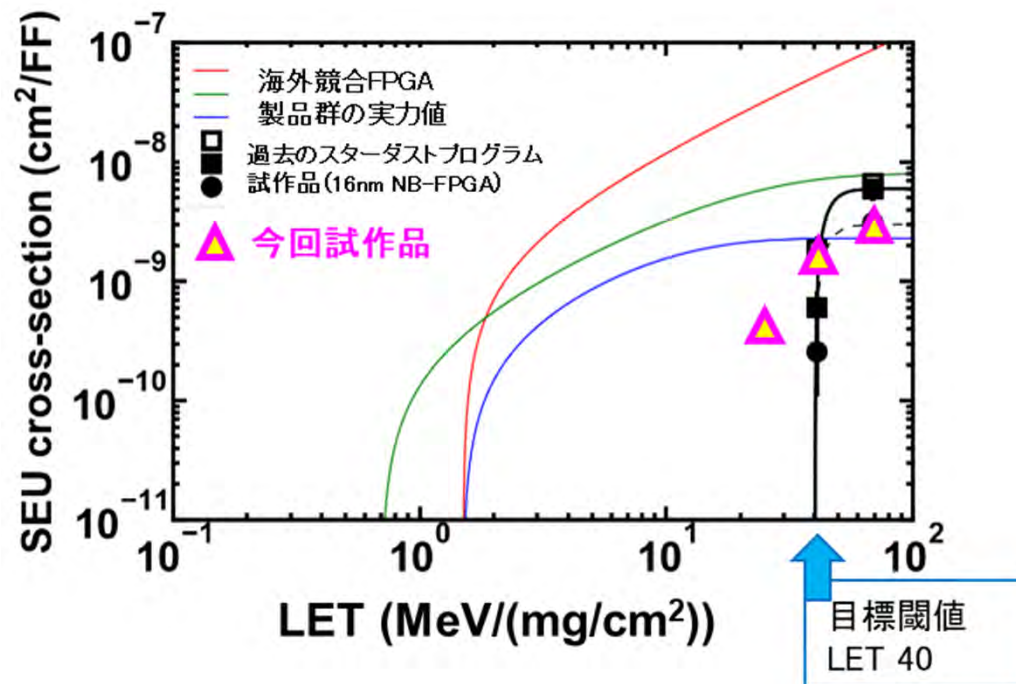
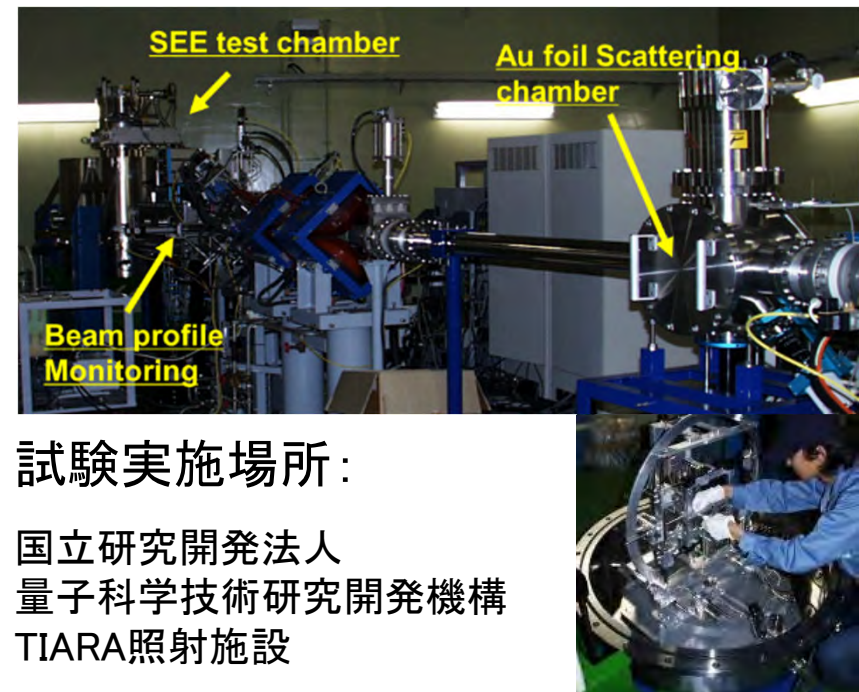


図8: 放射線耐性(SEU耐性)試験結果



試験実施場所:

国立研究開発法人
量子科学技術研究開発機構
TIARA照射施設

4.3 開発環境と計算機ボードの整備

4.3.1 NB-FPGA既存設計ツールの16nm 向け対応改修

4.3.2 開発ツール設計・製造

65nm NB-FPGA向けに先行開発された開発ツールを、そのまま16nm SoC NB-FPGAでも利用できるよう、ソフトウェア側の改修を行った。また、前項で述べたMCM試作品の評価ボードを整備した。外部接続I/Fとして、CAN/SpaceWire/Ether/Serial-IF/外部バス(SDRAM)をコネクタ経由で接続可能な仕様になっており、ユーザはこのボードを活用することでFPGA設計を効率よく行うことが可能である。

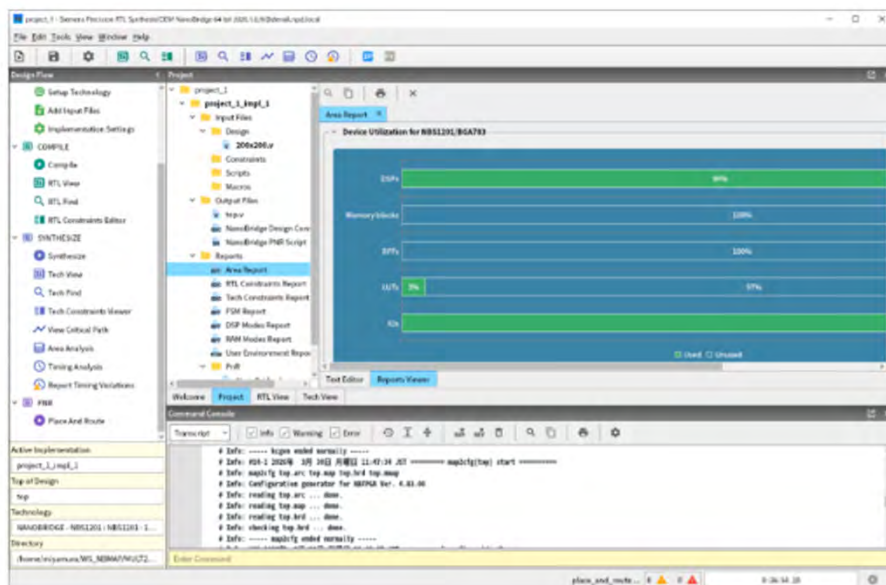


図9 開発ツールでの設計画面例

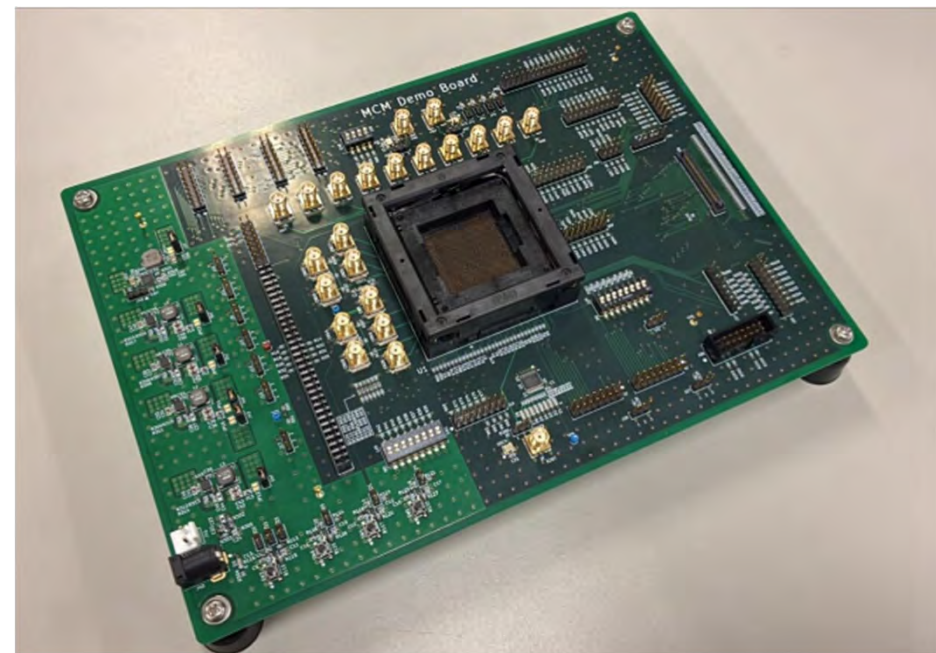


図10 MCM試作品評価ボード

4.4 技術ベンチマーク(今回の成果と競合ハイエンド品との比較)

今回得られた性能指標値のベンチマーク(海外競合ハイエンド製品との比較)を下表に示す。消費電力を1/5～1/10に抑制出来るため、電力削減効果に加え、搭載機器内部の熱集中の緩和、冷却システムの簡素化のメリットも得られる。高い放射線耐性は冗長系の削減等、機器の構成簡素化に大きく寄与する。

表2 本試作品と海外宇宙用FPGAとのベンチマーク

SoC仕様		米 PolarFire RT	仏 NG-ultra SoC	(参考) COTS FPGA (Zynq Ultrascale)	SoC NB-FPGA
FPGA部	製造プロセス	28nm	28nm	20nm, 16nm FinFET	16nm FinFET
	搭載容量 (LUT*数) *Look-up Tableの略	48k～480k ※チップ構成の違いで複数製品あり	290k～540k ※チップ構成の違いで複数製品あり	600k～1500k ※放射線対策でTMRを組む必要があり、使用可能な容量は実効上、上記値の1/3程度	75k～500k ※チップ構成の違いで複数製品を実現予定
	放射線耐性 (SEU閾値LET)	1 [MeV/(mg/cm ²)]	10～15 [MeV/(mg/cm ²)]	1 [MeV/(mg/cm ²)]	40 [MeV/(mg/cm ²)]
	動作周波数	385MHz	300～400MHz	800～1866MHz ※排熱の制約から宇宙での適用実績は 200MHz程度	96～600MHz
プロセッサ部		RISC-V	ARM Cortex-R52	ARM Cortex-A53, R5	RISC-V, JAXA MPU
周辺機能 (ROM, RAMは記載省略)		暗号化回路, DSP, LVDS, PCI	DSP, SpaceWire, SERDES, DDR I/F	DSP, USB, PCI, CAN, UART, 高速ランシーバ, DDR I/F,	DSP, LVDS, UART, SPI, SpaceWire, 1553B
消費電力		7～18W	3.1～12W	30～80W	1.6W

5. 利用促進に向けた活動状況と今後の取組

成果を活用した製品化や利用促進活動は、今後は企業が主体となって進められる予定である。本プログラムの実施項目ではないが、これらの取組状況とその中でのJAXAの今後の活動方針について述べる。

5.1 試行事例の集積・SoCの継続的な機能改善・軌道上実証

5.2 エコシステム構築と製品展開

5. 利用促進に向けた活動状況と今後の取組

5.1 試行事例の集積・SoCの継続的な機能改善・軌道上実証

一般にSoCは、その機能が複雑であるが故に、ユーザが様々な回路を書き込んで動作実証していく中で、機能不具合や性能改善の要望が識別されることが多い。このため、**継続的な試行事例の積み上げを経て、技術を成熟させることが必要**になる。

(海外FPGAでも製品リリース後にユーザから機能不具合が検出され、改修が繰り返されている。)

本FPGAにおいても、上記取組をNB-FPGAユーザ会参画企業が主体となって進められるよう促すとともに、JAXAもユーザの立場からこの活動を支援する。なお、先行開発された65nm NB-FPGAに関しては、電源コンポーネントでの既存FPGAからの置き換え検討、JAXAによるマイクロプロセッサ移植を進め、この結果を元に65nm NB-FPGAの機能改修が進められている。同様の取組を、本SoC FPGAでも進める。**この事は、これからFPGA採用を検討中のユーザにも有益な技術情報になる。**

軌道上実証に関しては、小型衛星企業と搭載に向けた調整を進めていることに加えてJAXA宇宙技術実証加速プログラム(JAXA-STEPS)活用を検討中。引続き進める。

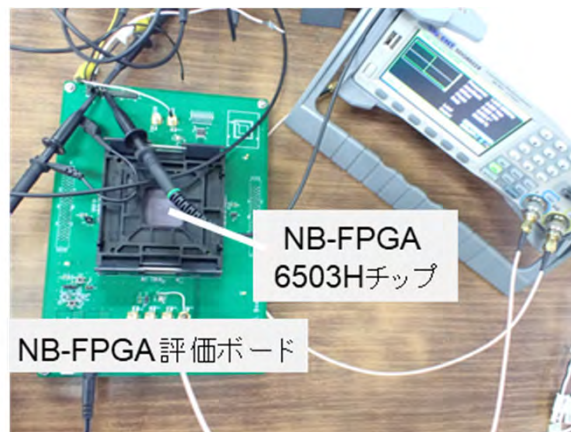


図11 電源コンポーネント制御回路への65nm NB-FPGA適用試行

5. 利用促進に向けた活動状況と今後の取組

5.2 エコシステム構築と製品展開

FPGAは、ユーザが自由に内部の回路をプログラミング出来る特性を持つデバイスであるため、**その開発環境や設計ツール、IP群を含めたエコシステムを構築し、ユーザの利便性を高めることが非常に重要になる(下図)。**

この3年間、**NB-FPGAユーザ会(企業27社が参加)**を運営し、この会を通じて企業へのエコシステム参画への働きかけを実施。**複数の国内企業からエコシステム構築への賛同が得られつつある状況**である。商用化に向けては、NBS社で**宇宙/非宇宙両者の市場開拓を継続中**で、国内自動車メーカでの評価の継続や、IEEE学会や展示会を通じた販路拡大に努めている。**JAXAも引き続き、ユーザ拡大に向けた支援活動を行う。**

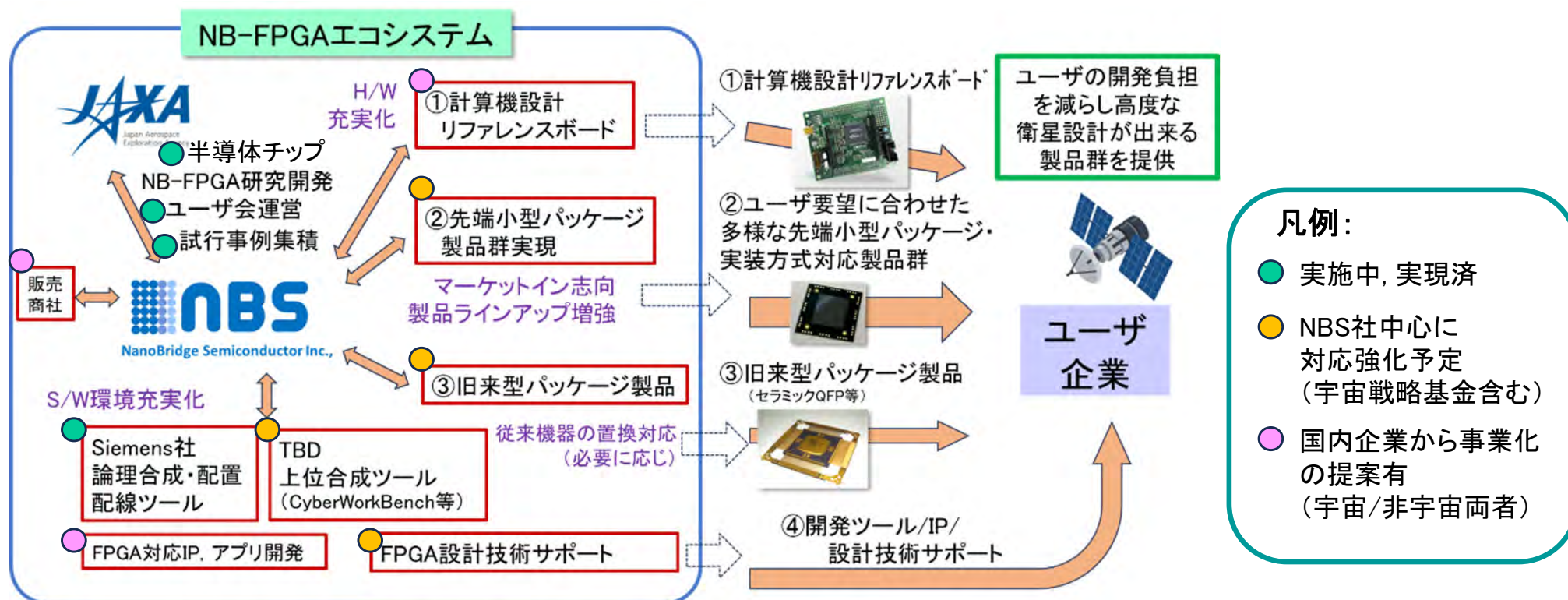


図12 目指すエコシステムの全体像と国内企業の協力状況

6. まとめ

国産独自技術である原子スイッチ技術を用いたナノブリッジFPGAの研究開発を進め、16nm半導体製造技術を適用したFPGAチップの試作、マルチチップモジュールの試作、開発ツールの整備を完了した。ベンチマークの結果、海外競合品と比べ優れた低消費電力性、耐放射線性であることを確認した。

宇宙/非宇宙分野を問わず、当プログラム成果を今後如何に産業界に浸透させるかが非常に重要になる。今後の製品化と社会実装は、NBS社を中心に企業主体で進められることになるが、JAXAでは、この技術の成熟度を高めるための評価や解析等、技術面での支援に引き続き取り組む。

補足： 適用技術の解説

適用技術の解説 (1) ナノブリッジ技術

【ナノブリッジ技術の優位性】

従来

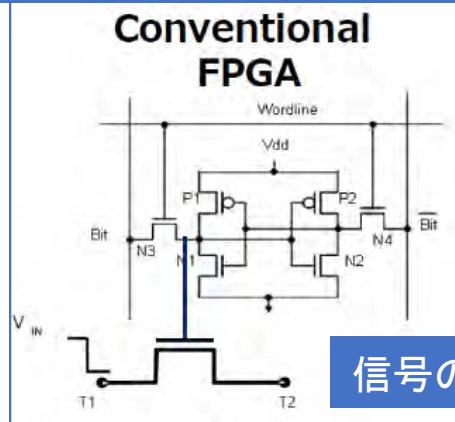
SRAMメモリセルをスイッチに使用
(1セルが数 μm^2 程度 x 数千万個存在)

Conventional
FPGA

NanoBridge-FPGA

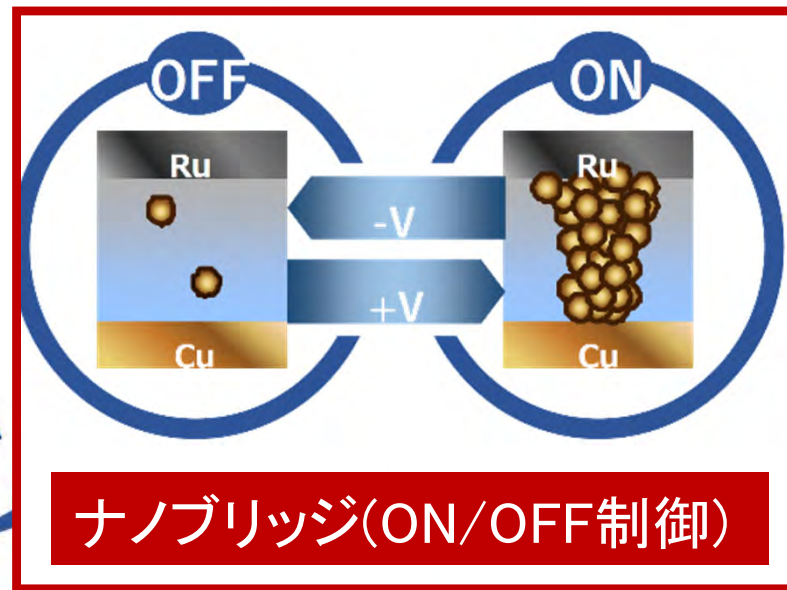
配線スイッチ部分拡大

SRAM(ON/OFF制御)

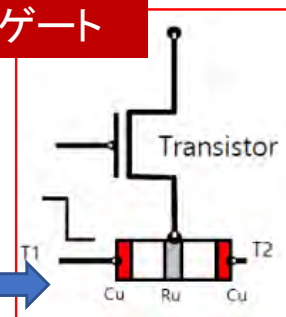


SAMメモリセルの状態維持のために常に電力供給が必要で、ON/OFFに関係なく電力消費(チップ全体で数10Wオーダ)

国産
新技術



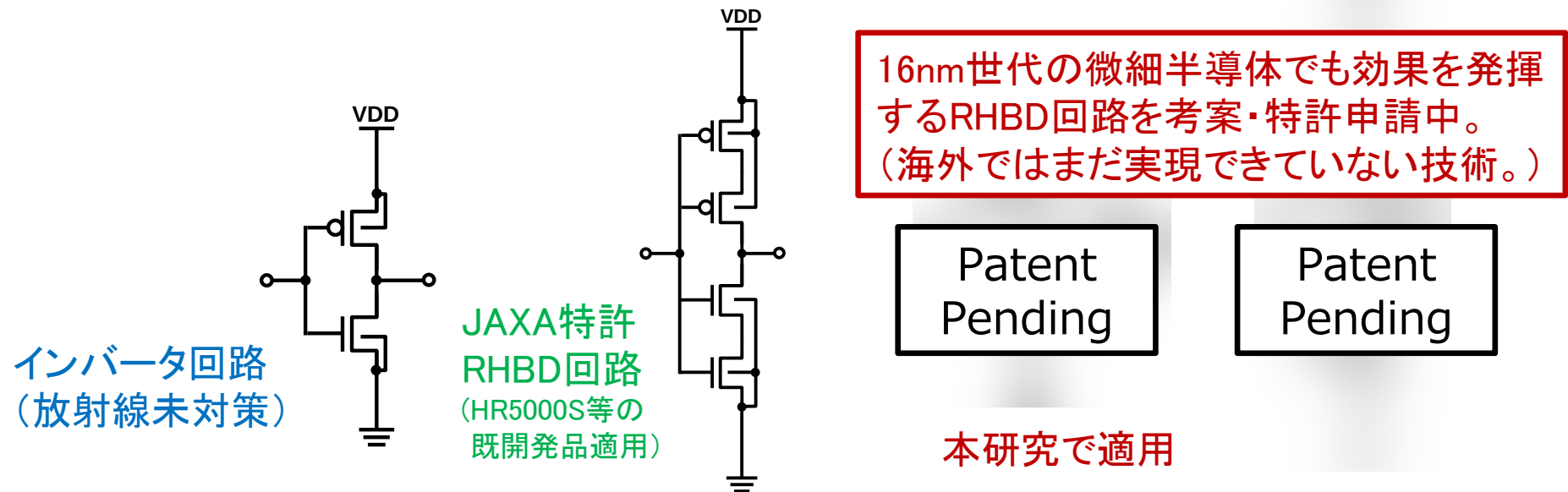
直径 数10nm の **信号のゲート**
ナノブリッジをスイッチに使用。金属架橋の維持に電力不要で、ON/OFFどちらの状態でも消費電力ゼロ。



スイッチ以外の回路部も含めると従来に比べ、**半導体チップ面積を1/4、消費電力を1/10に。**

適用技術の解説 (2) RHBD: Radiation Hardening by Design

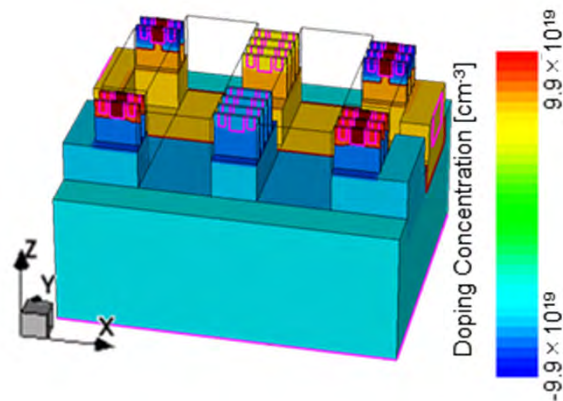
LSI内部を構成する論理回路(Inverter, NAND等)の回路接続や配置を工夫して、耐放射線性を強化する技術。電気性能(動作速度や消費電力)とのトレードオフの関係にあり、電気性能の劣化を最小限に抑えながら如何に放射線耐性を実現するかが技術ノウハウ。微細化が進むにつれ実現難易度も高くなっている。



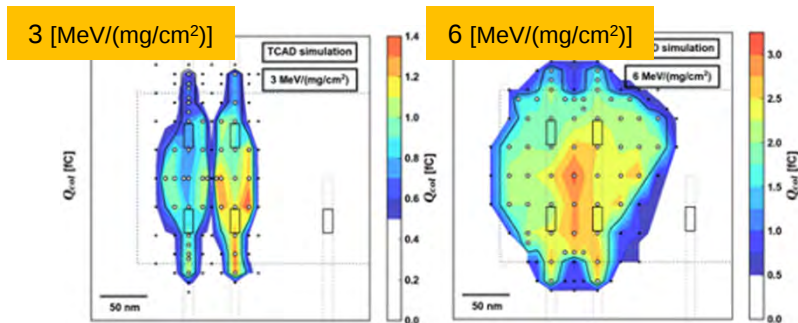
	Inverter (Non rad-hard)	Stacked Inverter	Proposed RHBD#1 (Inv./Latch/FF)	Proposed RHBD#2
Patent	N/A	Patented 特開2004-048170号	Pending 特願2020-134718	Pending 特願2021-084623
Area overhead	x1	x2	x2~x3?	x2~x3?
Feature	Baseline Foundry supported	Redundant inv. on SOI	Compact RHBD	Compact RHBD
LET_{th} MeV/(mg/cm ²)	<1 *SEU occurred by alpha	>69	20-40 *TCAD simulated	N/A

適用技術の解説 (2) RHBD: Radiation Hardening by Design

ナノブリッジFPGA要素回路のうち、放射線耐性を強化する上で最も重要になるFF(フリップフロップ回路)について、JAXA特許申請中技術である16nm FinFET 耐放射線強化回路を設計に適用した。放射線粒子入射を模擬した3Dシミュレーションでは、非常に強い耐性を持つことを確認した。



FinFET の3Dメッシュモデル



放射線入射時の収集電荷密度分布シミュレーション例

図: 放射線影響シミュレーション用 3D-TCAD
モデル構築とシミュレーション例

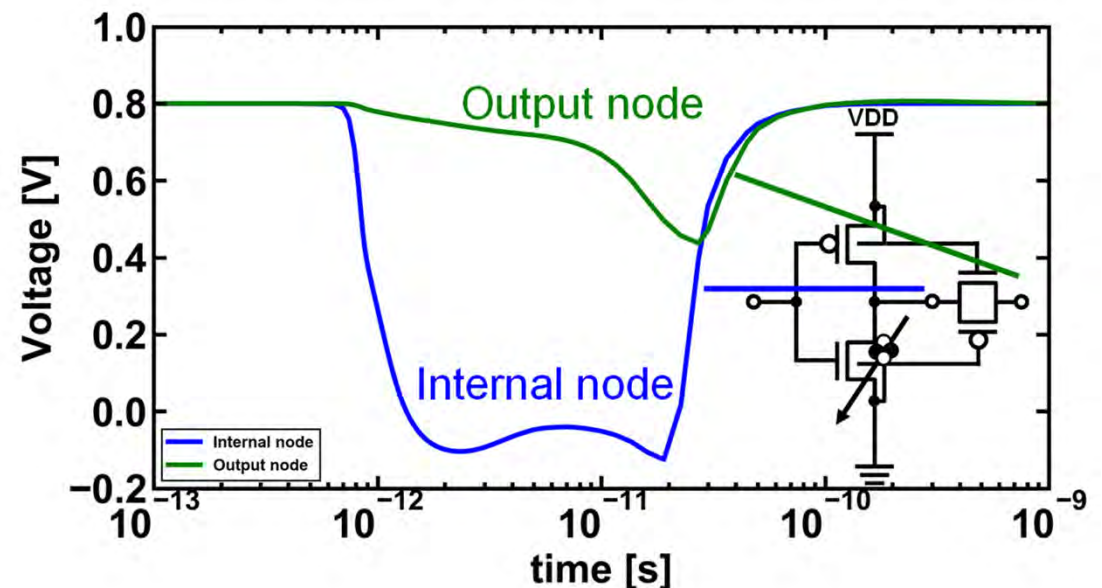


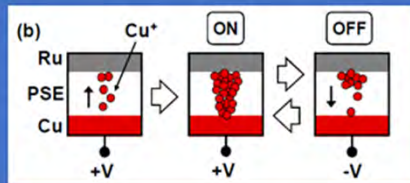
図: JAXA提案 16nm 耐放射線強化回路の
TCADシミュレーション結果例

(出力端子と内部端子の電位の時間経過。LET=40 $\text{MeV/(mg/cm}^2\text{)}$ 相当の電荷付与時でも出力端子の電位変動は抑制され、シングルイベント発生を防ぐ効果があることを確認。)

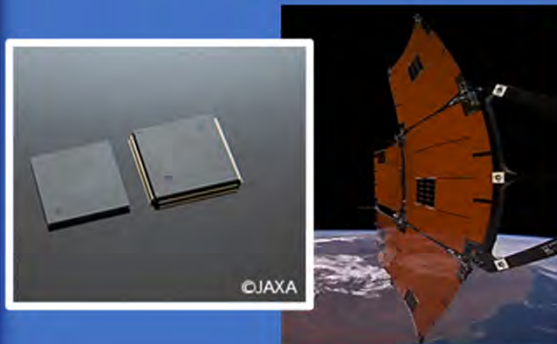
NB-FPGA研究開発の歩み

第1世代 (40,65nm)

JAXA-企業共同研究で
原子スイッチの放射線影響
を分析。

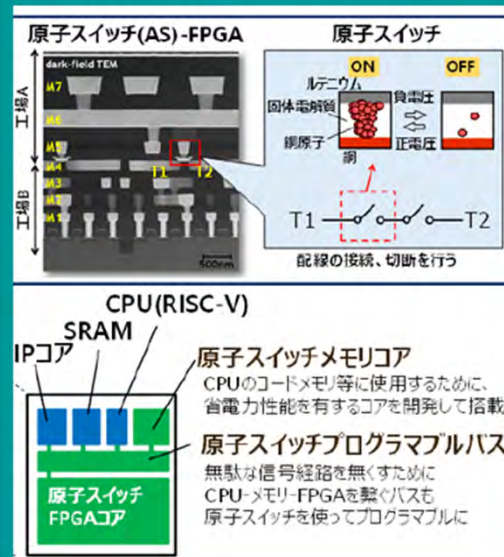


革新的衛星技術実証
1号で原子スイッチ技術
の耐宇宙環境性を実証。



第2世代 (28nm)

NEDO AIプロジェクト*
にて開発された世代。
メモリやCPUコアも内蔵
した低消費電力型SoC。
FPGA内部にDSP機能
も内蔵させ高機能化。

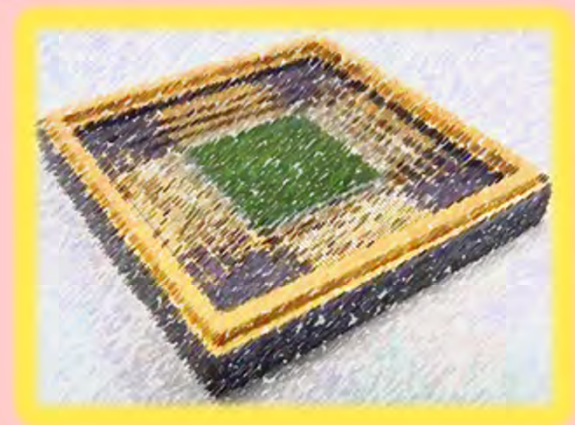


*<https://www.nedo.go.jp/content/100927040.pdf>

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」

第3世代 (16nm FinFET)

16nm FinFET RHBD技術
と、ナノブリッジ技術を融合。
最先端FPGA相当の性能と
耐放射線性、超低消費電力
(数Wクラス)を兼ね備えた
ハイエンドSoC FPGA実現
を狙う。



RHBD: Radiation Hardening by Design
SoC: System on Chip