

スターダストプログラム「衛星のデジタル化に向けた革新的FPGAの研究開発」 成果報告

宇宙航空研究開発機構
研究開発部門

1. 研究の背景・目的

衛星軌道上での高速大容量データ通信やオンボード画像処理など、宇宙機のデジタル化が年々加速している。衛星のデジタル化の中核を担う半導体として、**高速処理が可能で書き換え可能な特徴を持つFPGA** (Field-programmable gate array) の実現が強く望まれている。

FPGAを宇宙適用する際の技術課題が、**宇宙放射線耐性の確保と低消費電力化**である。この2つで優れた性能を持つFPGAを実現出来れば、過酷な宇宙空間においても限られた電力リソース条件下で高度なミッションを長期間継続することが可能となる。

本研究では、国産独自の低消費電力半導体技術である**原子スイッチ(ナノブリッジ)**と、JAXAが持つ**耐放射線強化回路技術**を組み合わせたFPGA回路技術の構築を行い、上記実現に資する。

○本研究での目標

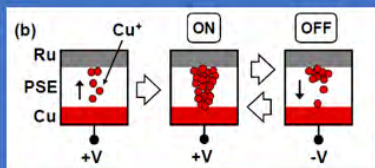
- ①NEDOプロ開発28nm NB-FPGAの耐放射線性評価と宇宙適用性の分析を行う。
- ②16nm NB-FPGAに関し、以下の4項目を達成目標とし、試作チップで確認する。
性能未達の場合にはその原因を特定し、改善策を具体化する。

- ✓ 16nm世代の耐放射線ナノブリッジFPGA要素回路が正しく回路動作する事
(デジタルデータの書込みと読出し、原子スイッチのOn/Off切り替え)
- ✓ 放射線耐性に関し、閾値LET(Linear Energy Transfer)が $40 \text{ MeV}/(\text{mg}/\text{cm}^2)$ 程度
- ✓ 製品回路規模のFPGAを実現した場合の消費電力が5~10W程度
- ✓ 動作周波数が400~600MHz程度

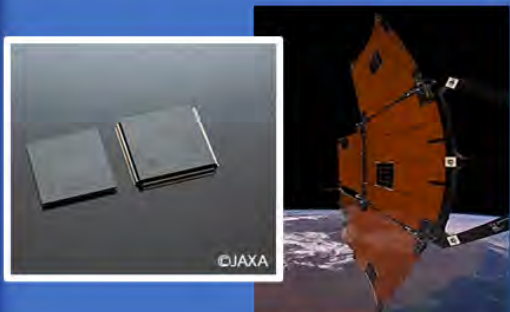
ナノブリッジFPGA研究開発の歩み

第1世代 (40,65nm)

JAXA-企業共同研究で
原子スイッチの放射線影響
を分析。

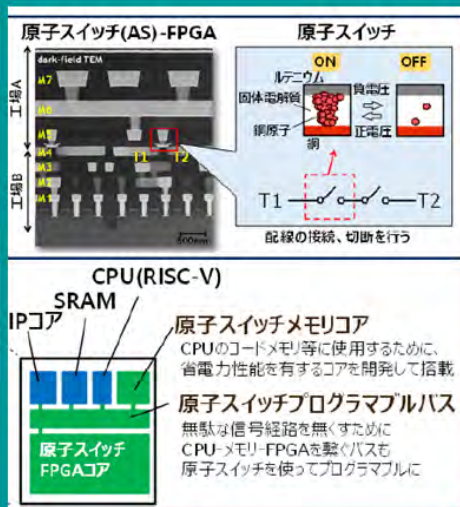


革新的衛星技術実証
1号で原子スイッチ技術
の耐宇宙環境性を実証。



第2世代 (28nm)

NEDO AIプロジェクト*
にて開発された世代。
メモリやCPUコアも内蔵
した低消費電力型SoC。
FPGA内部にDSP機能
も内蔵させ高機能化。



第3世代 (16nm FinFET)

16nm FinFET RHBD技術
と、ナノブリッジ技術を融合。
最先端FPGA相当の性能と
耐放射線性、超低消費電力
(数Wクラス)を兼ね備えた
ハイエンドSoC FPGA実現
を狙う。



SoC: System on Chip

*<https://www.nedo.go.jp/content/100927040.pdf>
「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」

2. 実施項目と工程表

本研究の実施項目と工程表(実績)を以下に示す。文部科学省殿よりJAXAが受託し、ナノブリッジセミコンダクター社を再委託先として実施した。

実施項目	R3年度			R4年度				R5
	2Q	3Q	4Q	1Q	2Q	3Q	4Q	1Q
(a) プロジェクトの総合推進	(スケジュール・リスク管理, 進捗確認実施)							
(b) 28nmナノブリッジFPGAの宇宙適用性検討 (b-1) 宇宙ユースケース具体化 (b-2) 宇宙適用に対する技術課題の洗い出し(放射線耐性評価)		■	■					
(c) 耐放射線16nmナノブリッジFPGAの要素回路技術構築 (c-1) ナノブリッジFPGAを構成する各種要素回路の設計と検証 (c-2) RHBD(Radiation Hardening By Design)回路の設計と検証 (c-3) ナノブリッジFPGA要素回路へ適用 (c-4) 小規模回路テストチップの全体回路設計と配置配線、検証	■	■	■					
(d) 耐放射線16nmナノブリッジFPGAの小規模回路テストチップ設計、検証及び製造 (d-1) 小規模回路テストチップ設計、検証 (d-2) 小規模回路テストチップ製造(下地CMOS回路部) (d-3) 小規模回路テストチップ製造(NB部及び配線工程) (d-4) 組み立て				■	■	■	■	■
(e) 正常動作と耐放射線性の向上の確認 (e-1) 電気的特性評価 (e-2) 耐放射線性評価							■	■

装置故障が発生し1ヶ月程度の遅延を生じたが全てのタスクを完了。

3. 実施結果(全体サマリ)

- ①28nm NB-FPGAに関し、現デバイス仕様での放射線耐性を明らかにし、宇宙で”as is”使用の可能性のある実力値を有することを示した。
(4.2項に詳述)
- ②16nm NB-FPGAに関し、試作チップの評価結果から、下表のとおり研究目標とした機能性能はすべて達成したことを確認した。
(4.3～4.7項に詳述)

表: 16nm NB-FPGAに関する研究目標の達成度まとめ

評価項目	目標値	測定・分析結果	達成/未達
デジタルデータの書込みと読出し機能	正常に機能	期待通り動作	達成○
原子スイッチのOn/Off切り替え機能	正常に機能	期待通り動作	達成○
放射線耐性(SEU閾値LET)	40 [MeV/(mg/cm ²)]	40 [MeV/(mg/cm ²)]	達成○
製品回路規模のFPGAを実現した場合の消費電力見積もり	5～10W程度 (低いほど良い)	約2.2W	達成○
製品回路規模のFPGAを実現した場合の動作周波数	400～600MHz (高いほど良い)	～700MHz (アプリケーション依存)	達成○

4. 実施結果詳細

R3年度実施分

- 4.1 宇宙ユースケース具体化 (第2,第3世代 NB-FPGA)
- 4.2 宇宙適用性に対する技術課題洗い出し (第2世代 NB-FPGA)
- 4.3 耐放射線16nmナノブリッジFPGAの要素回路技術構築

R4・R5年度実施分

- 4.4 耐放射線16nmナノブリッジFPGAの小規模回路テストチップ[°]設計,検証及び製造
- 4.5 電気的特性評価
- 4.6 耐放射線性評価

- 4.7 技術ベンチマーク

4.1 宇宙ユースケース具体化（第2,第3世代 NB-FPGA）

衛星システムメーカー2社ならびにNewSpace系企業2社の協力を得て、想定されるNB-FPGAユースケースに関するヒアリングを実施した。

今回のヒアリングでは、第2, 第3世代NB-FPGAのユースケースとして、

通信プロトコル、センサ信号処理、デジタル変復調、FDIR、MPU周辺機能の実現、オンボード画像認識、軌道上エッジコンピューティング、レーダ制御系デバイス

が具体抽出された。各ケースでのFPGAに対するより詳細な性能要求は、今後検討を進めていく必要がある。

宇宙機メーカーからFPGAの実現要望が非常に強い一方、第3世代NB-FPGAに関しては、ユーザ利便性を高めるためにはSoC(System on chip)実現に必要なプロセッサコアや周辺回路機能の設計データIP化、開発ツール(ソフトウェア)の充実化が必須との要望もあり、将来開発を進める上で検討課題になることを再認識した。

4.2 宇宙適用性に対する技術課題洗い出し(第2世代 NB-FPGA)

第2世代 NB-FPGAの放射線耐性評価試験を実施。耐放射線強化設計は施されていないため、**SEU*発生閾値LETは 5 [MeV/(mg/cm²)] 未満**という結果であった。(海外競合FPGA製品の実力値と同等レベル)。 *Single Event Upset : デジタルデータのビット反転現象

ただし、従来のFPGAで多数使用されているSRAM回路スイッチ(放射線耐性も非常に弱い箇所)がナノブリッジに置き換わっているため、FPGA全体の軌道上SEU発生頻度は静止軌道で**約0.1[回/day](回路使用率40%時)程度**に収まると分析。また、**配線スイッチ書き変わりによる回路化け等の致命的な故障モードは生じないことから、ECC等のエラー対策導入が必要になるが、“as is”使用できるミッションもありと分析。**

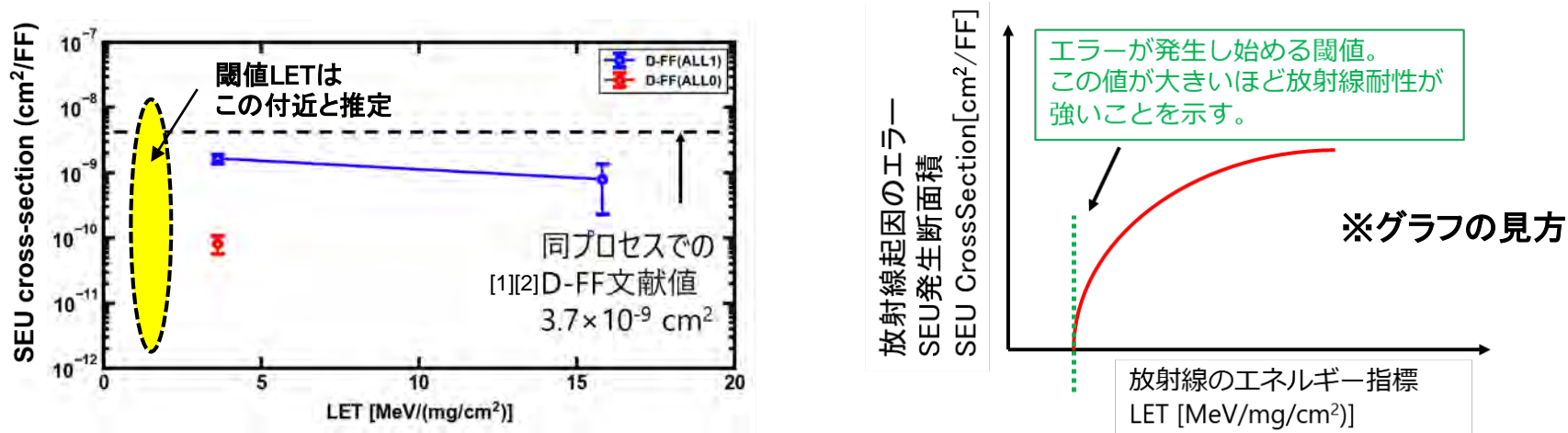


図4-1: 28nm NB-FPGAを構成する論理回路のSEU発生断面積 実験取得結果

[1] C. W. Liang, M. T. Chen, J. S. Jenq, W. Y. Lien, C. C. Huang, Y. S. Lin, B. J. Tzau, W. J. Wu, Z. H. Fu, I. C. Wang, P. Y. Chou, C. S. Fu, C. Y. Tzeng, K. L. Chiu, L. S. Huang, et al., "A 28nm poly/SiON CMOS technology for low-power SoC applications," *Digest of Technical Papers - Symposium on VLSI Technology*, pp. 38–39, 2011.

[2] P. Kumar Bharti, N. Surana, and J. Mekie, "Power and area efficient approximate heterogeneous 8T SRAM for multimedia applications," *Proceedings - 32nd International Conference on VLSI Design, VLSID 2019 - Held concurrently with 18th International Conference on Embedded Systems, ES 2019*, pp. 139–144, 2019, doi: 10.1109/VLSID.2019.00043.

4.3 耐放射線16nmナノブリッジFPGAの要素回路技術構築

ナノブリッジFPGAを構成する各種要素回路の設計と検証を実施した。設計の妥当性および機能検証は、半導体業界で標準的に使われる設計検証ツールを用いて実施した。

ナノブリッジFPGAを構成する各種要素回路を下図に示す。ナノブリッジFPGAは格子状に多数配置されたロジックセルと書き込み回路、制御回路より構成され、ロジックセルはCrossbar switch (クロスバースイッチ) と MUX (マルチプレクサ)、BLE(基本ロジックエレメント) と呼ばれる機能回路で構成されている。これら(下図緑枠)について設計を完了した。デジタルデータ記憶の要となるDFF(フリップフロップ)回路には、JAXA特許申請中の耐放射線強化回路を適用した。

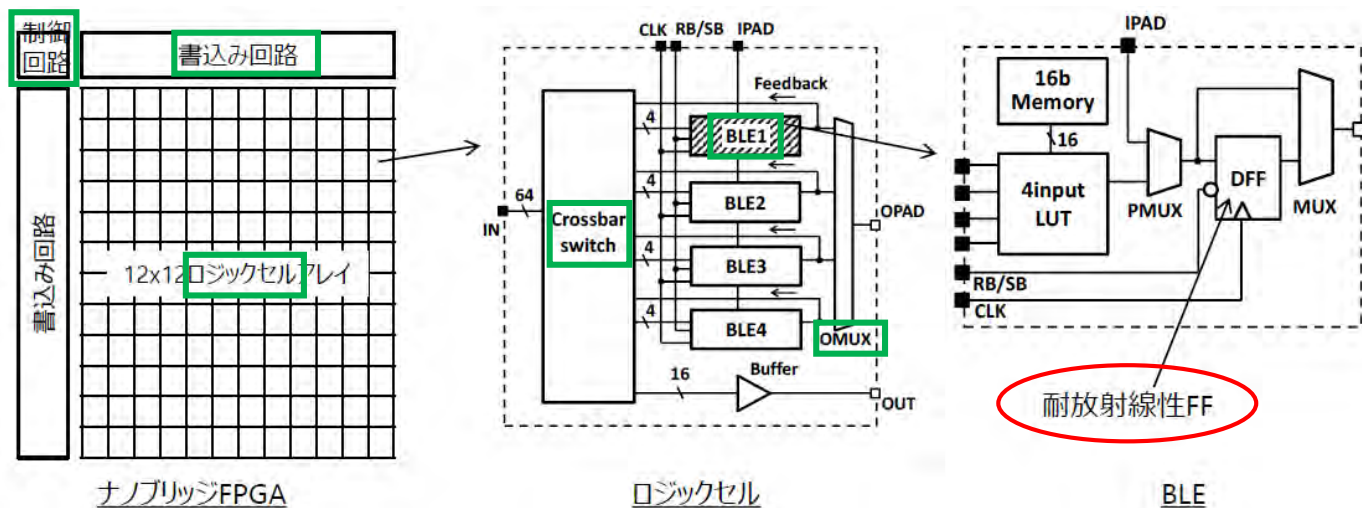


図4-2: ナノブリッジFPGA内部回路構成図

4.4 耐放射線16nmナノブリッジFPGAの小規模回路テストチップ設計,検証及び製造

NB-FPGAの機能と耐放射線性を確認する目的で、小規模回路テストチップを設計し、シミュレーションによる機能検証を経て、半導体ウェハの製造とテストチップの切り出し、組立を実施した。

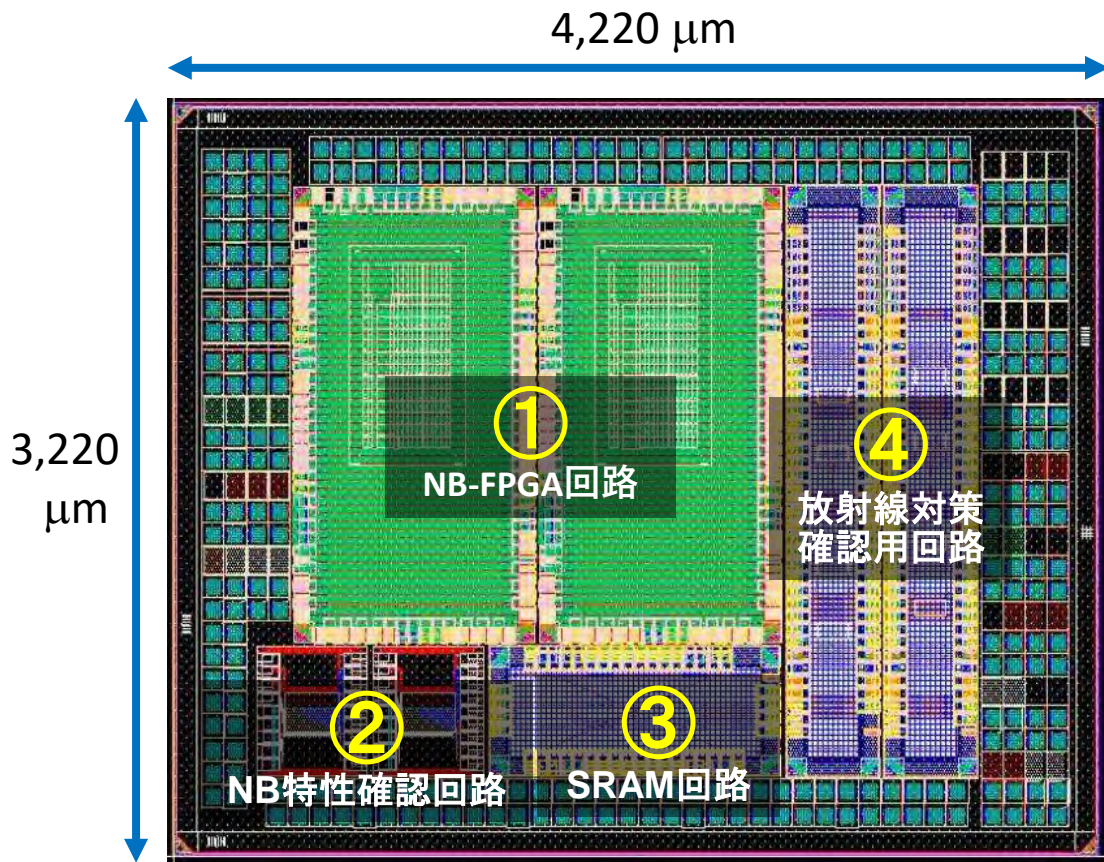


図4-3: テストチップ 配置配線設計結果
(配置配線設計ツールの出力画面イメージ)

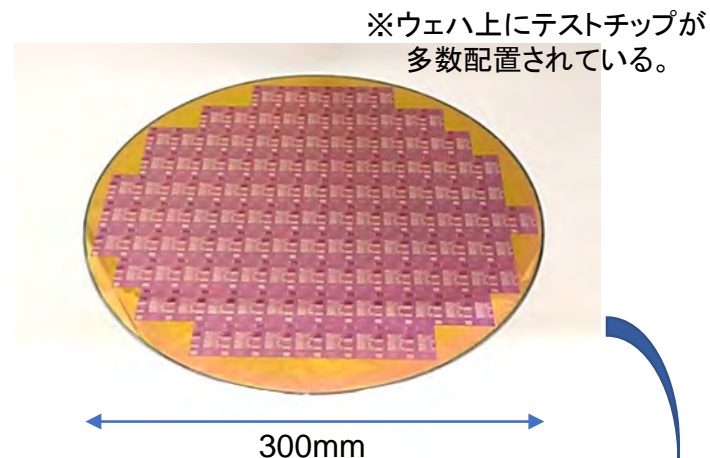


図4-4: 製造したウェハ外観写真

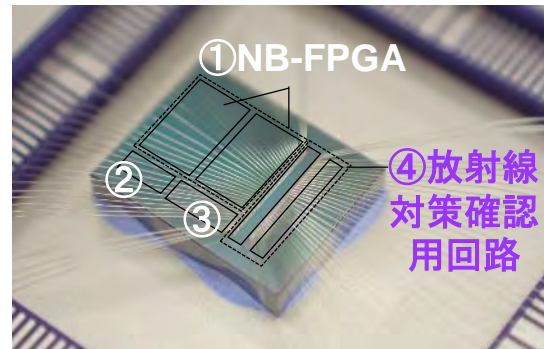


図4-5: テストチップ外観写真

4.5 電気的特性評価

製造したテストチップを用いて、ナノブリッジ部の製造仕上がり確認、オンオフ切り替えやデジタルデータ書込み/読出し機能を確認した結果、いずれも正常であることを確認した。また、消費電力や動作周波数も目標値を実現できることを確認した。

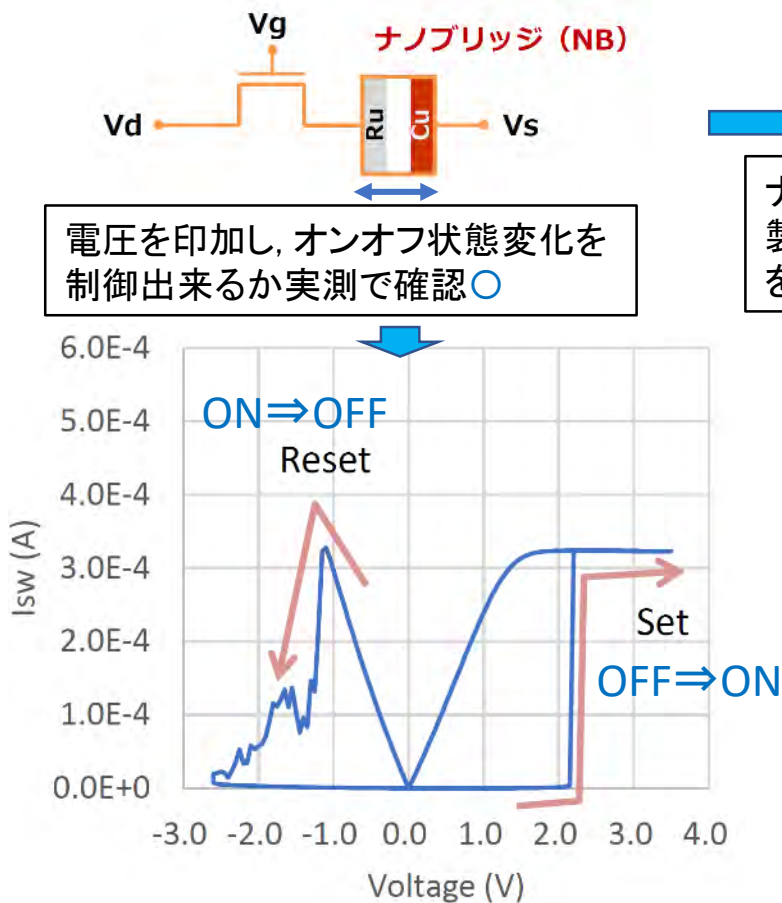


図4-6: ナノブリッジ動作確認結果例

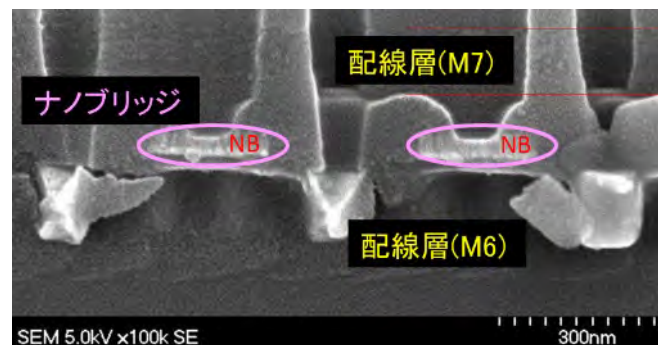


図4-7: 断面観察による製造仕上がり確認

表4-2: テストチップ測定・分析結果サマリ

評価項目	測定・分析結果
デジタルデータの書込みと読出し	達成○
原子スイッチのOn/Off切り替え	達成○
製品回路規模のFPGA(100万LUT)を実現した場合の消費電力見積もり (目標値: 5~10W程度 低いほど良い)	約2.2W 達成○
製品回路規模のFPGAを実現した場合の動作周波数(目標値: 400~600MHz程度)	最大約700MHz 達成○

4.6 耐放射線性評価

製造したテストチップに対する重粒子イオン照射試験を実施し、シングルイベントアップセット(SEU)耐性評価を行った。試験の結果、SEU発生の閾値LETは40 [MeV/(mg/cm²)]と分析され、目標値を達成していることを実測確認した。

海外競合FPGAと比べて非常に優れた耐性値であり、静止軌道上でも実効上エラーフリーとみなせるレベルである。

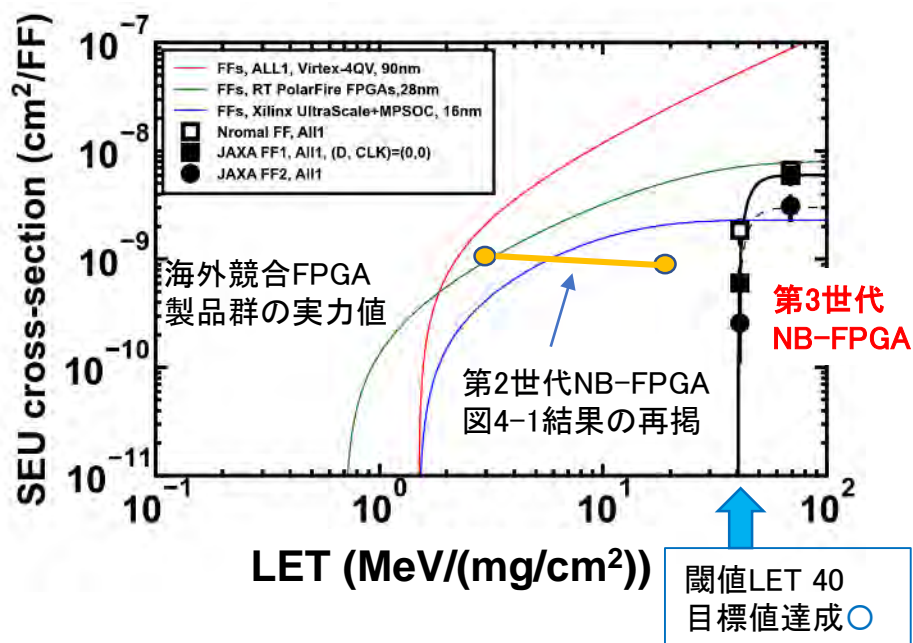
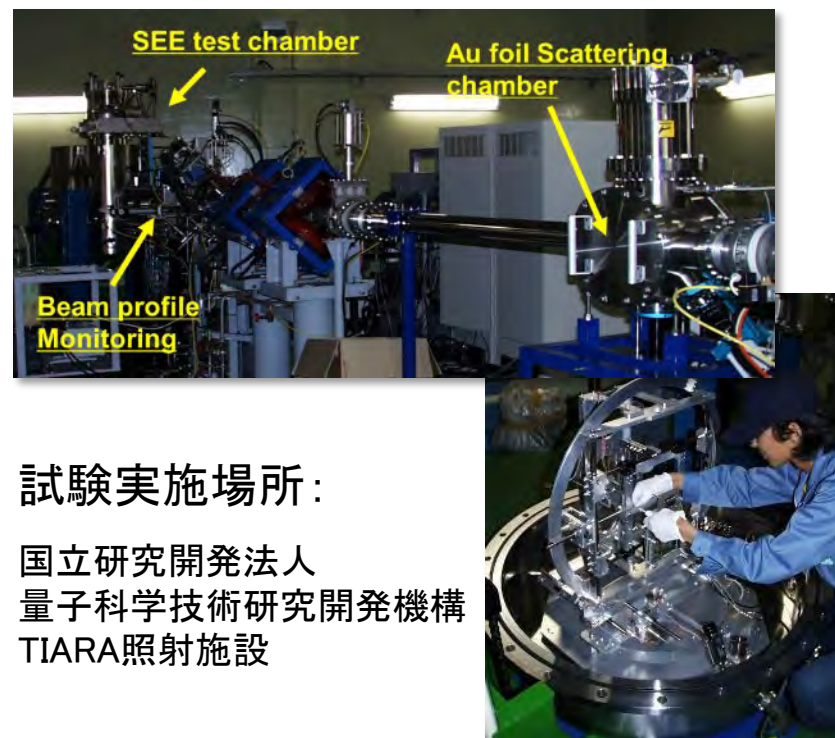


図4-8: 放射線耐性(SEU耐性)試験結果



試験実施場所:

国立研究開発法人
量子科学技術研究開発機構
TIARA照射施設

4.7 技術ベンチマーク(今回の成果と競合ハイエンド品との比較)

今回得られた性能指標値のベンチマーク(海外競合ハイエンド製品との比較)を下表に示す。海外競合と同等の搭載容量を確保しつつ消費電力を1/5~1/10に抑制出来るため、電力削減効果に加え、搭載機器内部の熱集中の緩和、冷却システムの簡素化のメリットも得られる。高い放射線耐性は冗長系の削減等機器の簡素化に大きく寄与する。

SoC仕様		米 PolarFire RT	仏 NG-ultra SoC	NB-FPGA	(参考) COTS FPGA (Zynq Ultrascale)
FPGA部	製造プロセス	28nm	28nm	16nm FinFET	20nm, 16nm FinFET
	搭載容量 (LUT*数) <small>*Look-up Tableの略</small>	480k	290k~540k	500k以上(TBD)	600k~1500k ※放射線対策でTMRを組む 必要があり、使用可能な容量 は実効上、上記値の1/3程度
	放射線耐性 (SEU閾値LET)	1 [MeV/(mg/cm ²)]	10~15 [MeV/(mg/cm ²)]	40 [MeV/(mg/cm ²)]	1 [MeV/(mg/cm ²)]
	動作周波数	385MHz	300~400MHz	~約700MHz	800~1866MHz ※排熱の制約から宇宙での 適用実績は 200MHz程度
プロセッサ部		RISC-V	ARM Cortex-R52	※今後のSoC仕様 検討で具体化予定	ARM Cortex-A53, R5
SoC周辺機能 (ROM, RAMは記載省略)		暗号化回路, DSP, LVDS, PCI	DSP, SpaceWire, SERDES, DDR I/F		DSP, USB, PCI, CAN, UART, 高速トランシーバ, DDR I/F,
消費電力		15~20W	TBD(開発中)	5W未満 (今回の解析値 約2.2W)	30~80W

5. 他産業への展開・ユーザ早期試行・実証に向けた取組み状況

○産業用途

- 車載半導体メーカーとNBS社が共同で、28nm NB-FPGA採用に向けた評価を継続中。

○宇宙関連

- 「宇宙用部品技術WG*」にて、デジタルデバイス技術に関する今後10年の技術ロードマップを具体化。NB-FPGA実現の重要性に関するコンセンサスを得た。
**JAXA, 宇宙関連企業(Legacy/New Space含む), 部品メーカー, 大学有識者で構成されるワーキンググループ。
- 2023年6月時点で、2社が小型衛星向け用途でNB-FPGAに興味を示しており、技術情報の共有や今後の進め方について個々に調整を進めている。
- ユーザ早期試行を促進するための標準的な計算機のリファレンスデザイン構築とボードによるユーザ(複数)の試行、および早期軌道上実証(刷新Pとの連携を想定)に向けた調整を進めている。

6. まとめ

衛星のデジタル化の要となる半導体技術として、耐放射線性と低消費電力の特性を兼ね備えたFPGAの要素回路技術を構築し、将来のFPGA実現に向けた技術目途を得た。

日本独自の半導体技術である原子スイッチと耐放射線強化回路を組み合わせたものであり、その性能は海外競合製品を上回るものである。当成果を活用した研究開発を引き続き速やかに進め、宇宙/民生両用途への利用拡大を図ることとしたい。

補足：適用技術の解説

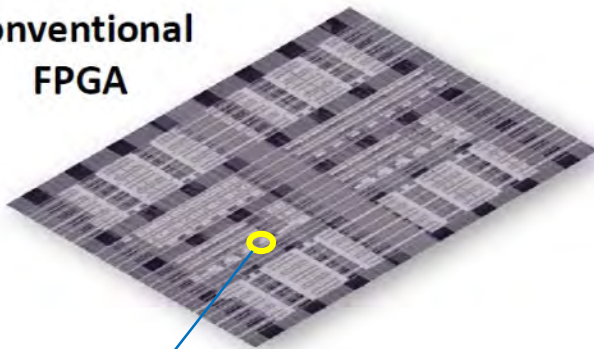
適用技術の解説 (1) ナノブリッジ技術

【ナノブリッジ技術の優位性】

従来

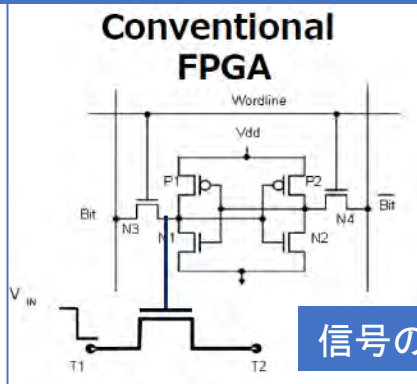
SRAMメモリセルをスイッチに使用
(1セルが数 μm^2 程度 x 数千万個存在)

Conventional
FPGA



配線スイッチ部分拡大

SRAM(ON/OFF制御)

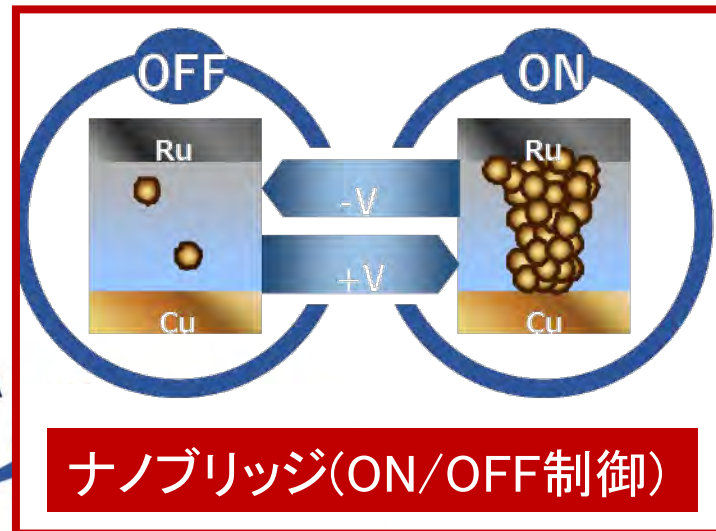
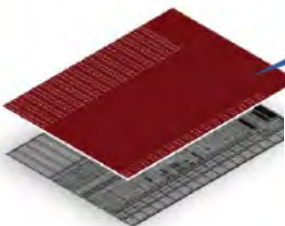


信号のゲート

SAMメモリセルの状態維持のために常に電力供給が必要で、ON/OFFに関係なく電力消費(チップ全体で数10Wオーダ)

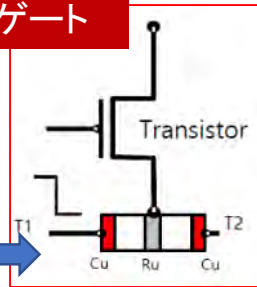
国産
新技術

NanoBridge-FPGA



ナノブリッジ(ON/OFF制御)

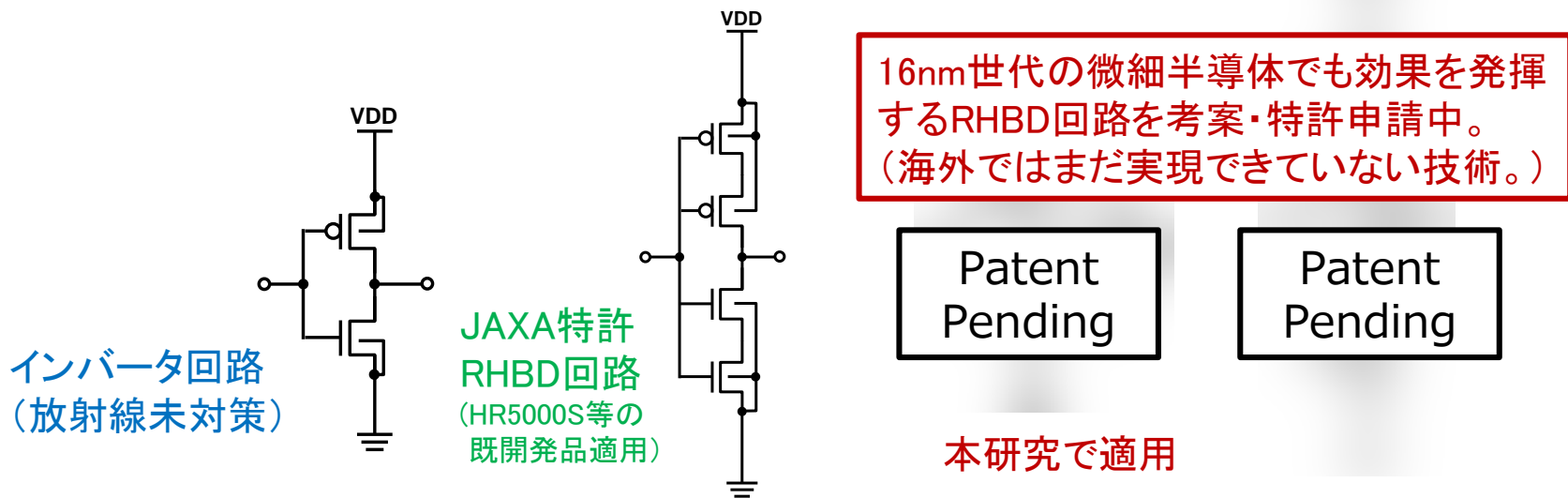
直径 数10nm の 信号のゲート
ナノブリッジをスイッチに使用。金属架橋の維持に電力不要で、ON/OFFどちらの状態でも消費電力ゼロ。



スイッチ以外の回路部も含めると従来に比べ、半導体チップ面積を1/4、消費電力を1/10に。

適用技術の解説 (2) RHBD: Radiation Hardening by Design

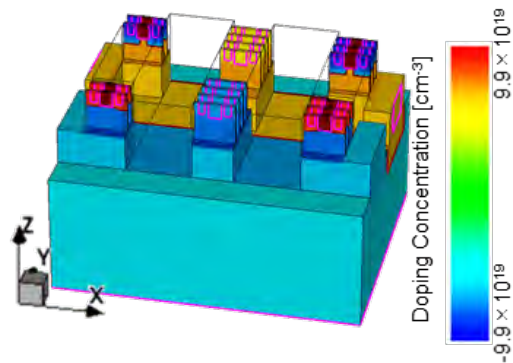
LSI内部を構成する論理回路(Inverter, NAND等)の回路接続や配置を工夫して、耐放射線性を強化する技術。電気性能(動作速度や消費電力)とのトレードオフの関係にあり、電気性能の劣化を最小限に抑えながら如何に放射線耐性を実現するかが技術ノウハウ。微細化が進むにつれ実現難易度も高くなっている。



	Inverter (Non rad-hard)	Stacked Inverter	Proposed RHBD#1 (Inv./Latch/FF)	Proposed RHBD#2
Patent	N/A	Patented <small>特開2004-048170号</small>	Pending <small>特願2020-134718</small>	Pending <small>特願2021-084623</small>
Area overhead	x1	x2	x2~x3?	x2~x3?
Feature	Baseline Foundry supported	Redundant inv. on SOI	Compact RHBD	Compact RHBD
LET_{th} MeV/(mg/cm ²)	<1 <small>*SEU occurred by alpha</small>	>69	20-40 <small>*TCAD simulated</small>	N/A

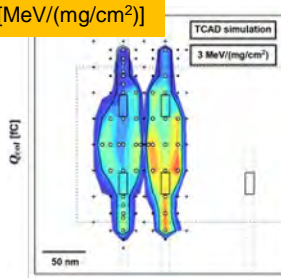
適用技術の解説 (2) RHBD: Radiation Hardening by Design

ナノブリッジFPGA要素回路のうち、放射線耐性を強化する上で最も重要になるFF(フリップフロップ回路)について、JAXA特許申請中技術である16nm FinFET 耐放射線強化回路を設計に適用した。放射線粒子入射を模擬した3Dシミュレーションでは、非常に強い耐性を持つことを確認した。

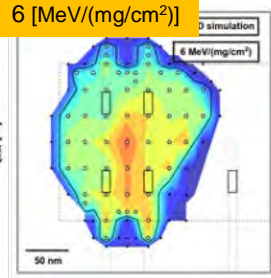


FinFET の3Dメッシュモデル

3 [MeV/(mg/cm²)]



6 [MeV/(mg/cm²)]



放射線入射時の収集電荷密度分布シミュレーション例

図: 放射線影響シミュレーション用 3D-TCAD
モデル構築とシミュレーション例

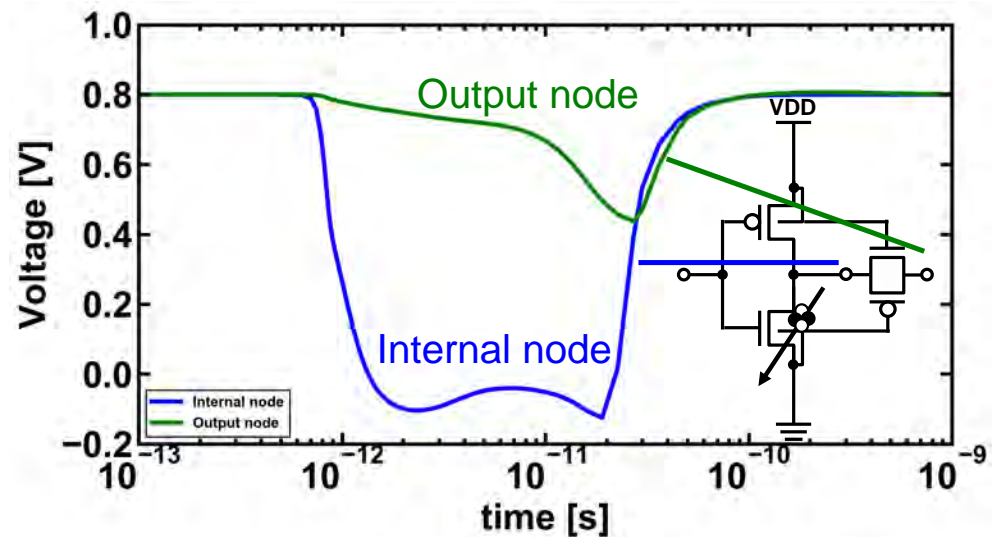


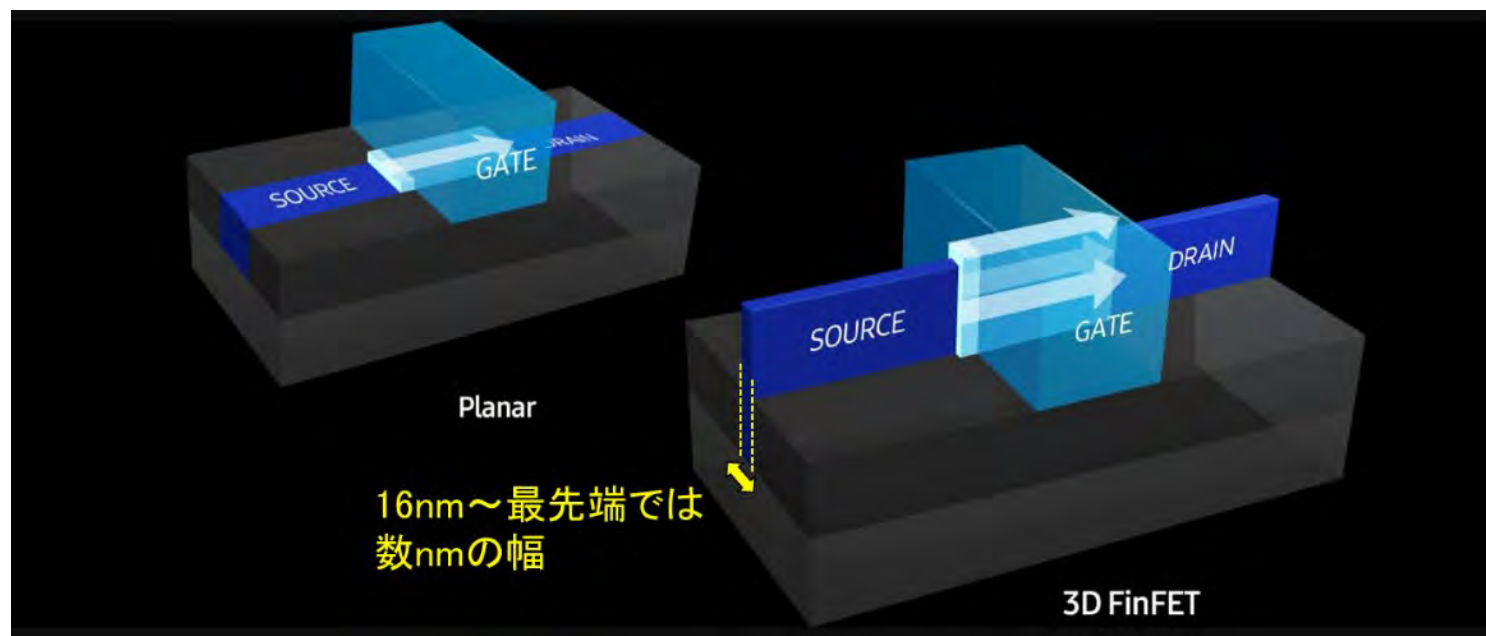
図: JAXA提案 16nm 耐放射線強化回路の
TCADシミュレーション結果例

(出力端子と内部端子の電位の時間経過。LET=40 MeV/(mg/cm²)相当の電荷付与時でも出力端子の電位変動は抑制され、シングルイベント発生を防ぐ効果があることを確認。)

適用技術の解説 (3) FinFET: Fin Field Effect Transistor

トランジスタを構成するソース/ドレイン領域が、シリコンの表面でフィンの様な形状の3次元構造のトランジスタ。従来のPlanar構造と比較して、ゲート電極のON/OFF切り替え(スイッチング)が早く、より多くの電流を流すことが可能。

最先端の高性能CPUやFPGA等に適用されている必須の技術であるが、残念ながら現時点ではこれを製造できるメーカーは国内には存在しない。今回の研究では、少量試作対応も含め、顧客に対して協力的である米Global Foundry社のFinFET製造プロセスを適用した。(将来的には国内製造ファブ実現が期待されるところ。)



<https://www.samsung.com/semiconductor/minisite/exynos/technology/finfet-process/>